



Semicon China 2026

중국의 공급 병목과 한국 반도체 시스템 플랫폼의 부상

백길현, USCPA 반도체

02 3770 5635 | gilhyun.baik@yuantakorea.com

임석민 Research Assistant

02 3770 3648 | seokmin.lim@yuantakorea.com

반도체/장비

중국의 공급 병목과 한국 시스템 반도체 플랫폼의 부상

중국 반도체의 오늘: 규제 장벽 속의 '전방위 자립화'

중국은 AI 연산 리소스를 국가 안보의 핵심인 '연산 자산'으로 정의하며 독자 인프라 구축을 가속화하고 있다. 미국의 규제를 상수로 확정하고 2027년까지 핵심 공정 내 미국산 장비가 배제된 'Non-US 라인' 가동과 외산 하드웨어를 완전히 걷어내는 '신창(信創) 프로젝트' 완수를 목표로 공급망의 물리적 분리를 시도 중이다. 이러한 전략의 마중물인 60조 원 규모의 '대기금 3기'는 Huawei를 정점으로 하는 수직 계열화에 자본을 집중 투여한다. 특히 메모리 분야에서는 CXMT의 HBM3/3E 양산 체제 구축을 지원해 한국과의 격차를 3~4년 내로 좁히겠다는 공격적 행보를 보이고 있으며, RISC-V와 독자 EDA 등 설계 단계부터 서방의 개입을 차단하는 폐쇄적 루프를 형성하고 있다. 중장기적 관점에서 중국의 독자 노선 구축 과정에서 발생하는 글로벌 공급망 재편은 한국 반도체 생태계에 새로운 플랫폼적 기회와 구조적 위협으로 작용할 전망이다.

중국 반도체의 미래 전략 점검: 아키텍처 혁신과 생태계의 수직통합 전략

미국의 전방위적 규제로 선단 노드 진입이 지연됨에 따라, 중국은 단일 칩 미세화 대신 설계와 후공정의 혁신을 결합한 '시스템적 자립'으로 전략을 선화한다. 노광 장비의 정밀도 열세를 GPU 기반 역노광 기술을 활용한 '커비 매뉴팩처링'과 배선층 위에 트랜지스터를 쌓는 3D 모놀리식 구조로 정면 돌파하며, 구형 DUV 장비로도 7nm급 이하의 공정 마진과 연산 밀도를 확보하는 우회로를 마련했다. 이러한 하드웨어적 한계 극복은 'Interconnect-First' 전략을 통해 완성시킬 계획이다. JCET가 제시한 원자 수준 패키징과 YMTTC의 Xtacking 기반 하이브리드 본딩은 칩렛 간 연결 효율을 극대화하여 5nm 이하 공정 없이도 글로벌 수준의 AI 컴퓨팅 인프라를 구현하는 토대가 되고 있다. 또한 독자 규격인 'ACC 1.0'과 소프트웨어 생태계 'MXMACA'를 필두로 설계-패키징-플랫폼을 잇는 수직 통합형 내수 연합군을 형성하고 있다. 이는 단순한 기술 자급을 넘어 시스템 아키텍처의 재정의의를 통해 규제망 안에서도 독자적인 AI 연산 패권을 확보하려는 전략적 포석이다. 이러한 중국의 비대칭적 공세는 글로벌 공급망의 분절을 야기하는 동시에, 국내 하이브리드 본딩 및 비파괴 검사 장비 생태계에 새로운 시장 기회를 동시에 제공할 것으로 기대한다.

한국 반도체의 생존과 확장

한국 메모리 산업은 중국의 추격을 리스크가 아닌 '시장의 구조적 이원화' 기회로 활용하며 중장기적 수익성을 방어해 나갈 것으로 전망한다. 2026년 예정된 중국 메모리기업의 IPO는 치킨게임 재발이 아닌 고부가 제품 위주의 R&D 및 내수 안보용 물량 확보를 우선시할 것이다. 특히 EUV 숙련도에 기반한 원가 우위와 파운드리 공정 결합이 필수인 HBM4의 생태계 장벽은 중국이 자본력만으로 넘기 힘든 한국만의 독보적인 생존 기반이 된다. 한국 파운드리 산업은 1)TSMC의 개파 포화에 따른 글로벌 및 중국 팹리스의 실질적 대안으로 부상한다. 8/5/4nm 중심 수주의 견조함과 2nm 선단 공정의 신규 수요는 성장 가시성과 삼성 파운드리 플랫폼 가치를 높이고 있으며, 이는 오픈엠티테크놀로지 등 IP 기업과 에이디테크놀로지, 세미파이프, 가온칩스 등 주요 DSP 기업의 전략적 가치 우상향으로 직결될 것으로 예상된다. 2)기존 Consumer 중심의 포트폴리오가 고성능 HPC, 그리고 AI 서버 및 Inference 등 고부가가치 시장으로 전방위적으로 확산되는 'Scale-across' 국면에 진입하고 있다는 점 또한 긍정적이다. 그간 한국 반도체 시장의 Re-rating 논의가 메모리 업황에 국한되었다면, 시스템 반도체 생태계 중심의 구조적 멀티플 상향(Multiple Expansion)에 기반한 전략적 비중 확대가 필요한 시점이라는 판단이다.



백길현, USCPA 반도체

gilhyun.baik@yuantakorea.com

임석민 Research Assistant

seokmin.lim@yuantakorea.com

종목	투자 의견	목표주가 (원)
삼성전자	BUY (M)	270,000 (M)
SK 하이닉스	BUY (M)	1,600,000 (M)
오픈엠티테크놀로지	- (I)	- (I)
가온칩스	- (I)	- (I)
에이디테크놀로지	- (I)	- (I)
세미파이브	- (I)	- (I)
Naura technology	- (I)	- (I)
Empyrean	- (I)	- (I)
ZTE	- (I)	- (I)
Huahong	- (I)	- (I)
JCET	- (I)	- (I)
TFME	- (I)	- (I)
Synopsys	- (I)	- (I)
Cadence	- (I)	- (I)
Applied Materials	- (I)	- (I)
Lam Research	- (I)	- (I)
ASML	- (I)	- (I)
Nvidia	- (I)	- (I)
Intel	- (I)	- (I)
KLA	- (I)	- (I)
TSMC	- (I)	- (I)
Tesla	- (I)	- (I)
AMD	- (I)	- (I)



I. 중국 반도체의 오늘: 규제 장벽 속의 '전방위 자립화'	05
AI 패권전쟁과 중국의 독자적 인프라 구축	06
미국 정부 규제의 상수화: 2027 '신창' 프로젝트와 공급망의 물리적 분리	07
Big Fund Phase 3의 향방: 60조원의 자본은 어디로 흐르는가	09
50%의 법칙: 국산 장비 채택 강제화와 실효성	11
II. 중국 반도체의 미래 전략 점검	14
실리콘의 물리적 한계를 우회하는 아키텍처의 혁신	16
커비 매뉴팩처링(Curvy Manufacturing): 규제의 벽을 넘는 '곡선'의 역설	17
BEOL 기반 적층 트랜지스터: 3D 모놀리식 구조를 통한 연산-메모리 병목 해소	24
YMTC Xtacking: '공급 쇼크'를 넘어 AI 시대의 표준이 되는 하이브리드 본딩	26
비파괴 3D 계측/검사: 차세대 반도체 아키텍처 혁신을 완성해 나갈 것	28
Post Moore 시대의 전면전: 아키텍처와 생태계의 '수직 통합' 전략	29
칩렛과 하이브리드 본딩: '원자급' 공정 혁신을 통한 선단 공정의 우회	30
빛으로 뚫는 규제의 벽: 실리콘 포토닉스와 CPO의 비대칭 역전 전략	33
MetaX와 인프라 자립: 설계-패키징-플랫폼으로 이어지는 GPU '연합군'	36
AI 기반 EDA 혁신: 복잡성의 한계를 돌파하는 '지능형 시스템 설계'	37
III. 한국 반도체의 생존과 확장	38
메모리 공급 과잉 리스크와 점검 & 기술 '초격차'로 방어	39
CXMT·YMTC IPO: 치킨게임의 재발이 아닌 '내수 안전판' 확보의 과정	39
수익성 방어 전략: '물리적 한계'를 넘어서는 '경제적 해자'와 시스템 반도체화	42
한국 반도체, 메모리 초격차를 넘어선 시스템 플랫폼의 태동 본격화	43
IV. Appendix	47



I. 중국 반도체의 오늘: 규제 장벽 속의 '전방위 자립화'

1. AI 패권전쟁과 중국의 독자적 인프라 구축
2. 미국 정부 규제의 상수화: 2027 '신창' 프로젝트와 공급망의 물리적 분리
3. Big Fund Phase 3의 향방: 60조원은 어디로 흐르는가
4. 50%의 법칙: 국산 장비 채택 강제화와 실효성

II. 중국 반도체의 미래 전략 점검

III. 한국 반도체의 생존과 확장

IV. Appendix

I. 중국 반도체의 오늘: 규제 장벽 속의 '전방위 자립화'

1. AI 패권전쟁과 중국의 독자적 인프라 구축

글로벌 AI 산업은 현재 대규모 자본 투입에 따른 실질적 성과를 증명해야 하는 변곡점에 서 있다. 시장 내에서는 AI 모델의 경량화 기술(Turbo Quant 등)이 기대만큼의 수익 창출로 이어지지 못한다는 지적과 함께, 차세대 대형 모델(Open Claw 계열)이 직면한 전력 소모 및 하드웨어 최적화 한계가 'AI 투자 회의론'의 근거로 활용되기도 한다. 이러한 노이즈는 투자자들로 하여금 고성능 반도체 중심의 공격적인 설비 투자가 지속 가능할지에 대한 의구심을 갖게 만든다.

그러나 이러한 단기적인 수익성 논란과 기술적 난관에도 불구하고, 글로벌 빅테크와 주요 국가들의 하드웨어 확보 경쟁이 멈추지 않는 이유는 명확하다. 이제 AI 연산 리소스는 단순한 IT 인프라를 넘어 국가 경쟁력을 결정짓는 '연산 자산(Computing Assets)'이자 경제 안보의 핵심이기 때문이다. 모델의 효율성 문제가 대두될수록, 이를 압도적인 연산 성능으로 극복하려는 수요는 오히려 강화되는 경향을 보이며, 이는 반도체 인프라에 대한 의존도가 구조적으로 낮아질 수 없음을 시사한다.

중국에게 있어 AI 반도체 자급화는 이러한 글로벌 연산 패권 경쟁에서 낙오되지 않기 위한 생존 전략의 핵심이다. 서방의 공급망 규제가 장기화되며 선단 공정 접근이 차단된 상황임에도 불구하고, 중국은 거대 내수 시장의 강력한 연산 수요를 기반으로 설계부터 패키징까지 아우르는 '독자적인 풀-스택(Full-stack) 인프라' 구축을 가속화하고 있다.

이번 Semicon China 2026 현장에서 확인한 바와 같이, 60조 원 규모의 'Big Fund Phase 3'를 포함한 국가적 자본 투입은 단순한 칩 양산을 넘어 하드웨어와 소프트웨어가 수직 계열화된 독자적 컴퓨팅 플랫폼을 완성하는 데 집중되고 있다. 결국 시장의 단기적 회의론이나 규제의 장벽도 '연산의 시대'라는 거대한 흐름을 바꾸지는 못하며, 중국의 이러한 독자 노선 구축 과정에서 발생하는 공급망의 재편은 한국 반도체 생태계에 새로운 플랫폼적 기회를 제공할 전망이다.

2. 미국 정부 규제의 상수화: 2027 '신창' 프로젝트와 공급망의 물리적 분리

중국 반도체 산업은 미국의 규제를 일시적 변수가 아닌 상수로 확정하고 본격적인 독자 생태계 구축에 돌입한다. 과거에는 규제 유예나 협상을 기대하는 심리가 존재했으나, 2024년 말 바이든 정부 시절부터 강화된 미국의 'Small Yard, High Fence' 전략은 중국으로 하여금 외부 공급망과의 완전한 결별을 준비하게 만들었다.

해당 전략은 국가 안보에 직결되는 첨단 기술(반도체, AI, 양자 컴퓨팅 등)이라는 '작은 마당'을 설정하고, 그 주변에 강력한 통제라는 '높은 담장'을 쳐서 중국의 접근을 원천 차단하는 것이 골자이다. 범용 기술에 대한 접근은 열어두되 핵심 기술만 정밀 타격하겠다는 것이다.

중국의 자립 타임라인은 단순한 '기술 추격'이 아니라 '공급망의 물리적 분리'를 목표로 한다. 2025년까지 주요 소부장의 국산화율을 35%(기존 목표 70%이상) 이상으로 끌어올리고, 2027년까지는 핵심 공정에서 미국산 장비가 없는 'Non-US 라인'의 안정적 가동을 실현한다는 계획이다.

참고로 미국은 NDAA 2023 제5949조를 통해 2027년 12월부터 중국산 주요 반도체의 연방 조달을 전면 금지할 예정이다. 그리고 이에 대응하여 중국 정부는 '신창(信創, 신창은 중국의 공공기관과 핵심 국가 인프라에서 미국을 비롯한 외산 하드웨어와 소프트웨어를 완전히 걷어내고, 자국산 표준으로 대체하는 '기술 독립' 프로젝트)' 프로젝트의 마지노선을 2027년으로 설정하고, 핵심 국영 기업들에 미국산 기술이 배제된 독자 공급망 구축을 강력히 주문하고 있다. 미국의 규제가 강화될수록 역설적으로 중국 내 로컬 업체들의 입지가 재차 공고해지는 구조적 변화를 야기할 전망이다.

그림 1. 2027년 12월부터 중국산 주요 반도체의 연방 조달을 전면 금지할 예정

■	11. Amend section 40.201 by adding in alphabetical order the definitions "Covered semiconductor product or service", "Critical national security interests", "Critical system", "Electronic product", "Electronic service", "Semiconductor", "Semiconductor covered nation", and "Semiconductor foreign country of concern" to read as follows:
40.201	Definitions.
★	★
★	★
★	★
★	★
★	★
★	★
★	★
★	★
★	★
★	★
★	★
★	★
★	★
★	★
★	★
★	★
★	★
★	★
★	★
★	★
★	★

자료: www.federalregister.gov, 유안타증권 리서치센터

표 1. 미국의 대중 반도체 제재 핵심 타임라인

시기	정책/조치	핵심 내용
2017.9	Lattice Semiconductor 인수 불허	CFIUS(미국 외국인 투자 위원회) 심사 및 행정명령에 따른 인수 차단. 군사적 활용 가능성 우려와 중국 자본의 미국 반도체 M&A 견제 시작
2018.4	ZTE (Zhongxing Telecommunication Equipment) 제재	대이란 제재 위반에 따른 부품·소프트웨어 공급 금지. 중국 정부의 반도체 자립 필요성 인식
2018.8	외국인투자위험심사현대화법(FIRRMA)/수출통제개혁법(ECRA) 제정	외국인투자 심사 강화와 신기술 수출통제 법제화. 중국은 '중국제조 2025' 발표를 통해 대응하며 기술 디커플링 제도적 기반 마련
2018.1	푸젠진화(Fujian Jinhua) 제재	국영 DRAM 업체 엔터티 리스트 등재하여 미국의 중국향 반도체 장비/기술 공급 차단
2019.5	Huawei (화웨이) Entity List	화웨이 및 계열사 68곳 엔터티 리스트 포함하여 미국 반도체 부품, 소프트웨어 공급 차단
2020.5	해외직접제품규칙(FDPR) 화웨이 적용	미국 기술 활용 해외 생산칩 규제 확대. TSMC가 HiSilicon 7나노, 5나노 첨단 칩 생산 중단
2020.12	SMIC (Semiconductor Manufacturing International Corp.) 제재	중국 최대 파운드리 SMIC 엔터티 리스트에 포함되며 첨단 공정 장비, SW 접근이 차단되어 7nm 이하 첨단공정 진입 제한
2022.8	CHIPS and Science Act	527억 달러 보조금 지원. 가드레일 조항에 따라 보조금 수혜 기업은 향후 10년간 중국을 포함한 '우려국가'내 첨단시설 투자 제한
2022.10	첨단 반도체 포괄 규제	14nm 로직, 18nm DRAM, 128단 NAND, AI GPU, EUV, EDA (Electronic Design Automation) 수출 금지. 미국인 엔지니어의 중국 fab 지원 제한. 첨단 반도체 개발 동결
2023.1	미, 일, 네덜란드 공조	ASML DUV 및 일본 TEL 장비 수출 제한 합의. 대중 규제 다자 공조 확대
2023.8	미국인 대중 첨단기술 투자 제한	반도체, AI, 양자 컴퓨팅 분야 신규 투자 금지 및 사전 신고 의무화 프로그램 수립 지시. 미국 VC의 대중 스타트업 투자 위축으로 미/중 금융 디커플링 심화될 것으로 추정
2024.12	3차 대중 반도체 제재 패키지	중국 반도체 장비, 부품사 140곳 추가 제재. AI 용 HBM 메모리 수출 제한하며 공급망 전방위 차단
2025.3	중국 기업 42곳 제재	반도체, AI 기업 추가 엔터티 리스트 등재하며 제재 범위 업계 전반 확산
2025.5	EDA 수출 제한	Cadence·Synopsys 등 주요 EDA 기업 중국향 소프트웨어 수출 허가제 전환하여 반도체 설계 생태계 압박
2025.7	EDA 규제 철폐	중국의 대미 희토류 및 핵심광물 수출 완화 조치 대응하여 규제 완화
2025.9	TSMC VEU (Validated End User) 특권 철폐	VEU 신속 승인 철폐. 중국 난징 공장으로 장비 반입 시 개별 허가 의무화
2025.12	H200 중국 수출 허용 검토	엔비디아는 '고객확인제도'(KYC, Know Your Customer) 등 절차에서 상무부와 이견을 보이며 승인 지연. 2026년 3월 엔비디아 H200 생산 중단 발표
2026.3	엔비디아, AMD AI 칩 수출 대상 허가제 도입 검토	엔비디아, AMD AI 칩 수출 통제를 약 40개국 대상에서 글로벌로 확대. 대규모 구매, 데이터센터 구축에는 미국 정부 승인 및 투자, 안보 협력 조건 부과 검토

자료: 언론 종합, 유안타증권 리서치센터

3. Big Fund Phase 3의 향방: 60조원의 자본은 어디로 흐르는가

대기금 3기는 과거의 분산형 투자에서 벗어나 Huawei 를 정점으로 하는 '수직 계열화'에 자금을 집중 투입한다. 1기와 2기가 다수의 파운드리와 팹리스에 씨를 뿌리는 방식이었다면, 3기는 검증된 기업들을 중심으로 공급망의 빈틈을 메우는 '정밀 타격'을 지향한다. 특히 3,440억 위안이라는 사상 최대 규모의 자금은 단순히 공장을 짓는 것을 넘어, 미국의 규제로 인해 끊어진 첨단 공정의 연결고리를 복구하는 데 우선 배정된다.

첫째, 메모리 분야에서는 CXMT 의 HBM3 및 HBM3E 양산 체제 구축에 집중한다. CXMT 는 2026년 상반기 IPO 를 통해 조달할 자금을 더해, 대기금 3기의 지원을 받아 상하이에 HBM 전용 후공정 팹을 본격 가동할 계획인 것으로 파악된다. 이는 삼성과 SK 하이닉스 등 한국 기업과의 기술 격차를 3~4년 내로 좁히겠다는 의지이며, 화웨이의 AI 가속기인 'Ascend' 시리즈에 국산 HBM을 탑재하기 위한 필수 전략이다. 이미 CXMT는 2026년 양산 물량의 상당 비중을 HBM3 라인에 할당하며 공격적인 행보를 보이고 있는 것으로 파악된다.

둘째, 반도체 장비 분야에서는 NAURA 와 AMEC 을 통한 'Non-US' 식각 및 증착 솔루션 고도화에 주력한다. 대기금 3기는 단순한 장비 구매 보조금을 넘어, 국산 장비의 수출 안정화를 위한 '현장 테스트 비용'을 대폭 지원한다. 이를 통해 향후 중국 내 신규 팹의 국산 장비 채택률은 정부 목표치인 35%를 상회하여 일부 레거시 라인에서는 50%를 넘어설 것으로 파악된다. ASML 의 DUV 장비를 대체하기 위한 SMEE 의 노광 장비 성능 개량 프로젝트에 대기금 3기의 핵심 자금이 투입되고 있다는 점 또한 시사하는 바가 크다.

셋째, 소프트웨어(EDA) 및 핵심 IP 자산의 '블록화'를 통해 반도체 설계의 목줄을 쥐고 있는 서방 권역의 영향력을 거부한다. 대기금 3기는 과거 하드웨어(Fab) 중심 투자에서 진화하여, 공정 미세화의 한계를 돌파할 '설계 자동화 도구(EDA)'와 '핵심 IP' 국산화에 역대 최대 규모인 약 15%의 재원을 배정했다. 이는 Synopsys나 Cadence 등 미국 기업들이 장악한 7nm 이하 선단 공정 설계 툴을 대체하기 위해 Empyrean 등 자국 기업을 집중 육성하여 '전 공정 국산화 툴 체인'을 완성하겠다는 전략이다.

동시에 ARM 중심의 생태계에서 탈피하고자 RISC-V 기반의 오픈 소스 아키텍처 확산에 보조금을 투입하고, 화웨이와 ZTE 등이 주도하는 자국 표준 IP 라이브러리를 구축함으로써 설계 단계부터 서방의 '킬 스위치'를 무력화하려 하고 있다. 결과적으로 중국 내수 팹리스들이 국산 IP 사용 시 세계 혜택과 파운드리 우선 할당권을 부여받는 '설계-제조-수요'의 폐쇄적 루프가 중장기적 관점에서 견고해질 전망이다.

넷째, 레거시 노드(Mature Node) 전략을 단순 '저가 물량 공세'에서 '고부가가치 특화 공정(Specialty Process)'으로 선회하여 수익성과 실질적 점유율을 동시에 확보한다. 과거 중국 파운드리들이 범용 제품의 가격 파고를 통해 시장을 교란했다면, 대기금 3기의 지원을 받는 SMIC 와 HuaHong 은 이제 전력반도체(SiC/GaN), 이미지센서(CIS), 아날로그 IC 등 특정 산업에 최적화된 공정 고도화에 자본을 집중해 나갈 전망이다.

이는 미세 공정 규제라는 물리적 한계를 극복하기 위해, 성숙 공정 내에서도 기술적 진입장벽이 높은 자동차 전장 및 산업용 로봇틱스 시장을 선점하려는 의도로 풀이된다. 특히 중국 정부가 자국 완성차 업체들에게 국산 반도체 채택률 가이드를 강하게 제시함에 따라, 레거시 파운드리만 단순한 하청 기지를 넘어 국가 전략 산업의 핵심 인프라로 재정의되고 있다. 이러한 기조 변화는 글로벌 경쟁사들에게 단순한 단가 경쟁 이상의, 강력한 '공급망 내재화'에 기반한 시장 잠식 위협이 될 가능성을 배제할 수 없다.

표 2. 중국 반도체 산업 Big fund 1, 2, 3 기 특징 비교

구분	1기	2기	3기
조성 시점	2014년 설립	2019년 설립	2024년 5월 출범
운영 기간	약 6년 (종료됨)	현재 운용 중 (종료 시점 미정)	현재 운용 중 (2034년까지 예상)
조성 규모	약 1,380억 위안 (약 220억 달러)	약 2,000억 위안 (약 290~300억 달러)	약 3,440억 위안 (약 470~480억 달러)
주요 출자자	중국 재정부, 국가개발은행, CICC 등	전기 펀드와 동일 (1기 출자자 대부분 재참여)	전기 펀드와 동일 + 지방정부, 국유펀드, 정책금융기관 확대
운용 주체	중국집적회로산업투자펀드 Co., Ltd.	중국집적회로산업투자펀드 Co., Ltd.	중국집적회로산업투자펀드 Co., Ltd.
주요 투자 대상	SMIC, HuaHong, JCET 등 제조/후공정 중심	YMTC, CXMT, 장비, 설계 IP, EDA 등 고부가 분야	EDA, IP, HBM/AI 가속기 및 장비/소재 고도화
전략 초점	기반 인프라 구축 (파운드리, 패키징)	기술 자립화 및 고도화 (메모리, 설계, 장비)	기술 선별주의(Strategic Selectivism) 기반 의 효율적 구조조정 및 핵심 기술 집중 투자 + 공급망 탈미국화(US Free-line) 완성
투자 방식	지분투자 + 정부 보조금 연계	지분투자 + R&D 보조 + 리스크 분담 구조 강화	성과 연계형 지분투자 + 구조조정(M&A) 유도 + 기술력 검증 기업 중심 지원
효과	중국 반도체 생태계 초기 기반 조성	고부가 가치 분야 중심의 기술 국산화 시도	병목 기술 국산화 가속화 및 장비, 소재 자립률 제고 (장비 65%, 소재 85% 목표) + 핵심 장비(노광 등) 국산화 돌파구 마련
한계/이슈	수익성 낮은 기업 중심 투자, 회수 어려움, 관리 미비	일부 투자 실패 및 부패 조사 등 투명성 이슈	투자 효율, 성과 중심으로 전환, 미달 기업 시장 퇴출 유도, 구조조정 리스크 존재

자료: 대외경제정책 연구원, 유안타증권 리서치센터

4. 50%의 법칙: 국산 장비 채택 강제화와 실효성

중국 정부는 2026년부터 신규 팹(Fab) 승인 과정에서 실질적인 국산화 쿼터를 요구하고 있다. 이는 명문화된 법령보다는 비공식 행정 지도(Window Guidance) 형태로 이루어지며, 구매 입찰 과정에서 국산화율이 특정 임계치(시장 추정치 50%)에 미달할 경우 인허가 속도를 조절하는 식의 강력한 통제력을 발휘하고 있을 것으로 추정한다. 이러한 '강제적 수요'는 글로벌 장비사들에게는 즉각적인 매출 타격으로, 로컬 장비사들에게는 유례없는 성장의 기회로 작용하고 있다.

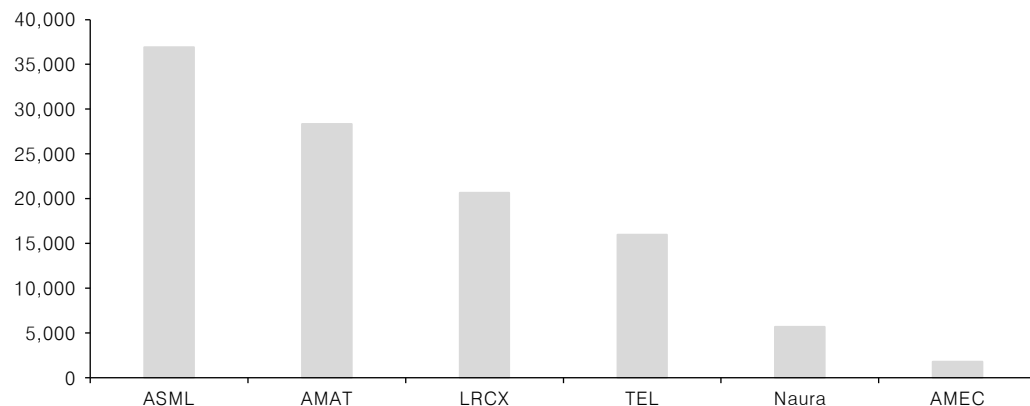
첫째, NAURA 와 AMEC 은 글로벌 Top-tier 장비사와 대등한 시장 지위를 확보하기 시작했다. 2025년 글로벌 장비 매출 순위에서 나우라는 세계 5위에 진입하며 Applied Materials, Lam Research 등을 바짝 추격하고 있다. 특히 AMEC 의 경우 5nm 공정용 식각 장비가 이미 주요 파운드리와 양산 라인에 진입했으며, 2029년까지 미국의 수출 제한 품목인 박막(Thin-film) 장비 40여 종을 독자 개발한다는 로드맵을 확정했다. 이들의 성장은 단순히 수량의 증가가 아니라, 미세 공정 내 '핵심 챔버' 점유율을 늘려가고 있다는 점에서 질적인 변화를 동반한다.

둘째, 로컬 장비사들은 '데이터 축적의 선순환'을 통해 기술적 신뢰성 격차를 빠르게 좁히고 있다. '50%의 법칙'은 중국 장비사들에게 SMIC, HuaHong 등 대형 파운드리를 거대한 테스트베드로 활용할 수 있는 특권을 부여했다. 과거 외산 장비에 의존하던 공정 데이터가 이제는 국산 장비에 맞춤형으로 누적되면서, 초기 고질병이었던 수율 저하와 가동률 불안정 문제가 상당 부분 해소되고 있다. 실제로 SMIC 의 28nm 라인 내 Naura 의 산화/확산 장비 비중은 이미 60%를 상회하며, 이는 레거시 공정에서 미국 및 일본 장비가 없어도 가동이 가능한 'Pure Local Line'의 실현 가능성을 입증한다.

셋째, 글로벌 장비사들의 '탈(脫)미국화' 유도과 기술 생태계의 완전한 이분화를 가속화한다. '50%의 법칙'은 단순히 외산 장비를 배제하는 수준을 넘어, 거대 시장을 인질로 삼아 글로벌 기업들에게 '중국 전용 공급망(China-for-China)' 구축이라는 가혹한 선택을 강요하고 있다. 이는 결과적으로 공급망의 이원화를 초래하며, ASML 이나 Applied Materials 등 글로벌 선두 기업들이 규제를 피하기 위해 중국 내 별도 법인을 강화하고 현지 인력을 대거 채용하는 과정에서 의도치 않은 기술 노하우의 '낙수 효과'를 발생시킨다. 실제 ASML 은 중국 내에 1,000명 이상의 서비스 엔지니어 팀을 보유하고 있으며, 컴퓨팅 리소그래피 및 전자빔(E-beam) 검사 개발 센터를 운영하며 현지 대응력을 강화하고 있다.

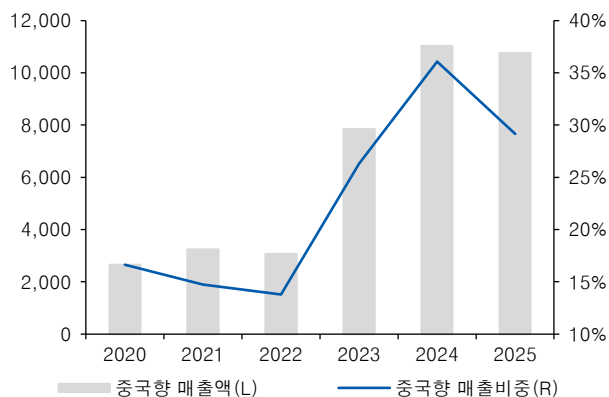
결국 글로벌 반도체 지형은 글로벌 표준의 분절이라는 새로운 국면에 진입했으며, 이는 글로벌 incumbents 들에게 연구개발 자산의 이원화라는 막대한 비용 부담을 안기는 동시에 중국 기업들에게는 서방의 간섭 없이 차세대 기술을 실험할 수 있는 '보호된 온실'을 제공한다. 이러한 강제적 국산화는 단기적으로는 공정 수율 저하와 가동률 불안정을 초래할 수 있으나, 장기적으로는 중국 반도체 산업의 내성을 키우고 특정 공정에서 서방 기술 없이도 독자 생태계를 완성하는 '기술적 임계점'을 돌파하게 만드는 핵심 동인이 될 전망이다.

차트 1. 글로벌 전공정 장비사 CY 2025 매출액 비교



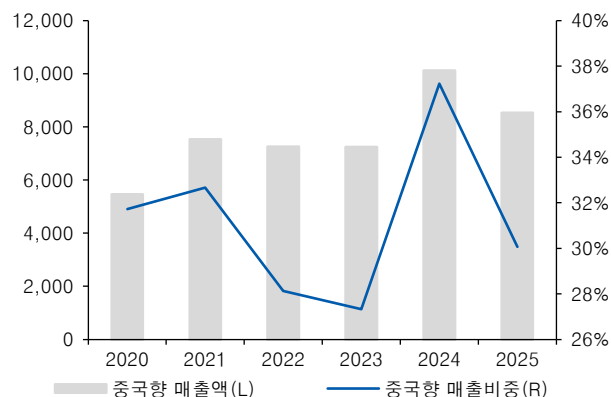
자료: Bloomberg, 유안타증권 리서치센터, 주: 단위는 mnUSD, NRCX, NAura, AMEC 은 전망치

차트 2. ASML 중국향 매출액, 매출비중 추이



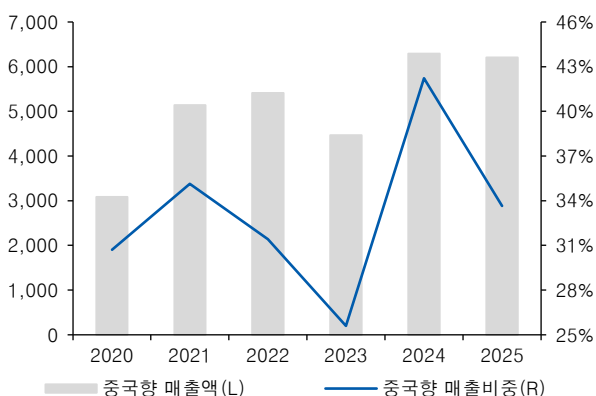
자료: Bloomberg, 유안타증권 리서치센터, 주: FY 기준, 단위는 mnUSD

차트 3. AMAT 중국향 매출액, 매출비중 추이



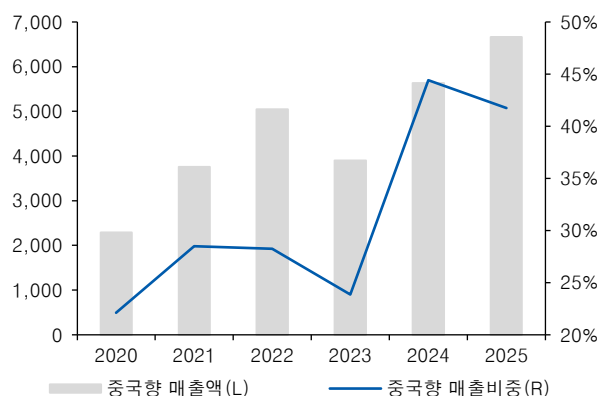
자료: Bloomberg, 유안타증권 리서치센터, 주: FY 기준, 단위는 mnUSD

차트 4. LRCX 중국향 매출액, 매출비중 추이



자료: Bloomberg, 유안타증권 리서치센터, 주: FY 기준, 단위는 mnUSD

차트 5. TEL 중국향 매출액, 매출비중 추이



자료: Bloomberg, 유안타증권 리서치센터, 주: FY 기준, 단위는 mnUSD

표 3. 중국 주요 전공정 장비업체 Peer 실적 및 Valuation

	업체명	Naura Tech	AMEC	Piotech	ACM Research	Hwatsing	Lead micro
	Ticker	002371 CH	688012 CH	688072 CH	300604 CH	688082 CH	688147 CH
	시가총액	48,714	29,175	14,766	11,902	11,093	5,166
2023A	Sales	3,118	885	382	251	549	237
	OP	625	156	101	-4	119	37
	OPM%	20%	18%	26%	-1%	22%	16%
	NP	551	252	94	6	129	38
	PER	33.4	53.1	65.4	542.7	50.0	65.0
	PBR	5.3	5.3	9.5	8.2	7.0	7.6
	ROE	17.7	10.7	16.0	1.8	15.2	12.6
	EV/EBITDA	24.5	58.5	64.0	438.1	48.9	58.3
2024A	Sales	4,144	1,259	570	506	780	375
	OP	914	212	103	71	172	34
	OPM%	22%	17%	18%	14%	22%	9%
	NP	781	224	96	64	160	31
	PER	37.0	72.5	62.0	60.5	37.9	53.8
	PBR	6.7	5.9	8.1	8.4	5.7	4.7
	ROE	20.3	8.6	13.9	14.9	16.3	9.2
	EV/EBITDA	27.1	67.0	70.9	47.5	32.4	41.8
2025F	Sales	5,681	1,778	927	858	945	385
	OP	1,101	284	152	204	201	45
	OPM%	19%	16%	16%	24%	21%	12%
	NP	1,016	310	150	175	194	43
	PER	47.3	93.1	98.6	76.3	37.9	117.6
	PBR	8.7	9.1	16.1	18.7	6.3	12.4
	ROE	19.2	10.1	16.8	23.8	13.2	10.5
	EV/EBITDA	40.0	86.3	82.6	104.9	54.6	70.6
2026F	Sales	7,228	2,372	1,238	1,321	1,272	409
	OP	1,517	467	252	311	302	56
	OPM%	21%	20%	20%	24%	24%	14%
	NP	1,345	474	245	269	293	54
	PER	35.0	61.6	61.7	52.7	37.8	94.5
	PBR	7.1	8.0	12.9	13.2	5.4	11.0
	ROE	21.0	13.5	21.9	25.7	15.9	11.9
	EV/EBITDA	29.3	55.0	52.4	43.0	33.2	63.3
2027F	Sales	8,928	3,012	1,592	1,655	1,535	552
	OP	1,948	652	362	400	384	93
	OPM%	22%	22%	23%	24%	25%	17%
	NP	1,709	646	354	343	368	89
	PER	27.6	45.3	42.5	38.0	30.2	56.9
	PBR	5.7	6.9	9.9	9.6	4.6	9.3
	ROE	21.9	15.7	24.8	25.2	16.3	15.9
	EV/EBITDA	23.2	41.0	39.3	34.0	25.5	51.5

자료: Bloomberg, 유안타증권 리서치센터, 주: 2026.03.12 기준, 단위는 mn USD, 배



I. 중국 반도체의 오늘: 규제 장벽 속의 '전방위 자립화'

II. 중국 반도체의 미래 전략 점검

1. 실리콘의 물리적 한계를 우회하는 아키텍처의 혁신
2. Post Moore 시대의 전면전: '수직 통합' 전략

III. 한국 반도체의 생존과 확장

IV. Appendix

II 중국 반도체의 미래 전략 점검

3월 21일부터 27일까지 중국 상하이에서 개최된 'CSTIC 2026' 과 'SEMICON China 2026' 에 참석하여, 중국 반도체 산업이 미세 공정의 한계를 설계와 후공정 혁신으로 돌파하려는 실질적인 움직임을 확인했다.

금번 행사들은 단순한 기술 전시를 넘어, 중국 학계가 제시한 이론적 대안들이 '원자 수준의 패키징(Atomic-Level)'과 'CPO' 등 실제 양산 솔루션으로 어떻게 구체화되고 있는지 검증하는 과정이었다. 현장에서 목격한 중국 반도체의 방향성은 명확하다. EUV 의 부재를 하드웨어적 열세로 인정하는 대신, '커비 매뉴팩처링(Curvy Manufacturing)'을 통한 설계 최적화와 '이종 집적(Heterogeneous Integration)'을 통한 시스템 성능 극대화에 총력을 기울이고 있다.

특히 주목할 점은 단일 칩의 선풍 경쟁에서 벗어나, 칩렛(Chiplet) 간의 연결 효율을 높이는 '인터커넥트 우선(Interconnect-First)' 전략으로의 전격적인 선회다. 이는 JCET 의 초정밀 패키징 기술과 MetaX 의 GPU 설계 역량, 그리고 독자 규격인 'ACC 1.0'이 결합되어 규제의 벽을 무력화하는 거대한 '수직 통합형 생태계'를 구축하고 있음을 시사한다. 결국 중국은 미국의 규제 타임라인에 맞춰 단순히 버티는 단계를 넘어, 시스템 아키텍처의 재정의의를 통해 자신들만의 독자적인 기술 표준과 AI 연산 패권을 정립하고 있다는 판단이다.

그림 2. CSTIC 2026 행사장



자료: 유안타증권 리서치센터

그림 3. SEMICON CHINA 2026 행사장



자료: 유안타증권 리서치센터

1. 실리콘의 물리적 한계를 우회하는 아키텍처의 혁신

CSTIC 2026에서 논의된 핵심 화두는 노광 공정의 하드웨어적 열세를 마스크 패턴의 혁신과 칩 구조의 재설계로 정면 돌파하는 데 집중되었다. 우선 'Changing the Face of Silicon' 세션에서 강조된 '커비 매뉴팩처링(Curvy Manufacturing)'은 GPU 기반 역노광 기술(ILT)을 통해 기존 DUV 장비로도 곡선형 설계를 구현, 7nm 이하 선단 공정의 수율 확보를 위한 실질적인 우회로를 제시했다. 이와 더불어 저온 공정이 가능한 IGZO 소재를 활용하여 배선층(BEOL) 위에 트랜지스터를 수직 적층하는 3D 모놀리식 구조는, 평면 미세화 없이도 연산 밀도를 극대화할 수 있는 차세대 설계 전략으로 부상했다.

또한, YMTC가 주도하는 'Xtacking' 아키텍처는 이제 단순한 낸드 적층 기술을 넘어, 서로 다른 기능을 가진 웨이퍼를 하이브리드 본딩으로 결합하여 규제 하에서도 고성능 칩을 구현하는 핵심 통합 플랫폼으로 자리 잡았다. 여기에 X-ray CT 및 IR 이미징 등 비파괴 3D 이미징 기술을 활용한 계층 솔루션의 고도화는, 공정 난도가 급격히 높아진 환경에서 중국이 독자적인 수율 관리 생태계를 완성해 나가고 있음을 방증한다.

그림 4. CSTIC 2026 컨퍼런스 Keynote 연설자



자료: <https://www.semiconchina.org/en/5>, 유안타증권 리서치센터

그림 5. CSTIC 2026 컨퍼런스 Panel discussion 참석자



자료: <https://www.semiconchina.org/en/69>, 유안타증권 리서치센터

(1) 커비 매뉴팩처링(Curvy Manufacturing): 규제의 벽을 넘는 '곡선'의 역설

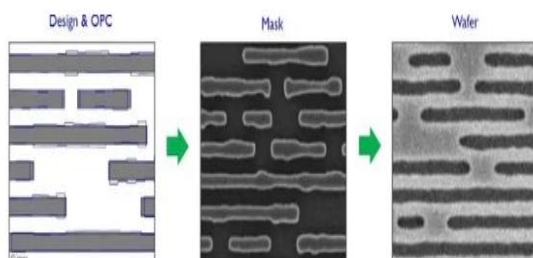
중국 반도체 산업은 EUV의 부재를 하드웨어가 아닌 설계와 마스크 공정의 혁신인 '커비 매뉴팩처링'으로 정면 돌파하고 있다. 이번 CSTIC 2026의 기초연설에서 강조된 이 기술은 반도체 회로를 직선(Manhattan)이 아닌 곡선(Curvilinear)으로 설계하고 제조하는 방식이다.

본래 반도체 패턴은 미세화될수록 빛의 회절 현상으로 인해 직선 설계도 결국 뭉툭한 곡선으로 찍히게 되는데, 중국은 이 물리적 한계를 역이용하여 처음부터 곡선형 마스크를 제작함으로써 패턴의 정밀도를 극대화할 수 있다. 이는 단순한 설계의 변화를 넘어, ASML의 구형 DUV 장비로도 7nm 이하 선단 공정의 '프로세스 윈도우(공정 마진)'를 획기적으로 넓힐 수 있는 실질적인 우회로가 된다.

참고로 '프로세스 윈도우(Process Window)'란 공정이 성공할 수 있는 일종의 '합격 범위(Safety Margin)'를 의미한다. 반도체 노광 공정은 웨이퍼라는 인화지에 회로라는 사진을 찍는 것과 같은데, 사진이 선명하게 나오기 위해서는 적절한 빛의 양(노출)과 정확한 초점이 필수적이다.

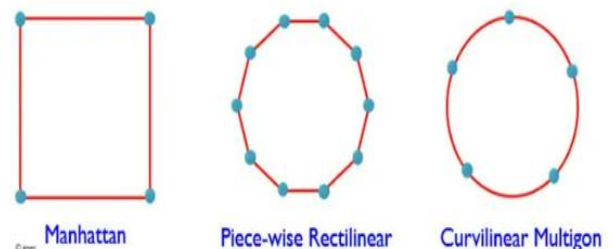
이 두 조건이 맞물려 '합격점의 회로'가 나올 수 있는 범위를 그래프화한 것이 프로세스 윈도우다. 선단 공정으로 갈수록 회로가 미세해져 이 합격 범위가 극도로 좁아지기 때문에, 아주 미세한 진동이나 빛의 변화에도 불량 발생하기 쉽다. 커비 매뉴팩처링은 빛의 물리적 특성에 최적화된 곡선 설계로 마스크를 제작함으로써, 초점이 다소 흔들리거나 노출량이 변하더라도 회로를 선명하게 구현해낸다. 즉, 성능이 떨어지는 구형 장비로도 첨단 공정 제품을 생산할 수 있도록 '공정의 여유'를 소프트웨어적으로 만들어낸 셈이다.

그림 6. 맨해튼 디자인(Manhattan designs)은 리소그래피 시스템을 통해 전시될 때 결국 곡선 형태로 변형이 이루어지게 됨



자료: imec, 유안타증권 리서치센터

그림 7. 기존 반도체 설계는 수직·수평의 맨해튼(Rectilinear) 방식이었으나, 초미세 공정으로 갈수록 성능 향상을 위해 곡선형(Curvilinear) 설계가 필요



자료: imec, 유안타증권 리서치센터

특히 이번 SEMICON China 현장에서 목격된 커비 매뉴팩처링의 핵심 동력은 GPU 가속 기반의 역노광 기술(ILT, Inverse Lithography Technology)과 멀티 빔 마스크 라이터(Multi-beam Mask Writer)의 결합이다.

중국은 GPU 가속 기반의 ILT 를 통해 마스크 보정 연산 시간을 획기적으로 단축시키는 한편, 패턴의 복잡도와 무관하게 일정한 제작 시간을 보장하는 멀티 빔 마스크 라이터를 결합하며 곡선형 설계의 양산 경제성을 확보해 나갈 전망이다. 이는 하드웨어 규제라는 물리적 장벽을 컴퓨테이션 리소그래피(Computational Lithography) 역량으로 정면 돌파하려는 전략적 포석일 것으로 추정한다.

첫째, '두뇌' 역할을 하는 GPU 가속 기반 역노광 기술(ILT)은 복잡한 곡선 설계의 연산 병목을 해결한다. 역노광 기술(Inverse Lithography Technology, ILT)이란 웨이퍼에 찍고 싶은 최종 회로 모양을 먼저 설정한 뒤, 이를 구현하기 위해 필요한 마스크의 형태를 수학적으로 역산해내는 기법이다. 기존의 직선 위주 설계는 수식이 단순하여 일반적인 CPU 연산으로도 충분했으나, 정교한 곡선을 계산하기 위해서는 웨이퍼 전체를 수조 개의 픽셀로 쪼개 시뮬레이션해야 하는 막대한 연산량이 요구된다. 과거 CPU 로는 수일이 소요되던 이 작업을 병렬 연산에 최적화된 고성능 GPU 를 활용함으로써 수 시간 내로 단축할 수 있게 되었다.

특히 노광 장비 공급이 제한적인 중국은 NVIDIA 의 'cu-Litho' 와 같은 라이브러리를 활용하고 있다. 'cu-Litho' 는 칩 제조의 설계도인 마스크를 만들 때 필요한 복잡한 물리 계산을 GPU 의 병렬 연산으로 처리하는 전용 소프트웨어다. 중국은 이를 통해 하드웨어(노광 장비)의 낮은 정밀도를 소프트웨어적 계산 능력으로 보완하며, 마스크 패턴을 극단적으로 정교화하는 '계산 리소그래피' 전략에 사활을 걸고 있다.

둘째, '손' 역할을 하는 멀티 빔 마스크 라이터(Multi-beam Mask Writer)는 계산된 곡선 도면을 실제 마스크 위에 경제적으로 그려낼 수 있는 생산성을 보장한다. 아무리 정교한 곡선 도면이 완성되어도 이를 마스크(유리판) 위에 그려내지 못하면 무용지물인데, 기존의 싱글 빔 방식은 붓 하나로 세밀한 곡선을 수억 번 그려야 하기에 마스크 한 장 제작에 수일이 걸리는 비경제성이 존재했다.

반면 멀티 빔 방식은 약 26만 개 이상의 미세 전자빔을 동시에 쏘아 마스크를 굽는 기술로, 패턴의 복잡도와 관계없이 마스크 제작 시간을 10시간 내외로 일정하게 유지해준다. 즉, GPU 덕분에 복잡한 곡선 도면을 '빨리 계산'할 수 있게 되었고, 멀티 빔 장비 덕분에 그 도면을 '빨리 제작'할 수 있게 된 것이다. 이러한 기술적 결합은 중국이 구형 DUV 장비로도 선단 공정의 수율을 확보할 수 있게 하는 실질적인 양산 무기가 될 수 있다.

표 4. 기존의 VSB(Variable Shaped Beam) 방식과 차세대 멀티 빔(Multi-beam) 방식 비교

구분	VSB (Variable Shaped Beam)	Multi-beam Mask Writer
기본 원리	하나의 전자빔을 사각형/삼각형 모양으로 조절하여 도장을 찍듯 패턴을 그림	약 26만 개 이상의 미세 전자빔(Beamlets)을 동시에 쏘아 한 번에 패턴을 형성
패턴 형상	직선(Manhattan) 위주. 곡선을 그리려면 아주 작은 사각형을 수없이 쪼개서 그려야 함	곡선(Curvilinear)에 최적화. 복잡한 곡선이나 비정형 패턴도 픽셀 단위로 한 번에 처리 가능
제작 시간 (Write Time)	패턴의 복잡도에 비례. 복잡한 곡선 마스크 제작 시 며칠(70시간 이상)이 소요될 수 있음	패턴 복잡도와 무관. 곡선이든 직선이든 마스크 한 장당 일정한 시간(약 10~15시간) 소요
정밀도 (Resolution)	미세 공정으로 갈수록 데이터 쪼개기 한계로 인해 패턴 왜곡 발생 가능	픽셀 기반의 노출 제어로 나노미터 단위의 극도로 정밀한 곡선 구현 가능
주요 용도	범용/레거시 반도체용 마스크 제작	선단 공정(7nm 이하) 및 ILT 기반 곡선형 마스크 제작 필수 장비
중국 내 시사점	규제 전 도입된 구형 장비가 많으나 고난도 ILT 적용에는 한계	커비 매뉴팩처링의 핵심. 장비 확보가 어려우나 중국 내 자체 개발 및 도입 시도 중

자료: 업계 자료, 유안타증권 리서치센터

표 5. Curvy P&R(Placement and Routing) technology 의 장점

[동시 사용 시]

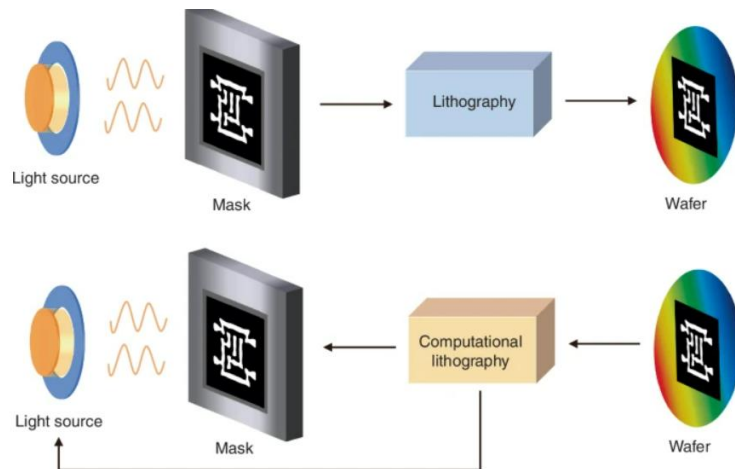
Goal	Performance	Total Power		Area	Wirelength	Vias	Perf / W
Balance	+25%	-20%~25%		-10%	-30%~45%	-40%~50%	+50~60%
	+30~35 for chiplets	-15% dynamic	-25~20 leakage	-20~-25% for chiplets	-	-	-

[개별 사용 시]

Goal	Performance	Total Power	Area	Perf / W
Max performance	+40~43%	+10~15%	-5~7%	+25~30%
Power Savings	0%	-40~45%	-8~10%	+40~45%
Max Area Reduction	+15~18%	-15~20%	-10~14%	+35~40%
Max Efficiency	+20~25%	-25~30%	-8~10%	+65~75%

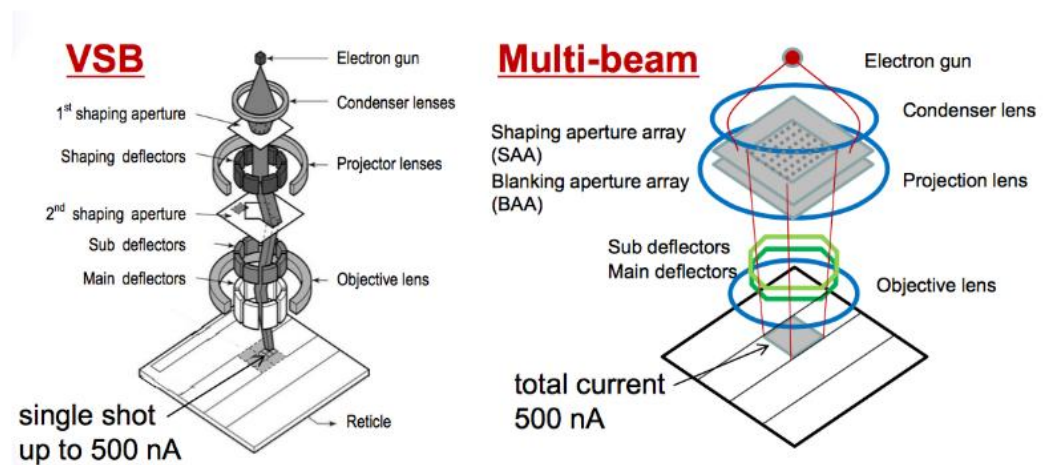
자료: CSTIC 2026, 유안타증권 리서치센터

그림 8. 순방향 결상(Forward imaging process) vs. 컴퓨팅 리소그래피의 역방향(Inverse process of computational lithography)



자료: www.nature.com, 유안타증권 리서치센터

그림 9. 기존의 VSB(Variable Shaped Beam) 방식과 차세대 멀티 빔(Multi-beam) 방식의 차이



자료: <https://semiengineering.com/>, 유안타증권 리서치센터

결국 커비 매뉴팩처링(Curvy Manufacturing)은 중국 반도체가 지향하는 '시스템적 자립'의 정수를 보여주는 사례이다. 시스템적 자립이란, 특정 하드웨어 장비를 1:1로 국산화하는 차원을 넘어 설계(EDA)-마스크-공정으로 이어지는 전체 아키텍처를 최적화함으로써 미국의 하드웨어 규제를 무력화하는 전략을 의미한다. 글로벌 반도체 기업들이 ASML의 EUV라는 압도적인 하드웨어 성능에 의존해 미세화를 달성할 때, 중국은 장비의 열세를 수학적 최적화(ILT)와 마스크 공정의 정밀도로 만회하며 독자적인 생존 경로를 개척하고 있는 셈이다.

이러한 변화는 노광 장비 시장의 정체를, EDA 및 마스크 시장 수요의 폭발적 성장으로 전이시키고 있다. 1)노광 장비 자체의 사양보다 이를 지원하는 멀티 빔 마스크 라이터(Multi-beam Mask Writer)와 GPU 가속 기반의 EDA 툴의 중요성이 급격히 커지고 있기 때문이다. 현재 멀티 빔 장비 시장은 일본의 NuFlare와 인텔 자회사인 오스트리아의 IMS가 독점하고 있으며, EDA 분야에서는 Synopsys, Cadence 등 주요 북미 기업들이 ILT 기술을 주도하고 있다. 그러나 중국은 이에 맞서 Dongfang Jingyuan(东方晶源, 비상장)과 같은 로컬 기업을 육성하여 EDA와 검사 알고리즘의 국산화에 박차를 가하고 있으며, 이는 '소프트웨어 중심의 기술 자립'이라는 새로운 국면을 예고할 가능성을 배제할 수 없다.

나아가, 2)커비 매뉴팩처링의 확산은 마스크 인프라 전체의 수요를 폭발시키고 있다. 곡선형 설계는 마스크의 복잡도를 극단적으로 높이기 때문에, 이를 수용할 수 있는 하이엔드 블랭크 마스크(Blank Mask)와 더 정밀한 검사 장비(Inspection)의 수요를 동시에 견인한다. 특히 곡률의 오차를 잡아내기 위한 비파괴 3D 검사 수요는 글로벌 선도 기업인 KLA의 증장기 장비 수요를 상향시키는 한편, 중국 내에서는 전용 알고리즘을 탑재한 검사 장비사들의 밸류에이션을 재평가하게 만드는 동인이 될 것이다. 3월 상하이에서 확인한 '곡선의 혁명'은 소부장 기업들이 단순한 장비 점유율을 넘어, 변화하는 기술 표준 속에서 어떤 '시스템적 가치'를 제공할지 고민해야 하는 지점이라는 판단이다.

표 6. 커비 매뉴팩처링(Curvy Manufacturing) 관련 밸류체인 내 수혜 기업

구분	핵심 기술 및 장비	글로벌 기업	중국 내 주요 기업
EDA	ILT (역노광 기술) 소프트웨어	Synopsys, Cadence, Siemens(舊 Mentor), D2S(비상장)	Empyrean(华大九天, 301269.SZ), Dongfang Jingyuan(东方晶源, 비상장)
Writer	Multi-beam 마스크 라이터	NuFlare, IMS Nanofabrication	SMEE(上海微电子装备, 비상장), Hefei Micro Lithography(비상장)
Computing	GPU 가속 라이브러리	NVIDIA	Biren(壁仞科技, 비상장), Moore Threads(摩尔线程, 비상장)
Substrate	고사양 블랭크 마스크	Hoya, Shin-Etsu, 에스앤에스텍	-
Inspection	마스크 검사 및 계측 장비	KLA, Lasertec, Applied Materials, 넥스틴, 파크시스템스	Skyverse Technology(中科飞测科技股份有限公司, 688361.SH), SiCarrier(비상장)

자료: 업계 자료, 유안타증권 리서치센터

표 7. 커비 매뉴팩처링(Curvy Manufacturing) 관련 수혜기업 실적 및 Valuation - 1

	업체명	Synopsys	Cadence	Simens	Empyrean	Shinetsu	Hoya	에스엔에스텍
	Ticker	SNPS US	CDNS US	SIE GR	301269 CH	4063 JP	7741 JP	101490 KS
	시가총액	82,236	81,038	200,439	7,178	83,915	59,933	1,895
2023A	Sales	5,318	4,090	79,969	143	20,777	5,352	150
	OP	1,273	1,251	10,225	20	7,384	1,552	25
	OPM%	24%	31%	13%	14%	36%	29%	17%
	NP	1,230	1,041	8,489	28	5,239	1,247	26
	PER	57.2	71.9	13.5	286.1	12.3	31.0	36.7
	PBR	11.6	21.7	2.2	12.0	2.2	6.3	4.3
	ROE	21.1	33.9	16.4	4.3	19.7	20.8	12.6
	EV/EBITDA	40.1	50.0	11.2	213.6	6.0	18.3	24.1
2024A	Sales	6,127	4,641	82,328	170	16,725	5,282	176
	OP	1,356	1,351	10,400	71	4,855	1,470	29
	OPM%	22%	29%	13%	42%	29%	28%	17%
	NP	2,263	1,055	9,000	15	3,602	1,256	30
	PER	52.5	64.1	17.4	605.5	25.4	36.4	17.6
	PBR	8.8	17.6	2.8	13.1	3.1	6.8	2.2
	ROE	29.9	26.1	16.8	2.2	12.8	20.3	13.1
	EV/EBITDA	39.2	46.3	14.4	497.5	12.5	23.0	10.9
2025F	Sales	7,054	5,297	87,258	215	16,814	5,685	244
	OP	915	1,492	10,610	23	4,872	1,616	50
	OPM%	13%	28%	12%	11%	29%	28%	21%
	NP	1,332	1,109	10,637	24	3,506	1,327	58
	PER	52.5	64.1	17.4	300.6	25.4	36.4	17.3
	PBR	3.0	15.5	2.9	9.7	1.8	5.9	3.3
	ROE	7.1	21.9	17.0	3.4	12.0	20.8	21.2
	EV/EBITDA	63.8	48.2	16.7	229.8	6.8	17.4	14.8
2026F	Sales	9,628	6,021	94,559	280	16,185	5,945	-
	OP	3,908	2,706	14,106	42	4,166	1,808	-
	OPM%	41%	45%	15%	15%	26%	30%	-
	NP	2,789	2,213	9,567	44	3,126	1,562	-
	PER	29.7	36.3	20.6	163.6	25.6	38.5	-
	PBR	2.4	12.5	2.6	9.3	2.8	9.6	-
	ROE	8.2	34.8	13.1	5.6	10.8	24.0	-
	EV/EBITDA	19.9	28.3	14.3	121.1	13.6	26.0	-
2027F	Sales	10,584	6,762	99,582	361	17,216	6,425	-
	OP	4,476	3,050	15,721	61	4,606	2,066	-
	OPM%	42%	45%	16%	17%	27%	32%	-
	NP	3,342	2,489	10,926	68	3,400	1,668	-
	PER	25.1	31.7	17.8	106.0	23.1	35.7	-
	PBR	2.4	10.4	2.4	8.8	2.7	9.0	-
	ROE	7.9	32.1	13.9	7.8	12.0	25.5	-
	EV/EBITDA	18.0	24.7	12.7	79.5	12.3	23.4	-

자료: Bloomberg, 유안타증권 리서치센터, 주: FY 기준, 단위는 mnUSD, 배, 2026.03.18 기준

표 8. 커비 메뉴팩처링(Curvy Manufacturing) 관련 수혜기업 실적 및 Valuation - 2

	업체명	KLA	Applied Materials	Lasertec	Skyverse tech	파크시스템스	넥스틴
	Ticker	KLAC US	AMAT US	6920 JP	688361 CH	140860 KS	348210 KS
	시가총액	194,170	279,716	21,362	8,301	1,851	844
2023A	Sales	10,496	26,517	1,114	126	145	88
	OP	3,995	7,654	454	17	28	36
	OPM%	38%	29%	41%	13%	19%	41%
	NP	3,387	6,856	337	20	25	31
	PER	19.2	16.3	42.1	151.9	48.8	22.5
	PBR	22.7	6.7	17.8	9.9	8.4	5.6
	ROE	156.8	48.0	50.8	9.4	18.7	27.3
	EV/EBITDA	14.6	13.0	29.2	153.6	36.0	17.6
2024A	Sales	9,812	27,176	1,433	192	175	114
	OP	3,346	7,867	546	71	39	47
	OPM%	34%	29%	38%	37%	22%	41%
	NP	2,762	7,177	396	-2	43	38
	PER	34.6	21.7	55.1	-	34.3	13.6
	PBR	32.9	8.0	21.5	11.5	7.8	3.3
	ROE	87.8	40.6	45.4	-0.5	25.8	27.0
	EV/EBITDA	25.9	18.1	37.4	1,317.1	31.5	9.7
2025F	Sales	12,156	28,368	1,682	296	207	67
	OP	4,775	8,289	822	19	44	-1
	OPM%	39%	29%	49%	7%	21%	-2%
	NP	4,062	6,998	566	19	40	-2
	PER	34.6	21.7	55.1	457.8	46.0	-
	PBR	25.2	8.9	8.3	15.8	8.1	4.9
	ROE	100.8	35.5	46.9	4.0	19.3	-1.6
	EV/EBITDA	21.1	20.1	13.1	1,053.2	35.6	231.8
2026F	Sales	13,477	31,479	1,416	440	253	137
	OP	5,762	9,843	658	57	62	38
	OPM%	43%	31%	46%	13%	25%	28%
	NP	4,816	8,722	473	55	55	30
	PER	40.4	31.7	42.5	148.2	33.4	26.5
	PBR	30.8	11.3	13.0	14.2	6.6	4.6
	ROE	89.1	37.8	33.2	10.3	21.8	21.5
	EV/EBITDA	31.7	26.9	29.8	195.7	25.6	19.1
2027F	Sales	16,489	37,575	1,639	620	304	253
	OP	7,448	12,423	776	92	80	111
	OPM%	45%	33%	47%	15%	26%	44%
	NP	6,254	10,953	556	91	70	88
	PER	30.9	25.4	36.5	91.9	26.6	9.6
	PBR	22.9	9.8	10.6	12.3	5.4	3.3
	ROE	89.3	40.6	31.4	14.5	22.2	41.5
	EV/EBITDA	25.2	21.1	26.0	109.8	20.4	7.0

자료: Bloomberg, 유안타증권 리서치센터, 주: FY 기준, 단위는 bilKRW, mnUSD, 배, 2026.03.18 기준

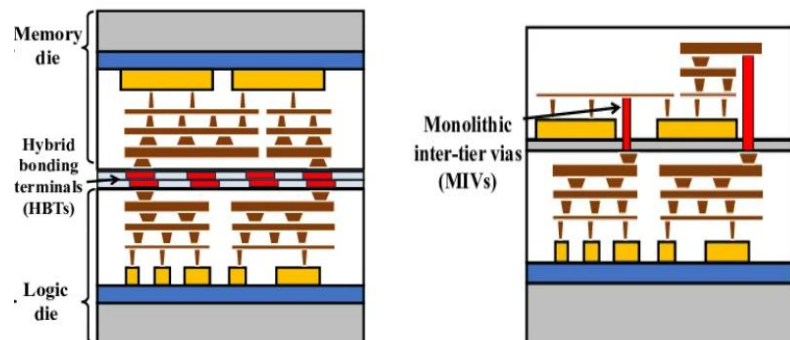
(2) BEOL 기반 적층 트랜지스터: 3D 모놀리식 구조를 통한 연산-메모리 병목 해소

반도체 산업의 패러다임이 단일 층의 미세화를 넘어 수직적 확장으로 급격히 선회하고 있다. 그 중심에는 디스플레이 기술의 전유물로 여겨졌던 TFT의 '로직/메모리 침투'가 자리 잡고 있다. 최근 개최된 CSTIC 2026에서는 TFT의 'Non-Display 응용처로의 확장'을 집중 조명하며, 저온 공정이 가능한 TFT의 특성을 활용해 BEOL(Back-End-Of-Line) 공정 내에 트랜지스터를 적층하는 솔루션을 제시했다. 이는 단순히 공간 효율을 높이는 것을 넘어, 연산-메모리 간 병목을 해소하고 전력 효율을 극대화하는 차세대 3D IC 시스템의 실질적인 해법이 될 수 있음을 확인시켜주었다.

반도체 미세화 공정이 7nm 이하 선단 노드로 진입하며 마주한 가장 큰 벽은 단일 실리콘 웨이퍼 평면에 더 이상 트랜지스터를 뻗뻗하게 집적하기 어렵다는 점이다. 특히 EUV 노광 장비 확보가 차단된 중국의 입장에서는 평면상의 미세화 대신, 위로 쌓아 올리는 3D 모놀리식 집적(Monolithic 3D) 기술이 필수적인 우회로가 되고 있다.

기존 방식이 웨이퍼 하나에 모든 회로를 평면적으로 구성했다면, 이 기술은 이미 로직 회로가 형성된 하부 층(FEOL) 위에 추가로 트랜지스터 층을 한 층 더 쌓아 올리는 혁신적인 아키텍처다. 참고로 시장 내에서 회자되는 하이브리드 본딩(Hybrid Bonding) 기반의 3D 패키징이 개별적으로 제조된 웨이퍼를 사후에 결합하는 '수직 조립' 방식이라면, Monolithic 3D는 단일 웨이퍼 내에서 하부 층과 상부 층을 일괄 공정으로 제조하는 '진정한 의미의 3D 통합'이다. 이는 층간 연결 밀도를 기존 패키징 기술 대비 수백 배 이상 높일 수 있어, 초미세 공정 장비 없이도 연산 밀도를 극대화할 수 있는 중국 반도체의 핵심 우회 전략이 될 수 있다.

그림 10. Hybrid bonding(왼쪽) vs. Monolithic 3D(오른쪽) 비교



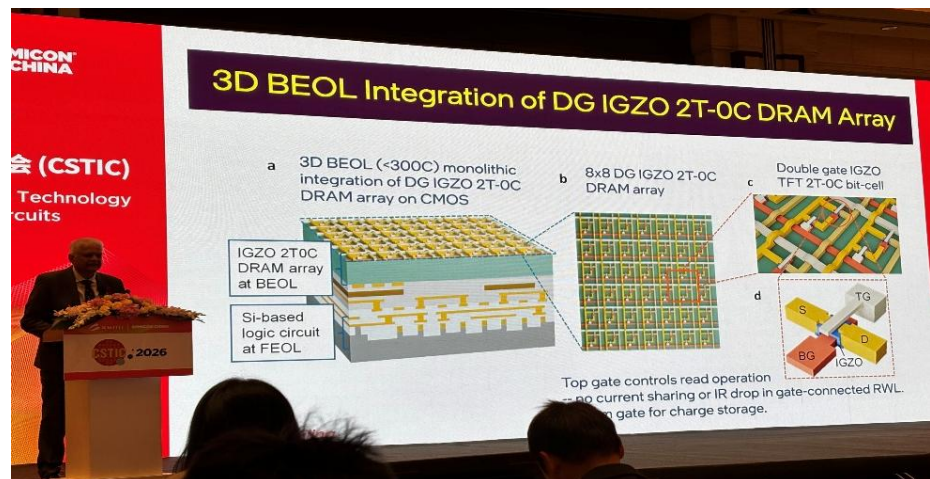
자료: 업계자료, 유안타증권 리서치센터

이 방식의 핵심은 저온 공정 기반의 박막 트랜지스터(TFT) 기술이다. 통상적인 실리콘 트랜지스터 제조 공정은 $1,000^{\circ}\text{C}$ 이상의 고온이 필요해, 상부 층 공정 시 이미 만들어진 하부 로직 회로를 손상시킬 위험이 크다. 반면, 이번 컨퍼런스에서 강조된 IGZO(Oxide) 등의 소재는 $300\sim 400^{\circ}\text{C}$ 이하의 저온에서도 고성능 소자 형성이 가능하다. 이를 통해 하부 로직의 열 손상 없이 금속 배선 층인 BEOL 위에 새로운 연산 및 메모리 소자를 수직으로 올리는 것이 가능해진다.

이러한 전략의 구체적인 실체는 CSTIC 2026에서 공개된 'DG(Double Gate) IGZO 기반 2T-0C DRAM' 구조에서 극명하게 드러난다. 기존 DRAM의 필수 요소였던 커패시터(Capacitor)를 제거하고, IGZO 소재 특유의 극저누설 전류(Low Leakage Current) 특성을 활용해 두 개의 트랜지스터만으로 메모리 기능을 구현한 것이다. 이는 공정 난이도가 높은 커패시터 없이도 고밀도 메모리 적층을 가능케 하며, 연산 소자와 메모리 소자 사이의 물리적 거리를 수직으로 좁힘으로써 데이터 병목 현상과 전력 손실을 동시에 해결한다.

결과적으로 중국은 초미세 공정 장비의 부재라는 물리적 한계를, 기존 성숙 공정 장비로도 구현 가능한 '적층형 소자 아키텍처'를 통해 정면 돌파하려는 전략을 취하고 있다. 비록 글로벌 표준 기술 로드맵과는 궤를 달리하지만, 전력 효율이 핵심인 온디바이스 AI 및 엣지 컴퓨팅 시장에서 중국 반도체가 미세 공정 경쟁에 맞서 내세울 수 있는 가장 실질적이고 강력한 설계 전략이 될 수 있다.

그림 11. 'DG(Double Gate) IGZO 기반 2T-0C DRAM' 구조

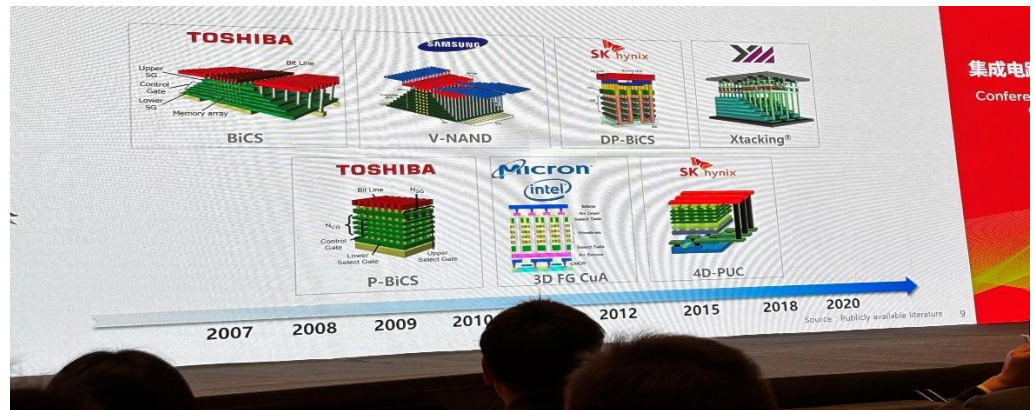


자료: CSTIC 2026, 유안타증권 리서치센터

(3) YMTC Xtacking: '공급 쇼크'를 넘어 AI 시대의 표준이 되는 하이브리드 본딩

현재 AI 서버용 eSSD 시장은 폭발적인 성능 요구치를 충족하기 위해 기존 TLC 라인을 pSLC(pseudo SLC) 모드로 운영하는 고육지책을 쓰고 있다. 하지만 이는 동일 면적당 저장 용량을 1/3 수준으로 급감시키는 '공급 쇼크'의 단초가 되고 있다. 결국 성능을 위해 용량을 희생해야 하는 물리적 한계는 단순히 단수만 높이는 방식으로는 극복이 불가능한 임계점에 도달했다.

그림 12. 3D 낸드 아키텍처 발전 히스토리

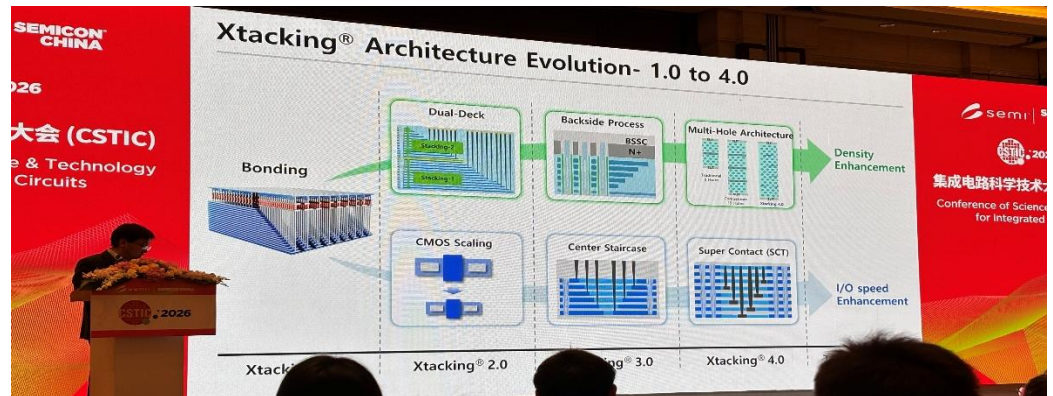


자료: YMTC, CSTIC 2026, 유안타증권 리서치센터

이러한 '성능과 용량의 트레이드오프(Trade-off)'를 정면 돌파한 기술이 바로 YMTC의 Xtacking 아키텍처다. YMTC는 단순한 낸드 적층 효율을 넘어, 이종 웨이퍼 간 결합을 통해 칩의 성능을 극대화하는 '중국 반도체의 핵심 통합 플랫폼'으로 해당 기술을 격상시켰다. 2026년 상용화된 Xtacking 4.0 및 5.0은 로직 회로와 메모리 셀을 최적화된 공정에서 별도 웨이퍼로 제작한 뒤 하나로 합치는 하이브리드 본딩(Hybrid Bonding)을 핵심으로 한다.

이는 기존의 납땜용 돌기(Bump) 방식이 아닌, 구리(Cu) 전극 단면을 원자 단위에서 직접 맞붙이는 초정밀 접합 기술이다. YMTC는 이미 64단 시절부터 선제적으로 해당 기술을 내재화하며 관련 IP와 공정 노하우를 선점해 왔다. CSTIC 2026에서 공개된 기술 디테일에 따르면, Xtacking은 미세 공정 장비의 부재를 '구조적 혁신'으로 극복 중이다. 경쟁사의 방식(COP 등)이 셀 제조 시 발생하는 1,000도 이상의 고온으로 하단 로직 회로에 열 손상을 주는 것과 달리, Xtacking은 두 웨이퍼를 분리 제조함으로써 로직 회로를 선단 공정으로 자유롭게 설계할 수 있는 이점을 누린다.

그림 13. YMTC Xtacking 아키텍처 세대별 진화 과정



자료: YMTC, CSTIC 2026, 유안타증권 리서치센터

결과적으로 2026년 말부터 낸드 시장은 누가 더 정밀하게 웨이퍼를 붙여 데이터 전송 손실을 최소화하느냐를 두고 다투는 '접합 기술의 진검승부'로 수렴할 전망이다. 이러한 중국의 공세에 맞서 삼성전자와 SK 하이닉스 역시 하이브리드 본딩 도입에 속도를 내고 있다. 그간 수익성 최적화를 위해 단일 웨이퍼 공정을 고수해 온 한국 기업들도 400단 이상의 시대에 접어들며 발생하는 열 간섭 문제를 해결하기 위해 이를 차세대 표준으로 정했다. 특히 삼성전자가 10세대 NAND(V10, 421단)부터 하이브리드 본딩을 채택하기로 한 것은, 용량 손실 없이 초고속 대역폭을 구현하는 HBF(High Bandwidth Flash) 아키텍처를 통해 AI 서버 시장의 리더십을 탈환하겠다는 강력한 의지로 풀이된다.

(4) 비파괴 3D 계측/검사: 차세대 반도체 아키텍처 혁신을 완성해 나갈 것

첨단 반도체 아키텍처가 2D 평면에서 3D 입체 구조로 전환됨에 따라, 계측 및 검사(Metrology & Inspection) 공정의 주류는 표면 위주의 관찰에서 내부를 꿰뚫어 보는 '투시형 비파괴 분석'으로 빠르게 이동하고 있다. 특히 하이브리드 본딩(Hybrid Bonding)이 적용된 300단 이상의 초고적층 낸드는 로직과 셀 웨이퍼가 결합된 뒤 내부가 완전히 밀폐되는 폐쇄적 구조를 갖는다. 기존의 전자현미경(SEM)이나 광학 검사는 칩의 표면 분석에 국한되어, 접합면 내부에 위치한 수백만 개의 구리 비아(Cu Via) 정렬 상태나 채널 홀(Channel Hole)의 수직도를 파악하는 데 물리적 한계가 뚜렷하다.

이에 대응하기 위한 비파괴(Non-Destructive Testing, NDT) 3차원 이미징 기술은 제품을 파손하거나 절단하지 않고도 내부 구조를 정밀 분석할 수 있어, 최근 양산 현장의 필수 인프라로 자리 잡고 있는 것으로 파악된다. 특히 X-ray CT(X-ray Computed Tomography, 고에너지 X 선을 360도 회전하며 조사하여, 칩 내부에 숨겨진 미세 보이드나 전극의 휨 현상을 1마이크로미터 이하의 해상도로 재구성)와 IR 이미징(Infrared 이미징, 특정 파장대의 적외선이 실리콘 웨이퍼를 그대로 투과하는 성질을 이용하고, 이를 통해 칩과 칩이 맞닿는 본딩 계면의 정렬 오차를 실시간으로 모니터링하는 방식) 기술은 각각의 투과 특성을 활용해 하이브리드 본딩의 완성도를 검증한다.

이 기술은 실리콘 웨이퍼를 투과하여 내부 본딩 계면의 미세 보이드(Void)나 나노미터 단위의 정렬 오차(Misalignment)를 칩 절단 없이 3차원으로 재구성해낸다. 이는 단순히 불량품을 걸러내는 사후 검사를 넘어, 확보된 입체 데이터를 설계 및 공정 단계로 실시간 피드백함으로써 하이브리드 본딩 아키텍처의 수율을 안정화하는 공정 제어(Process Control)의 핵심 인프라로 자리잡을 전망이라는 점을 주목한다.

중국 반도체 생태계가 비파괴 3D 계측 기술에 사활을 거는 것은 단순한 장비 자립을 넘어, '보이지 않는 구조에서의 수율 제어권'을 선제적으로 확보하기 위함이다. YMTC는 NAURA 등 로컬 기업들과 협력하여 Xtacking 공정에 특화된 고해상도 알고리즘을 구축하고 있으며, 이는 미국의 KLA 등 글로벌 선도사에 대한 의존 없이도 고난도 3D 구조의 상업적 양산성을 입증하는 결정적 토대가 되고 있다.

결국 이러한 비파괴 3D 계측 역량은 특정 국가나 기업의 전유물을 넘어, '3D 아키텍처 시대'를 향해하는 모든 제조사에게 필수적인 나침반이 될 것으로 판단한다. 중국이 생존을 위해 이 기술의 자립화에 박차를 가하고 있다면, 글로벌 선도 기업들은 초미세 공정의 수율 한계를 극복하고 고객사의 엄격한 품질 기준을 충족하기 위한 '전략적 병기'로서 관련 인프라를 확충해 나갈 것이다. 결과적으로 고해상도 비파괴 계측 역량은 차세대 아키텍처가 단순한 기술적 개념 증명을 넘어, 실질적인 '글로벌 시장 표준'으로 안착하기 위한 마지막 퍼즐이 될 전망이라는 점을 주목한다.

2. Post Moore 시대의 전면전: 아키텍처와 생태계의 '수직 통합' 전략

SEMICON China 2026의 현장은 더 이상 개별 장비의 국산화에 머물지 않고, 설계부터 후공정에 이르는 가치사슬 전체를 하나의 유기체로 묶는 '전략적 수직 통합'의 장이었다. 미국의 전방위적 규제가 상수가 된 '포스트 무어' 시대에 직면한 중국 반도체 산업은 단일 칩의 미세화 대신, 시스템 전체의 효율을 극대화하는 '인터커넥트 우선(Interconnect-First)' 전략으로 그 해법을 찾고 있다.

이번 전시회에서 확인한 가장 뚜렷한 변화는 AI 연산 성능 확장을 위한 기술적 무게 중심의 전격적인 이동이다. JCET 를 필두로 한 OSAT 진영은 정렬 오차 10nm 이하의 원자 수준 패키징(Atomic-Level)과 하이브리드 본딩 솔루션을 전면 배치했으며, 이는 MetaX 와 같은 로컬 GPU 설계사들이 5nm 이하 장비 부재를 극복하고 50 ZFlops 시대를 대비한 칩렛 기반 AI 컴퓨팅 인프라를 구축하는 실질적인 토대가 되고 있다.

특히 주목할 점은 소프트웨어와 광학 기술을 활용한 비대칭적 공세다. Siemens EDA 가 제시한 AI 기반 설계 자동화는 공정 장비의 열세를 지능적으로 상쇄하며 전력 효율을 30% 이상 개선하고 있으며, 실리콘 포토닉스(SiPh)와 CPO 기술은 전기적 신호의 물리적 한계를 빛으로 돌파하며 전력 소모 70% 절감(9W vs 30W)이라는 압도적인 효율성을 가시화했다. 여기에 실리콘의 한계를 넘어서는 유리 기판(Glass Interposer) 기술의 본격화는 글로벌 선도 기업들의 로드맵을 상회하는 공격적인 행보로 판단된다.

결국 2026년 중국 반도체의 핵심 키워드는 단일 칩의 선풍 경쟁이 아닌, 이질적인 기술들을 고도로 결합하여 규제의 벽을 무력화하는 '시스템 아키텍처의 재정'에 있다. 중국은 독자 규격인 'ACC 1.0'과 소프트웨어 생태계인 'MXMACA'를 통해 파편화된 로컬 기술들을 하나의 표준으로 결속시키며, 규제망 안에서도 독자적인 AI 연산 패권을 확보하기 위한 거대한 기술적 해자를 구축하고 있다.

그림 14. Semicon China 2026 컨퍼런스 키노트 일정 -1

13:50-14:10	Mutual Empowerment of AI & IC Promotes the development of Information Area AI & IC의 상호赋能推动信息产业发展 Hanming Wu 吴汉明 Professor, Zhejiang University 浙江大学教授
14:10-14:35	Transforming Tomorrow: Securing Semiconductor Growth and Innovation 赋能未来：护航半导体产业增长与创新 Benjamin Loh Chairman of the Board, Comet Holdings AG; Vice Chairman, SEMI International Board Comet董事会主席；SEMI全球董事会副主席
14:35-15:00	Redefining Chip Manufacturing Through Atomic-Level Innovation in Advanced Packaging 先进封装的原子级革新定义芯片成品制造新范式 Li Zheng 郑力 Board Director & Chief Executive Officer, JCET Group 长电科技董事、首席执行官

자료: <https://www.semiconchina.org/en/2281>, 유안타증권 리서치센터

그림 15. Semicon China 2026 컨퍼런스 -2

15:00-15:25	Semiconductor Market: Gigawatts of Power, Physical AI, and 5B+ AI Users; What it Means for Growth by 2030 半导体产业2030增长展望：算力、实体AI与50亿AI用户驱动新周期 Mario Morales VP, Head of Corporate Strategy and Partnerships, AMD AMD副总裁、企业战略与合作部负责人
15:25-15:50	Build world-class chips to power compute infrastructure of China 做强中国芯，共筑算力底座 Weiliang Chen 陈维良 Founder, Chairman & General Manager, MetaX 沐曦股份创始人、董事长兼总经理
15:50-16:15	Designing the Future of Electronic Design with AI 以 AI 重塑电子设计的未来 Ankur Gupta Executive VP, Siemens EDA IC Products 西门子 EDA IC产品事业部执行副总裁

자료: <https://www.semiconchina.org/en/2281>, 유안타증권 리서치센터

(1) 칩렛과 하이브리드 본딩: '원자급' 공정 혁신을 통한 선단 공정의 우회

미국의 전방위적 규제로 7nm 이하 선단 노드 진입이 지연됨에 따라, 중국 반도체 산업은 단일 다이(Single Die)의 미세화 대신 '시스템 구조의 질(Quality of System)'을 높이는 방향으로 선회하고 있다. 이번 SEMICON China 2026에서 JCET가 공개한 '원자 수준의 패키징 혁신(Atomic-Level Innovation)'은 전공정의 물리적 한계를 후공정의 초정밀 집적으로 돌파하려는 중국 OSAT의 실질적인 대응책을 보여준다.

첫째, 후공정의 전공정화가 가속화되고 있다. JCET가 제시한 기술 지표는 후공정의 경계를 허무는 수준이다. 하이브리드 본딩의 완성도를 위해 정렬 오차(Alignment) 10nm 이하, 표면 거칠기(Roughness) 0.2nm 미만이라는 전공정급 목표치를 설정했다. 이를 구현하기 위해 후공정 라인에 ALD(Atomic Layer Deposition, 원자층 증착)와 ALE(Atomic Layer Etching, 원자층 에칭) 장비를 대거 도입, 0.1nm 단위의 증착 정밀도와 200:1 이상의 선택적 식각비를 확보하겠다는 로드맵을 확정했다. 이는 노광 장비 부족에 따른 미세화 제약을 '원자 단위의 적층 및 식각' 기술로 보완하려는 시도다.

둘째, '유리 기판(Glass Interposer)'과 CPO를 통한 데이터 전송 병목 해소다. 중국은 실리콘 대비 신호 손실이 40% 적고 열팽창 계수가 안정적인 유리 기판 기술을 본격화하고 있다. 특히 유리의 투명한 특성을 활용해 광신호를 칩에 직접 연결하는 CPO(Co-Packaged Optics) 기술을 통합, AI 클러스터의 전송 효율 저하와 발열 문제를 해결하려 한다. 이를 기존 웨이퍼 방식보다 생산 효율이 높은 대면적 사각 패널(3D PLP, Panel Level Packaging) 공정에 이식함으로써, 생산성을 극대화하고 제조 원가를 40% 절감하겠다는 전략이다. 이는 글로벌 선두 기업(Incumbents)들의 가이드라인을 상회하는 공격적인 목표치로 판단된다.

셋째, AI와 디지털 트윈을 활용한 수율 제어의 지능화다. 공정이 원자 단위로 정밀해짐에 따라 발생하는 수율 저하 문제는 AI 기반의 디지털 트윈(Digital Twin)으로 대응하고 있다. 12단 이상 적층 시 발생하는 8% 이상의 테스트 오판율과 칩당 50TB에 육박하는 테스트 데이터를 실시간으로 처리하기 위해 지능형 의사결정 모델을 공정에 이식했다. 고가의 테스트 장비 도입에 따른 비용 부담을 AI 최적화로 상쇄하여 양산 경제성을 확보하겠다는 계산이다.

결국 중국은 전공정 미세화의 열세를 '인터커넥트 우선(Interconnect-First)' 전략으로 보완하고 있다. 이는 단일 칩 내부의 선폭을 줄이는 대신, 개별 칩렛 간의 연결 통로를 극단적으로 조밀화하여 시스템 전체의 데이터 처리 속도를 선단 공정 수준으로 구현하겠다는 핵심 로드맵이다. 특히 이러한 전략의 실효성을 높이기 위해 중국 반도체 산업 연맹(CCITA) 주도로 독자 규격인 'ACC 1.0'을 제정하고, 파편화된 로컬 기업들의 기술을 하나의 표준 생태계로 결속시키고 있다. 이 표준 규격과 JCET의 XDFOI 플랫폼이 결합하며 탄생할 '3차원 칩렛 구조'는, 규제망 안에서도 독자적인 AI 연산 성능을 확보하게 만드는 중국 반도체의 실질적인 기술적 해자가 될 전망이다.

표 9. JCET(Jiangsu Changjiang Electronics Technology Co) 실적 추이 및 전망

(단위: 백만달러)

	FY	1Q25	2Q25	3Q25	4Q25F	1Q26F	2Q26F	3Q26F	4Q26F	2025F	2026F	2027F
Sales	Total	1,283	1,282	1,406	1,609	1,418	1,576	1,775	1,847	5,827	6,584	7,364
	YoY%	7.5%	-3.2%	-7.8%	25.4%	10.6%	12.1%	10.3%	30.3%	16.7%	13.0%	11.9%
	QoQ%	-15.8%	-0.1%	9.7%	14.4%	-11.9%	11.2%	12.6%	4.1%	-	-	-
Gross profit	Total	162	183	200	237	188	231	250	280	795	935	1,083
	GPM%	12.6%	14.3%	14.3%	14.7%	13.3%	14.7%	14.1%	15.2%	13.6%	14.2%	14.7%
	YoY%	-4.9%	13.3%	-1.5%	45.9%	2.6%	15.4%	5.6%	49.0%	21.9%	17.5%	15.9%
	QoQ%	-20.3%	13.2%	9.2%	18.0%	-20.4%	22.9%	8.0%	12.3%	-	-	-
Operating profit	Total	50	63	84	96	89	85	108	153	266	368	464
	OPM%	3.9%	4.9%	6.0%	5.9%	6.3%	5.4%	6.1%	8.3%	4.6%	5.6%	6.3%
	YoY%	-29.7%	-23.8%	20.4%	90.5%	42.2%	2.1%	12.4%	71.7%	6.4%	38.5%	26.1%
	QoQ%	-27.7%	25.0%	33.3%	14.3%	-6.7%	-4.2%	25.8%	42.5%	-	-	-
Net profit	Total	28	37	67	78	62	63	88	148	227	337	426
	NPM%	2.2%	2.9%	4.8%	4.9%	4.4%	4.0%	4.9%	8.0%	3.9%	5.1%	5.8%
	YoY%	-58.2%	-42.0%	-8.8%	179.7%	67.5%	-6.2%	11.9%	139.1%	1.4%	48.8%	26.3%
	QoQ%	-62.2%	32.3%	82.4%	15.9%	-20.7%	2.1%	38.3%	69.3%	-	-	-

자료: Bloomberg, 유안타증권 리서치센터.

표 10. TFME(Tongfu Microelectronics Co.) 실적 추이 및 전망

(단위: 백만달러)

	FY	1Q25	2Q25	3Q25	4Q25F	1Q26F	2Q26F	3Q26F	4Q26F	2025F	2026F	2027F
Sales	Total	837	961	989	1,038	974	1,092	1,144	-	3,984	4,607	5,256
	YoY%	4.6%	14.7%	4.8%	24.0%	1.4%	10.4%	10.1%	-	20.1%	15.6%	14.1%
	QoQ%	-11.3%	14.7%	2.9%	5.0%	-6.2%	12.0%	4.7%	-	-	-	-
Gross profit	Total	111	155	160	162	-	-	-	-	622	731	834
	GPM%	13.2%	16.1%	16.2%	15.6%	-	-	-	-	15.6%	15.9%	15.9%
	YoY%	-13.7%	26.3%	5.0%	46.6%	-	-	-	-	26.3%	17.5%	14.0%
	QoQ%	-27.5%	40.1%	3.4%	1.3%	-	-	-	-	-	-	-
Operating profit	Total	43	75	81	94	49	82	109	-	267	328	385
	OPM%	5.1%	7.8%	8.2%	9.0%	5.0%	7.5%	9.5%	-	6.7%	7.1%	7.3%
	YoY%	-19.0%	6.5%	74.5%	119.2%	-34.8%	0.5%	15.7%	-	29.6%	23.2%	17.3%
	QoQ%	-7.8%	74.7%	8.4%	15.7%	-48.1%	67.2%	33.2%	-	-	-	-
Net profit	Total	14	43	63	-	-	-	-	-	181	228	278
	NPM%	1.7%	4.5%	6.3%	-	-	-	-	-	4.5%	4.9%	5.3%
	YoY%	-55.0%	34.0%	260.9%	-	-	-	-	-	92.5%	25.6%	22.0%
	QoQ%	-19.7%	208.4%	45.8%	-	-	-	-	-	-	-	-

자료: Bloomberg, 유안타증권 리서치센터.

표 11. Huatian 실적 추이 및 전망

(단위: 백만달러)

	FY	1Q25	2Q25	3Q25	4Q25F	1Q26F	2Q26F	3Q26F	4Q26F	2025F	2026F	2027F
Sales	Total	491	583	643	660	591	703	760	760	2,438	2,814	3,229
	YoY%	-1.7%	9.5%	17.8%	34.5%	1.4%	9.5%	15.1%	28.6%	21.4%	15.4%	14.7%
	QoQ%	-10.1%	18.7%	10.3%	2.7%	-10.5%	19.0%	8.0%	0.0%	-	-	-
Gross profit	Total	44	72	96	85	77	92	99	99	295	368	442
	GPM%	9.0%	12.4%	14.9%	12.9%	13.1%	13.1%	13.1%	13.1%	12.1%	13.1%	13.7%
	YoY%	-31.7%	-8.0%	52.6%	92.2%	7.4%	-3.8%	17.2%	28.6%	21.5%	25.1%	20.1%
	QoQ%	-29.6%	63.2%	32.8%	-11.3%	-8.8%	19.0%	8.0%	0.0%	-	-	-
Operating profit	Total	0	46	60	1	8	10	11	11	108	39	94
	OPM%	0.1%	7.9%	9.4%	0.2%	1.4%	1.4%	1.4%	1.4%	4.4%	1.4%	2.9%
	YoY%	-98.3%	58.4%	66.4%	254.9%	-82.3%	-83.8%	831.6%	28.5%	20.2%	-63.9%	142.7%
	QoQ%	-99.1%	14418.5%	30.3%	-98.1%	625.2%	18.9%	8.1%	0.0%	-	-	-
Net Profit	Total	-3	34	44	57	31	37	40	40	116	149	187
	NPM%	-0.5%	5.8%	6.9%	8.6%	5.3%	5.3%	5.3%	5.3%	4.8%	5.3%	5.8%
	YoY%	-111.1%	80.8%	22.8%	-2320.1%	-8.0%	-15.9%	-29.1%	28.5%	35.7%	28.0%	25.6%
	QoQ%	-107.1%	-1430.6%	30.3%	28.0%	-44.8%	19.2%	7.8%	0.0%	-	-	-

자료: Bloomberg, 유안타증권 리서치센터.

표 12. Forehope Electronic Ningbo 실적 추이 및 전망

(단위: 백만달러)

	FY	1Q24	2Q24	3Q24	4Q24	1Q25	2Q25	3Q25	4Q25P	2025P	2026F	2027F
Sales	Total	101	125	129	147	130	147	162	198	637	806	983
	YoY%	27.1%	39.3%	22.2%	45.2%	4.2%	14.5%	10.4%	52.1%	27.1%	26.6%	21.9%
	QoQ%	-4.0%	23.3%	3.2%	14.1%	-11.5%	13.3%	10.0%	22.0%	-	-	-
Gross profit	Total	14	26	21	25	18	25	29	50	123	166	216
	GPM%	14.2%	21.1%	16.5%	17.0%	14.2%	16.9%	17.8%	25.5%	19.2%	20.5%	22.0%
	YoY%	20.0%	73.3%	49.2%	73.1%	-29.8%	16.8%	16.0%	173.6%	41.2%	35.1%	30.5%
	QoQ%	0.8%	82.6%	-19.0%	17.0%	-25.9%	34.8%	16.2%	74.7%	-	-	-
Operating profit	Total	0	12	12	7	8	7	11	2	28	48	81
	OPM%	-0.2%	9.4%	9.1%	5.0%	6.3%	4.7%	6.8%	0.8%	4.4%	6.0%	8.3%
	YoY%	-82.5%	-741.2%	78.8%	-	-29.9%	-40.9%	48.5%	-80.8%	-8.2%	72.7%	68.3%
	QoQ%	-103.6%	-	-0.1%	-36.8%	11.1%	-15.8%	58.8%	-85.7%	-	-	-
Net Profit	Total	-5	7	4	3	3	1	5	3	11	43	69
	NPM%	-4.9%	5.3%	3.3%	2.3%	2.6%	0.5%	2.8%	1.4%	1.7%	5.3%	7.0%
	YoY%	19.2%	-215.9%	14.9%	-167.3%	-48.5%	-81.3%	38.0%	-18.1%	19.4%	289.5%	60.2%
	QoQ%	-234.0%	-233.2%	-35.6%	-21.4%	1.8%	-76.6%	479.7%	-39.6%	-	-	-

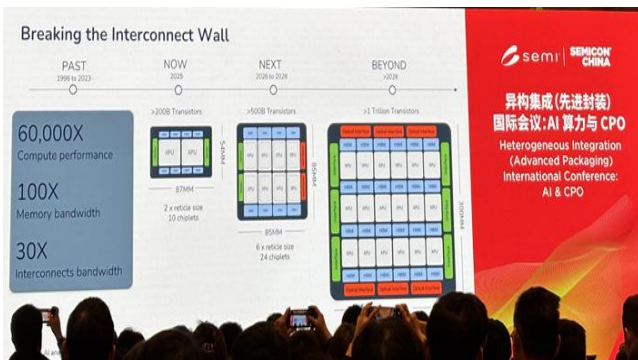
자료: Bloomberg, 유안타증권 리서치센터.

(2) 빛으로 뚫는 규제의 벽: 실리콘 포토닉스와 CPO의 비대칭 역전 전략

AI 가속기의 연산 능력이 지난 수년간 60,000배 성장하는 동안, 칩 간 연결 대역폭은 고작 30배 성장에 그쳤다. 이러한 ‘인터커넥트 장벽(Interconnect Wall)’은 기존 구리(Cu) 배선의 물리적 한계로 인해 발열과 데이터 병목이라는 치명적인 결함으로 이어지고 있다. 이번 SEMICON China 2026에서 확인된 중국의 전략은 이 한계를 실리콘 포토닉스(SiPh)와 CPO(Co-Packaged Optics) 기술로 정면 돌파하여, 전공정 미세화 규제를 무력화하는 데 방점이 찍혀 있다.

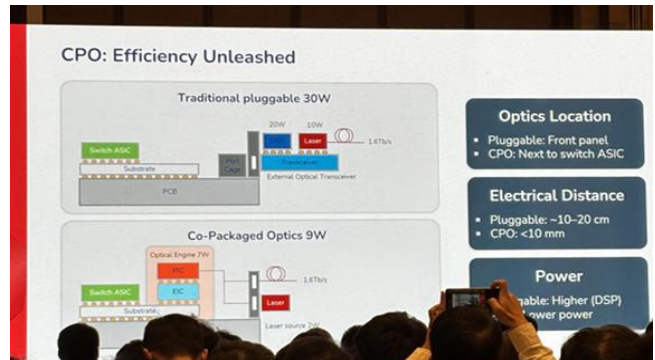
첫째, CPO 도입을 통한 전력 효율의 극대화(9W vs 30W)다. 싱가포르 IME의 발표에 따르면, 기존의 플러그형(Pluggable) 광모듈은 전기 신호가 PCB를 타고 10~20cm 이동해야 하므로 데이터 손실이 크고 DSP 전력 소모가 30W에 달한다. 반면, 광 엔진을 ASIC 바로 옆(10mm 이내)에 붙이는 CPO 방식은 전기적 거리를 최소화하여 전력 소모를 9W까지, 약 70% 절감할 수 있다. 이는 고가의 선단 공정 장비 없이도 패키징 구조 혁신만으로 시스템 전체의 에너지 효율을 획기적으로 개선할 수 있음을 시사한다.

그림 16. 인터커넥트 장벽(Interconnect Wall)을 실리콘 포토닉스 & CPO 기술로 대응



자료: Semicon China 2026, 유안타증권 리서치센터

그림 17. CPO 도입을 통한 전력 효율의 극대화



자료: Semicon China 2026, 유안타증권 리서치센터

둘째, 세계 최초의 실증 데이터, ‘Fan-out 기반 고집적 광학 엔진’의 탄생이다. 금번 행사에서 공개된 A*STAR의 2023년 데모 데이터는 CPO의 상용화 가능성을 시각적으로 입증했다. 실제 분석 이미지(Cross-section)에 따르면, 로직 제어 칩(EIC)과 광학 소자(PIC)를 수직으로 적층하고 그 사이를 마이크로 범프로 연결한 ‘Fan-out 기반 광학 엔진’이 하드웨어로 구현되었다. 이는 이론에 머물던 CPO 구조가 실제 데이터센터 환경에 즉시 투입 가능한 수준의 기술적 완성도를 확보했음을 증명한다.

셋째, 고성능 CPO 구현을 위한 4대 핵심 기술(Four Pillars)의 유기적 결합이다. 중국은 단순한 적응을 넘어 시스템 전체의 대역폭을 극대화하기 위해 네 가지 핵심 요소에 집중하고 있다. 우선 D2W(Die-to-Wafer) 하이브리드 본딩을 통해 칩 간 물리적 간격을 극한으로 좁혀 데이터 전송 효율을 높이고, 신호 통로 역할을 하는 TDV(Through Dielectric Via) 기반 인터포저를 도입하려고 한다.

여기에 광섬유와 칩 사이의 빛 손실을 제로(Zero)에 가깝게 제어하는 수직·수평 결합(Coupling) 기술이 더해짐으로써, 최종적으로 레인(Lane)당 400Gb/s 이상의 초고속 전송 속도를 확보하겠다는 구상이다. 이러한 핵심 기술은 개별적으로 존재하는 것이 아니라, 하나의 패키지 안에서 유기적으로 작동하여 AI 가속기의 인터커넥트 병목을 근본적으로 해결하는 기반이 될 전망이다.

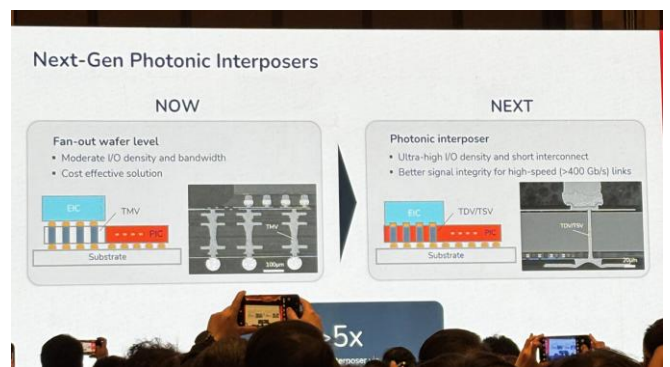
넷째, 패키징을 넘어선 최종 진화형, ‘포토닉 인터포저(Photonic Interposer)’다. 현재 CPO 기술이 웨이퍼 레벨 패키징을 통해 효율을 높이는 단계라면, 차세대 단계는 인터포저 자체가 광학적 기능을 수행하는 ‘포토닉 인터포저’로의 진화다. TSV/TDV 를 활용해 연결 밀도를 극대화한 이 구조는, 기존 대비 신호 무결성(Signal Integrity)을 높이고 기생 성분(Parasitic)을 5배 이상 감소시켜 시스템 성능을 비약적으로 끌어올리는 핵심 열쇠가 될 전망이다.

그림 18. 고성능 CPO 구현을 위한 4대 핵심 기술



자료: Semicon China 2026, 유안타증권 리서치센터

그림 19. 차세대 기술 포토닉 인터포저(Photonic Interposer)

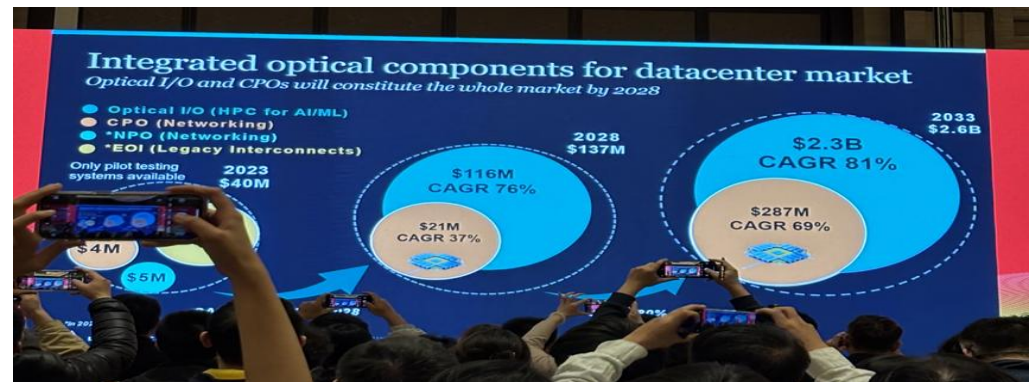


자료: Semicon China 2026, 유안타증권 리서치센터

다섯째, 'OSAT Friendly' 전략을 통한 제조 생태계의 자립화다. 중국은 CPO 제조를 별도의 특수 공정이 아닌, 기존 반도체 제조 인프라 내로 편입시키는 전략을 취하고 있다. 웨이퍼 공정(Front-end)은 기존 파운드리를 활용하되, 핵심인 광학 부품 결합(Back-end)은 JCET, Tongfu 등 로컬 OSAT 업체가 담당하는 구조다. 특히 표준화된 칩렛(Chiplet) 인터페이스를 제공하는 '개방형 CPO 플랫폼'을 구축함으로써, 누구나 자사 GPU 에 광 엔진을 붙일 수 있는 양산성(Scalability) 중심의 생태계를 완성해가고 있다.

결론적으로 2033년 약 23억 달러 규모로 급성장할 것으로 예상되는 Optical I/O 시장에서 중국의 CPO 전략은 단순한 기술 추격을 넘어선다. 이는 전공정의 물리적 한계를 패키징과 광학 기술로 우회하여, 글로벌 AI 컴퓨팅 경쟁에서 주도권을 확보하려는 '구조적 역전' 시나리오의 핵심 축이다.

그림 20. Optical I/O 및 CPO 시장 규모 전망



자료: Semicon China 2026, 유안타증권 리서치센터

표 13. CPO 주요 부품 및 밸류체인과 특징

핵심 부품	글로벌 리딩 기업 (Global)	중국 유망 기업 (China)	특징
광학 엔진 (SiPh IP)	Broadcom, Marvell, Intel, Ayar Labs	HGTECH(HG Zhengyuan), Sicoya, Innolight	CPO의 뇌에 해당. Broadcom은 이미 2세대 100G/lane 제품 양산 단계. Ayar Labs는 NVIDIA가 투자한 칩렛 광인터커넥트 선두주자.
레이저 광원 (InP)	Lumentum, Coherent(Finisar)	Yuanjie Tech, Source Photonics, Evergray Huaxin	고출력·저발열 CW(연속파) 레이저 기술이 핵심. 중국은 인듐인(InP) 소재 국산화율을 높여 공급망 자립 시도 중.
광도파로 및 기판	TSMC (COUPE), Global Unichip (GUC)	TFC Optical, JCET, Tongfu Micro	칩과 광학 엔진을 연결하는 유리 통로 설계. TSMC의 COUPE 플랫폼6이 현재 가장 앞선 표준으로 평가받음.
FAU 및 패키징	Teramount, Silitronics	T&S Communications, Innolight, Accelink	광섬유를 나노 단위 오차로 부착하는 공정. 중국 OSAT(통푸 등)들이 칩렛과 결합해 '시스템 통합' 역량 강화 중.

자료: 업계 자료, 유안타증권 리서치센터

(3) MetaX 와 인프라 자립: 설계-패키징-플랫폼으로 이어지는 GPU '연합군'

중국 GPU 산업의 선두주자인 MetaX(沐曦, 무시)는 이번 SEMICON China 2026에서 단순한 칩 제조사를 넘어, 중국 내 독자적인 AI 컴퓨팅 생태계를 구축하기 위한 '수직 통합형 연합군' 전략을 공식화했다. 2025년 12월 과창판(科创板, 688802.SH) 상장에 성공하며 자본력을 확보한 MetaX는, 현재 전 세계 연산 규모의 85%를 차지하는 지능형 연산 수요를 정조준하고 있다.

첫째, 자율 에이전트(Agent) 시대에 대응하는 동사의 입체적 하드웨어 로드맵이다. MetaX는 'OpenClaw'와 같은 자율 에이전트가 기존 챗봇 대비 64배 이상의 토큰을 소모한다는 점에 주목하며, 2030년 50 ZFlops(Zettaflops) 시대를 대비한 풀스택 라인업을 공개했다. 특히 5nm 이하 선단 공정 장비의 부재라는 물리적 한계를 극복하기 위해, 중국 로컬 첨단 패키징 플랫폼을 적극 활용하여 2.5/3D 칩렛 구조로 이를 만회하고 있다. 2026년 양산되는 X206(AI4S 특화) 과 하이브리드 본딩이 적용될 차세대 X300 시리즈는 로직과 HBM을 유기적으로 연결하여 데이터 병목을 해결하는 중국 GPU 자립의 핵심 병기다.

표 14. MetaX의 4대 GPU 설계 라인업 (Full-Stack Portfolio)

시리즈명	타겟 시장 (Target)	핵심 특징	비고
曦思 (XiSi) N	AI 추론 / 비디오 분석	저전력, 고효율 추론 특화 (N100, N260)	엣지 컴퓨팅용
曦云 (XiYun) C	LLM 학습 / 고성능 추론	엔비디아 H100 대항마 성격 (C500, C600)	데이터센터용
曦彩 (XiCai) G	그래픽 / 클라우드 게이밍	렌더링 최적화 (2027년 출시 예정)	소비자/엔터함
曦索 (XiSuo) X	HPC / 과학 연산 (AI4S)	고정밀 연산 특화 (기상, 생명공학 등)	X206 모델 포함

자료: MetaX, Semicon China 2026, 유안타증권 리서치센터

둘째, 'AI의 안드로이드'를 지향하는 소프트웨어 생태계(MXMACA)의 확장이다. MetaX는 하드웨어의 미세 공정 열세를 소프트웨어 최적화로 극복한다는 전략하에 독자 스택인 MXMACA를 고도화하고 있다. **글로벌 표준인 CUDA와 높은 호환성을 유지하면서도, '중국판 깃허브'인 Gitee.AI 및 주요 대학과 연계해 30만 명 이상의 개발자를 확보했다.** 이는 특정 산업에 국한되지 않고 금융, 의료, 에너지 등 '1+6+X'로 명명된 국가 핵심 산업 전반에 중국산 GPU를 이식하려는 거대한 생태계 포섭 전략이다.

셋째, 국산 공급망 구축을 통한 리스크 관리와 범용성 확보이다. MetaX는 설계부터 제조 지원까지 이어지는 전 과정을 중국 내 로컬 공급망과 긴밀히 협력하여 미국의 제재 등 외부 리스크로부터 안전한 공급 체계를 구축하고 있음을 강조했다. 특히 AI 기반 설계 솔루션을 적극 도입해 레거시 공정에서도 하이엔드급 PPA를 확보하는 지능형 최적화를 실현하고 있다.

결국 MetaX의 이러한 행보는 중국이 '설계-패키징-플랫폼'으로 이어지는 GPU 풀스택 자립을 완성해가고 있음을 상징한다. 이러한 생태계 중심의 대응은 엔비디아의 독주에 맞서는 중국 특유의 전략이며, 향후 글로벌 공급망 분절 상황에서 중국산 GPU가 실질적인 컴퓨팅 대안으로 자리 잡는 결정적 계기가 될 것으로 판단한다.

(4) AI 기반 EDA 혁신: 복잡성의 한계를 돌파하는 '지능형 시스템 설계'

반도체 미세화 경쟁이 심화되고 공정 난이도가 급격히 상승함에 따라, 설계 단계에서 칩의 잠재력을 극한까지 끌어올리는 EDA(전자설계자동화) 툴의 역할이 그 어느 때보다 중요해졌다. 이번 SEMICON China 2026에서 Siemens EDA가 제시한 비전은 명확하다. 이제 AI는 단순한 보조 도구를 넘어, 기하급수적으로 증가하는 '설계 복잡성'과 '천문학적 비용'이라는 거대한 벽을 넘기 위한 유일한 열쇠가 되었다는 점이다.

실제로 선단 공정의 장벽은 이미 데이터로 증명되고 있다. 3nm 이하 공정은 1,500~2,000개의 개별 공정 단계를 거쳐야 하며, 웨이퍼 한 장을 처리하는 데만 3~4개월이 소요된다. 비용 측면에서도 하이엔드 3nm 칩 설계에 최대 10억 달러(약 1.3조 원)가 투되고, 마스크 세트 비용만 5,000만 달러에 육박하는 상황이다. 이러한 상황에서 Siemens는 '2028년까지 칩의 70%가 AI 가속 기능을 탑재할 것이라 전망'하며, 하드웨어가 아닌 소프트웨어가 설계를 주도하는 'Software-defined' 시대로의 전환을 선포했다.

특히 주목할 부분은 AI 기반 EDA가 제공하는 실질적인 최적화 효율이다. 과거 엔지니어들이 수주일에 걸쳐 반복하던 배치 및 배선 작업을 AI는 수백만 개의 시나리오를 동시 검토하며 단시간에 수행한다. 이는 동일 공정 내에서도 전력 효율을 30% 이상 개선하거나 면적을 10~15% 축소하는 결과로 이어진다. 물리적인 노광 기술의 한계에 부딪힌 상황에서도 '지능형 설계'를 통해 시스템 차원의 미세화 효과를 거둘 수 있는 '역전의 발판'이 마련된 셈이다.

또한, Catapult AI NN과 같은 고위 합성(HLS) 툴의 진화는 AI 모델 설계자가 복잡한 하드웨어 지식 없이도 파이썬 기반 신경망 모델을 즉시 효율적인 RTL 코드로 변환할 수 있게 한다. 이는 통상 24개월이 소요되는 아키텍처 모델링부터 테이프아웃까지의 여정에서 발생하는 인적 오류를 최소화하고, 병목 구간인 '기능 검증' 단계를 획기적으로 단축시킨다. 칩렛(Chiplets)과 3D 스택킹 등 이종 집적(Heterogenous Integration)이 가속화되는 흐름 속에서, AI 툴은 복잡한 구조 내의 열 관리와 신호 간섭 문제를 해결하는 핵심 설계자로 자리 잡았다.

결국 미래 반도체 경쟁력은 물리적 제조 역량을 넘어, 데이터와 학습을 통해 칩의 구조적 잠재력을 끝까지 인출해내는 '지능형 설계 자동화'에서 판가름 날 것으로 보인다. 현재 중국은 Empyrean, Primarius 등 로컬 EDA 기업을 육성하며 공급망 안정화를 꾀하는 동시에, Siemens와 같은 글로벌 플레이어의 솔루션을 활용해 성능을 극대화하는 투트랙 전략을 구사하고 있다. 공정 장비의 세대 격차를 소프트웨어 알고리즘으로 극복하려는 이들의 시도는 향후 글로벌 반도체 생태계의 판도를 바꾸는 중요한 변수가 될 것이다.



I. 중국 반도체의 오늘: 규제 장벽 속의 '전방위 자립화'

II. 중국 반도체의 미래 전략 점검

III. 한국 반도체의 생존과 확장

1. 메모리 공급 과잉 리스크와 점검 & 기술 '초격차'로 방어
2. 한국 반도체, 메모리 초격차를 넘어선 시스템 플랫폼의 태동 본격화

IV. Appendix

III. 한국 반도체의 생존과 확장

1. 메모리 공급 과잉 리스크와 점검 & 기술 '초격차'로 방어

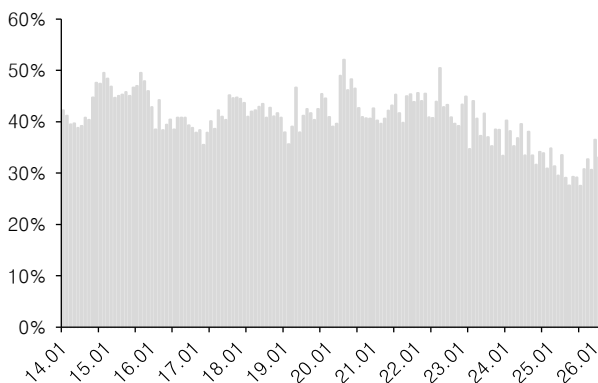
(1) CXMT·YMTC IPO: 치킨게임의 재발이 아닌 '내수 안전판' 확보의 과정

2026년 예정된 CXMT와 YMTC의 상장은 글로벌 메모리 시장에 단기적인 수급 우려보다는, 중국 반도체 산업의 '장기 생존 자금' 확보라는 성격이 강할 것이다. 당사 채널체크에 따르면 이번 IPO로 조달될 수십 조원 규모의 자본은 공격적인 점유율 확대 기조를 기반으로 한 메모리 가격 하락보다는, 선단 공정(HBM3/4 및 270단+ NAND) 개발을 위한 R&D 비용과 장비 국산화 생태계 구축에 집중될 가능성이 높다.

특히, 일각에서 우려하는 '제2의 치킨게임' 가능성은 현저하게 낮다는 판단이다. 현재 중국 정부의 기조는 보조금을 통한 양적 팽창에서 '수익성 기반의 자급률 제고'로 선회한다. 무분별한 반도체 팽 증설로 글로벌 단가를 낮추기보다는, Huawei 등 자국 AI 인프라(중국 내수 Cloud Service Providers 및 통신업체)에 공급할 '안정적인 물량'을 확보하는 것이 최우선 과제다. 당사 채널 체크에 따르면 2027년말 CXMT의 DRAM 예상 Capa는 300K 초반 수준에 도달하겠지만, 증설되는 Capa의 대부분이 HBM3 및 차세대 제품을 위한 양산 전개에 집중되어, 글로벌 DRAM 생산 점유율은 2025년대비 오히려 감소할 가능성도 배제할 수 없다.

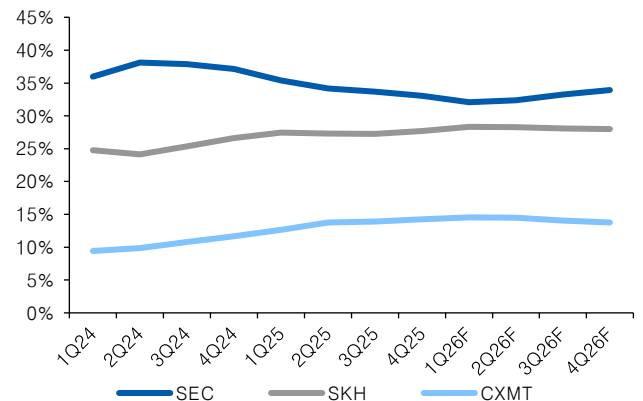
2026년 상반기, 삼성전자와 SK 하이닉스가 HBM4 및 서버용 DDR5 등 초고부가 라인으로 캐파를 전환함에 따라, 상대적으로 수익성이 낮은 중국 내수 소비자향 범용(Conventional) 메모리 시장에 자연스러운 '전략적 여백'이 발생하고 있는 것으로 파악된다. 중국 업체들의 증설 물량은 이 유향 시장을 흡수하는 수준에 머물고 있으며, 이는 한국 기업들이 중장기적 관점에서 소비자향 저마진 경쟁 리스크에서 벗어나 수익성 중심의 포트폴리오 재편을 완성하는 계기가 될 것이다. 결과적으로 중장기적 관점에서 한국과 중국 기업 간의 직접적인 가격 충돌 구간은 오히려 축소되며, '시장의 구조적 이원화'가 가속화될 전망이다.

차트 6. 중국향 반도체 수출 비중 추이 (2014년 ~ 2026년 2월)



자료: KITA, 유안타증권 리서치센터

차트 7. 글로벌 DRAM Capa 기준 업체별 점유율 변화 추이



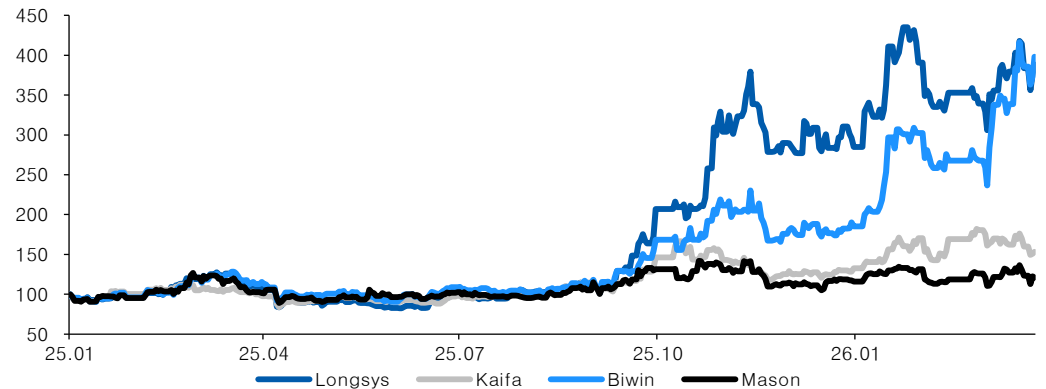
자료: 업계자료, 유안타증권 리서치센터

표 15. CXMT 상장 관련 내용

CXMT 상장 공모 및 기업 개요	
회사명	창신테크놀로지그룹(长鑫科技集团股份有限公司, CXMT)
상장 예정 판	상하이 증권거래소 커창반 (Kechuang Board)
발행 주식수	약 10.62억 주 이내 (발행 후 총 지분의 10% 이상)
주요 사업	DRAM 제품의 연구개발, 설계, 생산 및 판매 (IDM 방식)
시장 지위	중국 1위, 글로벌 4위 (생산능력 및 출하량 기준, Omdia 자료)
생산 거점	합비(Hefei), 북경(Beijing) 등에 12인치 웨이퍼 공장 3곳 운영
핵심 제품 및 기술 경쟁력	
핵심 전략	CXMT는 삼성전자, SK 하이닉스, 마이크론 등 글로벌 Top3를 추격하기 위해 '건너뛰기식 개발(跳代研发)' 전략 사용
보유 제품군	DDR4, DDR5, LPDDR4X, LPDDR5/5X 등 서버·모바일·PC 용 DRAM 라인업 확보
재무 현황 및 실적 전망	
현황	현재 CXMT는 대규모 시설 투자와 R&D 비용 지출로 인해 적자 상태
누적 결손금	2025년 6월 말 기준 약 408.6억 위안 (약 7.7조 원)
적자 원인	고정자산 감가상각비 부담(연간 100억 위안 이상) 및 매출액을 상회하는 R&D 투자
실적 전망	회사는 2026년 또는 2027년 흑자 전환 예상 (ASP 및 출하량 증가 전제)
공모 자금의 용도	
메모리 웨이퍼 양산 라인 업그레이드	기존 라인의 공정 고도화
DRAM 기술 업그레이드	제품 세대 교체 및 성능 개선
선행 기술 R&D	차세대 DRAM 기술 확보 및 연구개발 강화
투자자가 주목해야 할 핵심 리스크	
지정학 리스크	미·중 무역 갈등 및 글로벌 공급망 재편에 따른 장비·소재 수급 불확실성
시장 리스크	DRAM 가격 변동성 확대에 따른 수익성 악화 가능성
비용 구조	대규모 시설 투자에 따른 감가상각비 부담 지속
지배구조	특정 지배주주가 없는 구조(무실제통제인)로 경영권 변동 가능성 존재 창업자 주이밍(朱一明, Zhu Yiming / GigaDevice 창업자)이 회장으로 경영 총괄

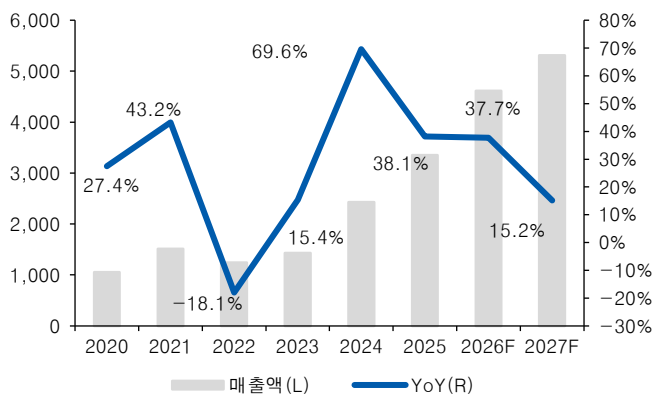
자료: 업계 자료, 유안타증권 리서치센터

차트 8. 중국 주요 메모리모듈 업체 추가 추이



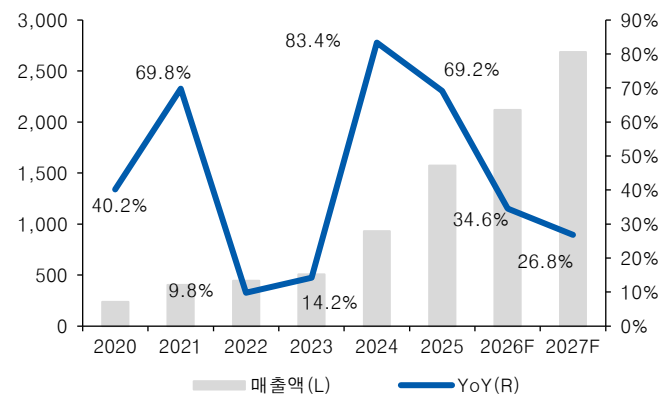
자료: Bloomberg, 유안타증권 리서치센터, 주: 25.01.01=100

차트 9. 중국 메모리 모듈업체 Longsys 실적 추이



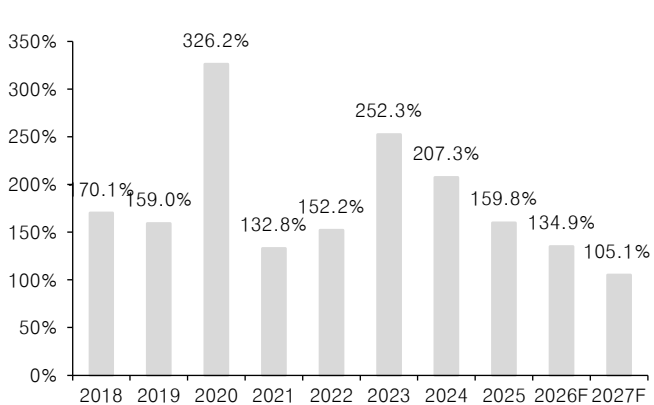
자료: Bloomberg, 유안타증권 리서치센터, 주: FY 기준, 단위는 mnUSD

차트 10. 중국 메모리 모듈업체 Biwin 실적 추이



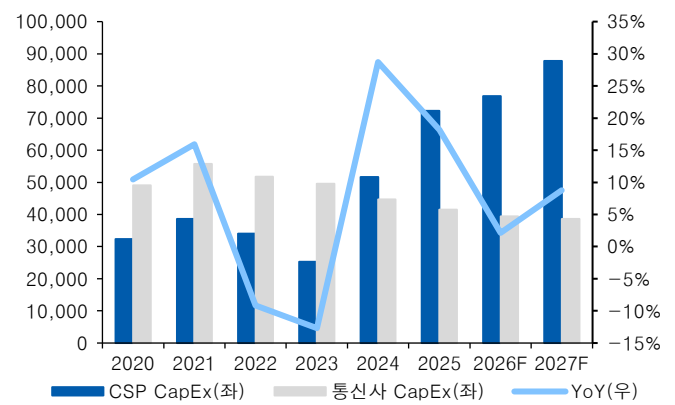
자료: Bloomberg, 유안타증권 리서치센터, 주: FY 기준, 단위는 mnUSD

차트 11. SMIC CapEx intensity 추이 및 전망



자료: Bloomberg, 유안타증권 리서치센터

차트 12. 중국 주요 CSP, 통신사 CapEx 추이 및 전망



자료: Bloomberg, 유안타증권 리서치센터, 주: FY 기준, 단위는 mnUSD

(2) 수익성 방어 전략: '물리적 한계'를 넘어서는 '경제적 해자'와 시스템 반도체화

한국 메모리 산업의 수익성 방어 전략은 단순한 '미세화 경쟁'을 넘어, 압도적인 제조 효율성과 '시스템 반도체 모델'로의 진화에 방점을 찍고 있다. 앞서 언급했듯 중국이 커비 매뉴팩처링(Curvy Manufacturing) 등 연산 리소그래피로 DUV 장비의 한계를 우회하고 있으나, 이는 공정 스텝의 복잡화와 마스크 비용 증가라는 경제적 대가를 수반한다. 반면, EUV 숙련도를 확보한 한국 기업들은 공정 단계를 간소화해 '시간당 생산성(Throughput)'을 극대화하고, 이는 중국 대비 웨이퍼당 가공 원가에서 최소 20% 이상의 우위를 점하는 강력한 경제적 해자로 작용하고 있다.

특히 차세대 메모리 경쟁의 승부처인 HBM4는 메모리의 개념을 '시스템 반도체'로 재정의하고 있다는 점을 주목한다. 베이스 다이(Base Die)가 파운드리 선단 공정으로 전환됨에 따라, 설계 단계부터 '파운드리-팹리스-메모리 제조사' 간의 유기적인 IP(설계 자산) 공유와 공정 최적화가 필수적이다. 이는 SK 하이닉스-TSMC-NVIDIA 로 이어지는 '전략적 연합군' 모델이든, 삼성전자가 추진하는 파운드리-메모리 'Turn-key 솔루션' 모델이든 상관없이, 결국 선단 파운드리 공정에 대한 접근권과 고도의 로직 IP 설계 역량이 승패를 가르는 핵심 변수가 됨을 의미한다.

미국의 규제로 인해 7nm 이하 선단 공정 활용과 핵심 로직 IP 도입이 제한된 중국 업체들에게, HBM4는 단순히 자본력만으로 극복하기 어려운 '공정 및 생태계의 복합 장벽'이 된다. 특히 당사 채널 체크에 따르면, 중국 내수 AI GPU 및 ASIC 수요는 폭발적으로 증가하고 있으나 이를 뒷받침할 SMIC, Hua Hong 등의 현지 파운드리의 선단공정 가동률은 90%이상인 것으로 파악되며, 선단 공정의 성숙도 면에서도 중단기적 한계가 뚜렷하다. 중국이 국가적 사활을 걸고 AI 연산 자립화를 추진함에 따라 향후 5년 이상 고성능 칩 수요는 높은 수준을 유지할 것으로 보이나, 공급은 극히 제한적이다.

이 지점에서 한국의 선단 파운드리는 중국 내 폭발적인 AI 서버 및 맞춤형 가속기 수요를 흡수할 수 있는 '현실적인 전략적 대안'으로 부상할 가능성이 높다. 지정학적 리스크라는 상수가 존재함에도 불구하고, 글로벌 표준 IP와 검증된 공정 안정성을 갖춘 한국의 파운드리 인프라는 중국 내수 팹리스들에게 거부할 수 없는 선택지다. 결과적으로 메모리와 로직의 경계가 허물어지는 HBM4 시대를 맞아, 한국 기업들은 기술적 우위를 지키는 동시에 중국 내수 인프라의 결핍을 보완하는 핵심 파트너로서 새로운 수익 모델을 창출하는 '이중 수혜'를 누릴 가능성도 배제할 수 없다는 판단이다.

2. 한국 반도체, 메모리 초격차를 넘어선 시스템 플랫폼의 태동 본격화

한국 시스템 반도체 생태계는 향후 중국의 '수요-공급 매칭' 전략과 대만의 '파운드리-디자인 서비스 결속 모델'을 한국적 실정에 맞게 융합하며 새로운 성장의 변곡점을 맞이할 것으로 기대된다. 그간 국내 반도체 시장의 Re-rating 논의가 메모리 업황에 국한되었다면, 이제는 삼성 파운드리를 중심으로 확장되는 시스템 반도체 밸류체인 중장기적 성장성에 주목해야 한다.

첫째, 중국의 '소프트웨어 자립' 지연에 따른 반사 수혜와 국내 IP 기업의 부상이다. 중국이 대기금을 투입해 핵심 IP 국산화에 사활을 걸고 있으나, 글로벌 표준인 고성능 HPC 시장에서 검증된 자산(Silicon-proven IP)을 구축하기까지는 상당한 시차가 존재할 수밖에 없다. 이 틈새를 공략해 오픈엠티테크놀로지(394280 KQ)와 같은 국내 IP 선도 기업들은 글로벌 AI 수요 폭증에 대응하며 실질적인 수주 성과(Design-win)를 기록하고 있다. 특히 정부의 '실증 플랫폼' 가동으로 국내 IP의 기술 신뢰도가 제고되고 있다는 점은 향후 실적 가시성을 재차 높여 나갈 전망이다.

둘째, 삼성 파운드리의 선단 공정 수주 본격화에 따른 '한국형 VCA' 생태계의 낙수효과다. 현재 삼성 파운드리에는 테슬라, AMD 등 글로벌 빅테크향 8/5/4nm 수주가 견조한 가운데, 최근 2nm 선단 공정에서도 글로벌 기업들의 신규 수요가 가시화되는 양상이다. 이는 Capa 한계에 다다른 TSMC의 실질적 대안으로 삼성의 입지가 강화되고 있음을 시사하며, 특히 지정학적 리스크 관리 차원에서 중국 팹리스들에게도 삼성은 전략적 요충지로 부상하고 있다.

이러한 국내 파운드리 낙수효과는 삼성의 글로벌 저변 확대를 지원하는 핵심 엔진인 가온칩스(399720 KQ), 에이디테크놀로지(200710 KQ), 세미파이브(490470 KQ) 등 주요 디자인하우스(DSP)의 전략적 가치 우상향으로 직결된다. 선단 공정 수주가 실제 양산으로 이어지는 과정에서 이들 파트너사의 설계 지원 역량은 필수적이며, 이는 과거 대만의 VCA들이 경험했던 폭발적인 가치 재평가 경로를 한국 생태계가 재현하는 기폭제가 될 것으로 예상된다.

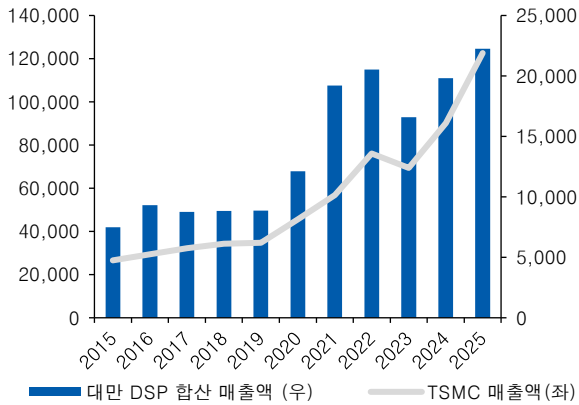
결론적으로 한국 반도체는 더 이상 업황 사이클에만 실적이 좌우되는 '천수답식 수익 모델'이나 '메모리 단일 엔진'의 한계에서 벗어나고 있다. 메모리라는 견고한 기초 체력 위에 삼성 파운드리의 플랫폼 경쟁력이 더해지며, 기존 Automotive 및 Consumer 중심의 포트폴리오가 AI 서버, 고성능 HPC, 그리고 AI Inference 등 고부가가치 시장으로 전방위적으로 확산되는 'Scale-across' 국면에 진입했기 때문이다. 지금은 단순한 주가 반등을 넘어, 한국 반도체 생태계의 구조적 멀티플 상향(Multiple Expansion)에 기반한 전략적 비중 확대가 필요한 시점이다.

표 16. 중국 주요 GPU 펌리스 기업 실적 및 Valuation

	업체명	Haiguang IT	Cambricon	Moore Thread	MetaX	Biren Technology	Jingjia Micro
	Ticker	688041 CH	688256 CH	688795 CH	688802 CH	6082 HK	300474 CH
	시가총액	72,741	63,179	37,890	35,003	9,422	4,595
2023A	Sales	849	100	18	7	9	101
	OP	200	-140	-242	-124	-165	-4
	OPM%	24%	-140%	-1384%	-1661%	-1886%	-4%
	NP	178	-120	-240	-123	-246	8
	PER	131.4	-	-	-	-	543.9
	PBR	8.8	9.9	-	-	-	9.5
	PSR	27.4	78.0	-	-	-	45.3
	ROE	7.1	-16.2	-138.8	-81.6	-	1.8
	EV/EBITDA	73.0	-	-	-	-	753.6
2024A	Sales	1,273	163	61	103	47	65
	OP	361	-69	-222	-194	-120	-32
	OPM%	28%	-42%	-364%	-188%	-257%	-49%
	NP	268	-63	-225	-196	-214	-23
	PER	180.5	-	-	-	-	-
	PBR	17.2	50.5	-	-	-	6.9
	PSR	38.0	232.9	-	-	-	94.6
	ROE	9.9	-8.2	-61.7	-117.9	-	-3.1
	EV/EBITDA	87.8	-	-	-	-	-
2025F	Sales	2,086	904	219	239	138	105
	OP	623	287	-	-97	-144	4
	OPM%	30%	32%	-	-41%	-104%	4%
	NP	442	287	-	-106	-135	4
	PER	165.1	275.0	-	-	-	1,102.0
	PBR	21.9	48.3	-	50.1	8.5	-
	PSR	34.8	87.1	173.2	146.2	68.0	42.7
	ROE	13.4	23.9	-	-9.1	-550.8	0.4
	EV/EBITDA	97.6	243.6	-	-	-	-
2026F	Sales	3,180	2,036	400	543	291	145
	OP	980	756	-	11	-112	16
	OPM%	31%	37%	-	2%	-38%	11%
	NP	698	726	-	17	-90	15
	PER	105.1	86.7	-	2,044.4	-	295.7
	PBR	18.5	27.4	-	49.8	9.3	-
	PSR	22.8	31.0	94.7	64.5	32.4	30.9
	ROE	18.3	35.3	-	0.5	4.0	1.6
	EV/EBITDA	66.5	84.9	-	2,536.0	-	-
2027F	Sales	4,369	3,505	680	1,031	726	196
	OP	1,412	1,360	-	159	175	32
	OPM%	32%	39%	-	15%	24%	17%
	NP	1,009	1,301	-	164	99	32
	PER	73.3	48.3	-	213.3	95.1	142.6
	PBR	15.1	17.6	-	42.4	7.8	-
	PSR	16.6	18.0	55.7	33.9	13.0	23.0
	ROE	21.6	38.7	-	10.7	8.5	3.2
	EV/EBITDA	48.7	41.8	-	278.1	55.6	-

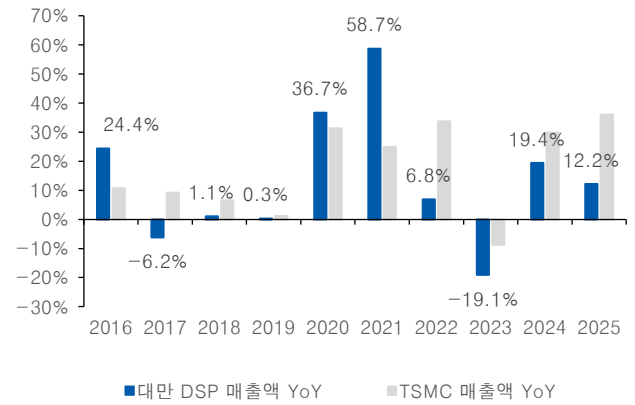
자료: Bloomberg, 유안타증권 리서치센터, 주: FY 기준, 단위는 mnUSD, 배, 2026.03.25 기준

차트 13. TSMC, 대만 DSP 합산 매출액 추이



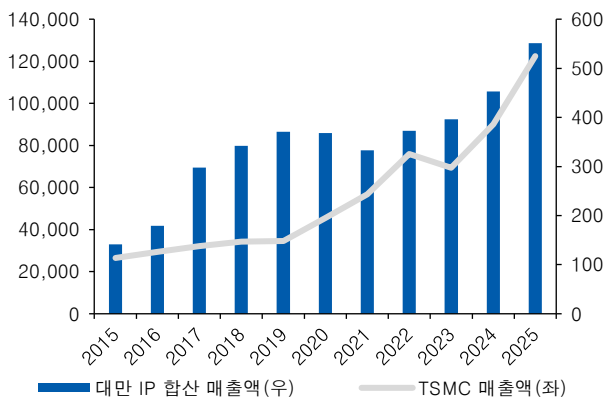
자료: Bloomberg, 유안타증권 리서치센터, 주: FY 기준, 단위는 mnUSD

차트 14. TSMC, 대만 DSP 합산 매출액 YoY 변동 추이



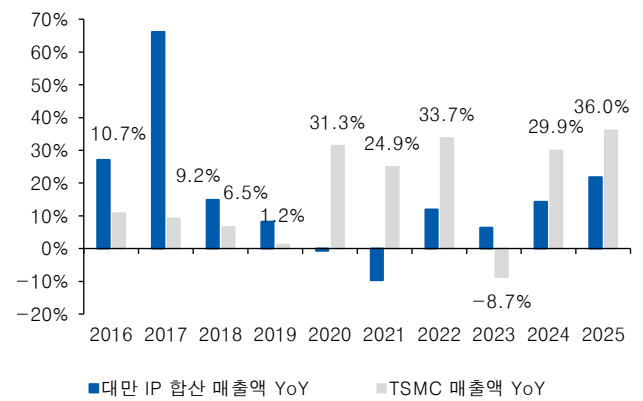
자료: Bloomberg, 유안타증권 리서치센터, 주: FY 기준, 단위는 mnUSD

차트 15. TSMC, 대만 IP 합산 매출액 추이



자료: Bloomberg, 유안타증권 리서치센터, 주: FY 기준, 단위는 mnUSD

차트 16. TSMC, 대만 IP 합산 매출액 YoY 변동 추이



자료: Bloomberg, 유안타증권 리서치센터, 주: FY 기준, 단위는 mnUSD

표 17. 국내 시스템 반도체 기업 실적 및 Valuation

	업체명	세미파이브	가온칩스	에이디테크놀로지	에이직랜드	오픈엠티테크놀로지
	Ticker	490470 KS	399720 KS	200710 KS	445090 KS	394280 KS
	시가총액	926	731	755	298	459
2023A	Sales	71	64	100	74	20
	OP	-32	4	-17	4	-16
	OPM%	-45%	7%	-17%	5%	-81%
	NP	-86	6	-16	4	-15
	PER	-	103.6	-	126.2	-
	PBR	-	10.6	2.9	6.5	26.8
	ROE	-	10.9	-10.2	7.2	-56.3
	EV/EBITDA	-	73.3	-	105.0	-
2024A	Sales	112	96	107	94	15
	OP	-23	4	-17	-17	-25
	OPM%	-21%	4%	-16%	-18%	-161%
	NP	-291	8	-14	-14	-27
	PER	-	59.7	-	-	-
	PBR	-	6.5	1.6	4.4	5.0
	ROE	-	11.5	-10.2	-15.4	-67.4
	EV/EBITDA	-	45.3	-	-	-
2025A	Sales	121	69	165	73	16
	OP	-53	-17	3	-28	-29
	OPM%	-44%	-24%	2%	-38%	-180%
	NP	-56	-14	4	-27	-30
	PER	-	-	121.8	-	-
	PBR	4.1	-	-	5.6	18.9
	ROE	-31.2	-	-	-38.1	-78.1
	EV/EBITDA	-	-	-	-	-
2026F	Sales	259	108	262	-	30
	OP	14	9	19	-	-2
	OPM%	6%	8%	7%	-	-7%
	NP	14	-	16	-	-2
	PER	101.4	97.8	47.4	-	-
	PBR	4.0	-	5.0	-	-
	ROE	-2.3	-	7.1	7.0	-7.1
	EV/EBITDA	213.7	-	25.9	-	-
2027F	Sales	449	-	333	-	40
	OP	52	-	34	-	4
	OPM%	12%	-	10%	-	11%
	NP	49	-	28	-	4
	PER	22.4	-	27.1	-	105.2
	PBR	3.7	-	4.2	-	14.1
	ROE	7.9	-	15.0	-	14.4
	EV/EBITDA	21.7	-	16.6	-	-

자료: Bloomberg, 에프앤가이드 Quantwise, 유안타증권 리서치센터, 주: FY 기준, 단위는 bilKRW, 배, 2026.03.29 기준



I. 중국 반도체의 오늘: 규제 장벽 속의 '전방위 자립화'

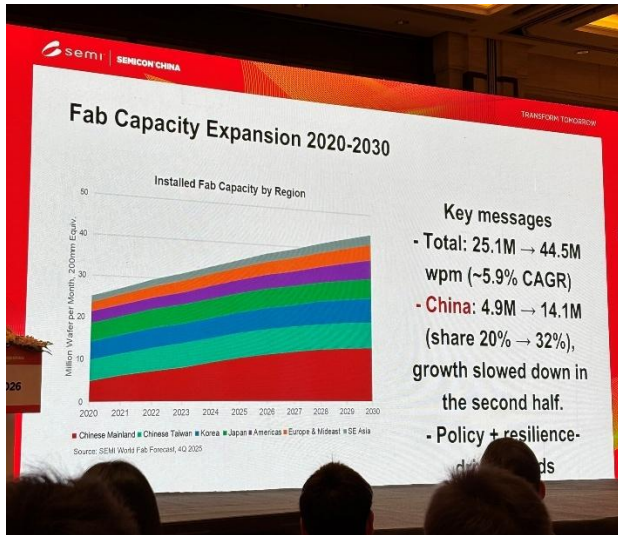
II. 중국 반도체의 미래 전략 점검

III. 한국 반도체의 생존과 확장

IV. Appendix

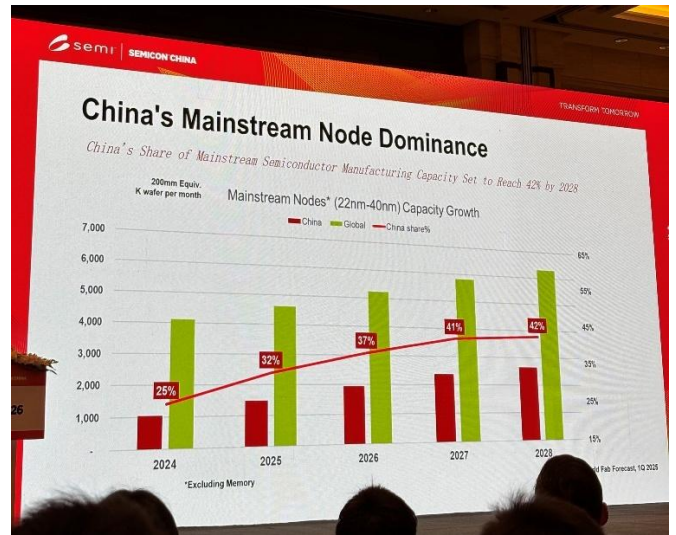
IV Appendix

그림 21. 중국 반도체 FAB 확장 계획 (2020~2030 년)



자료: CSTIC 2026, 유안타증권 리서치센터

그림 22. 중국 성숙 공정 점유율 확대 계획 (2024~2028 년)



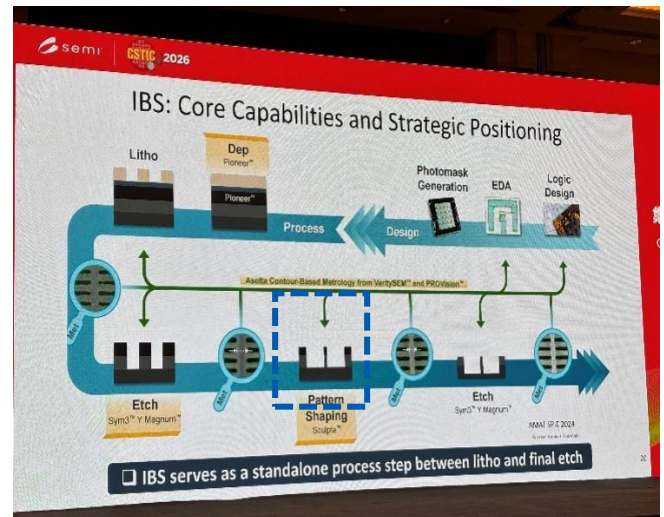
자료: CSTIC 2026, 유안타증권 리서치센터

그림 23. CXMT의 DRAM이 EUV 없이 IBS를 통해 미세화를 시험할 계획 -1



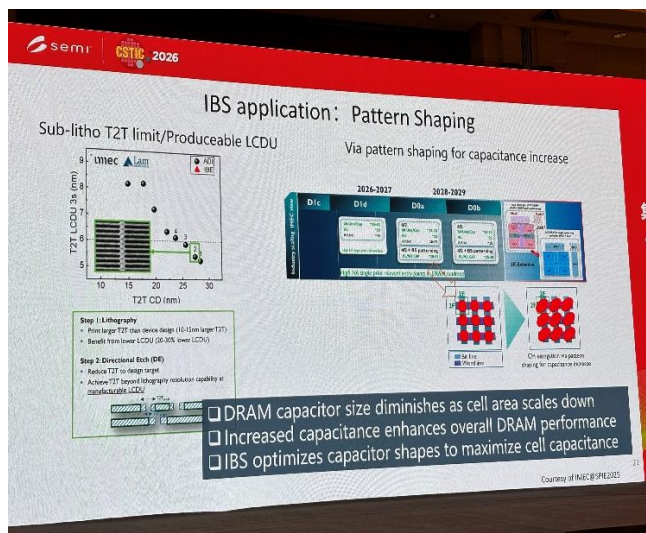
자료: CXMT, CSTIC 2026, 유안타증권 리서치센터

그림 24. CXMT의 DRAM이 EUV 없이 IBS를 통해 미세화를 시험할 계획 -2



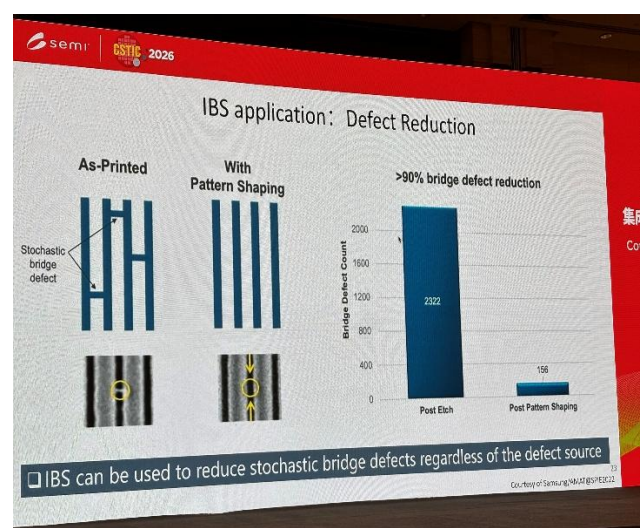
자료: CXMT, CSTIC 2026, 유안타증권 리서치센터

그림 25. CXMT의 DRAM이 EUV 없이 IBS를 통해 미세화를 시험할 계획 -3



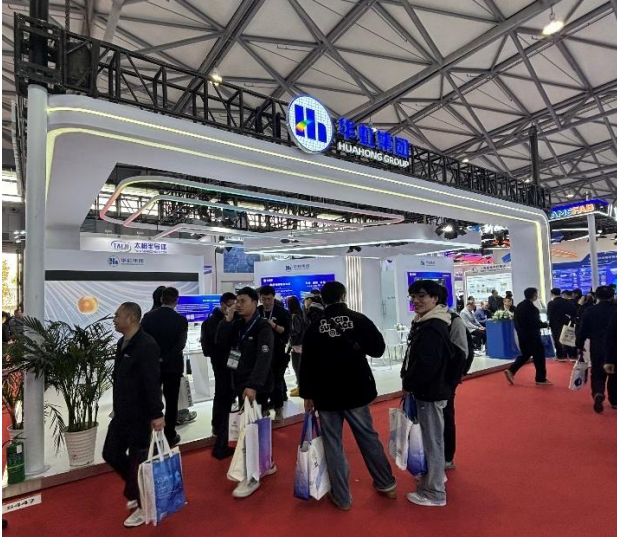
자료: CXMT, CSTIC 2026, 유안타증권 리서치센터

그림 26. CXMT의 DRAM이 EUV 없이 IBS를 통해 미세화를 시험할 계획 -4



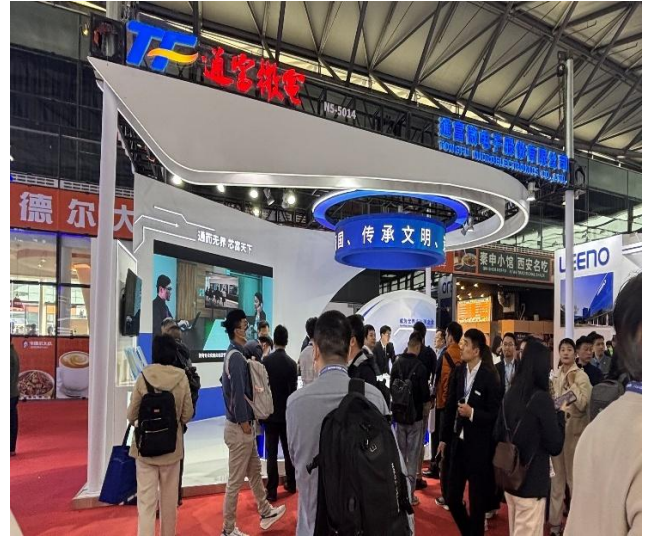
자료: CXMT, CSTIC 2026, 유안타증권 리서치센터

그림 27. 중국 파운드리 업체 Hua Hong 부스 - SEMICON CHINA 2026



자료: 유안타증권 리서치센터

그림 28. 중국 후공정 업체 TongFu 부스 - SEMICON CHINA 2026



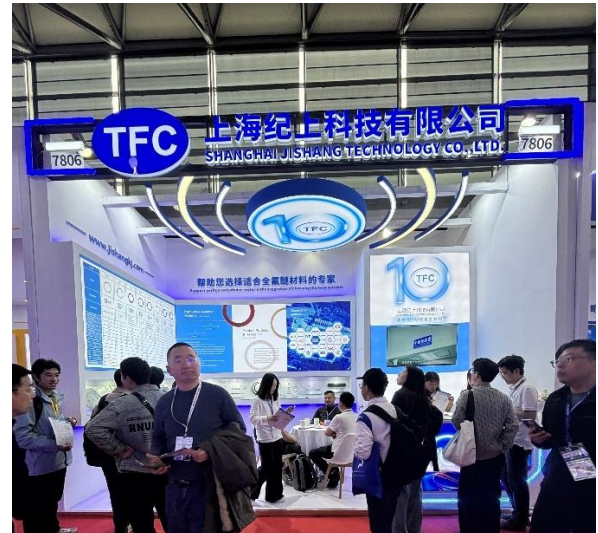
자료: 유안타증권 리서치센터

그림 29. 중국 EDA 기업 Primarius 부스 - SEMICON CHINA 2026



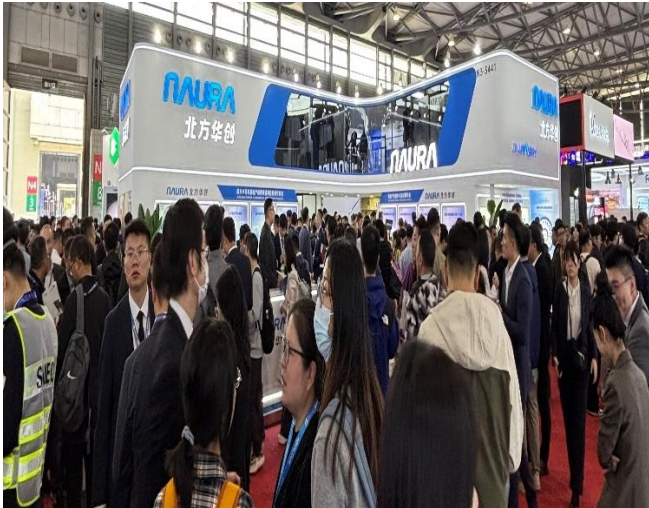
자료: 유안타증권 리서치센터

그림 30. 중국 CPO 모듈 기업 TFC 부스 - SEMICON CHINA 2026



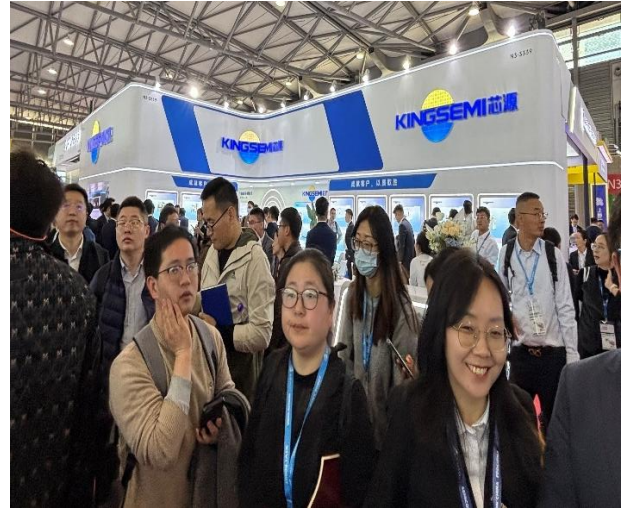
자료: 유안타증권 리서치센터

그림 31. 중국 장비사 Nuara Technology 부스 - SEMICON CHINA 2026



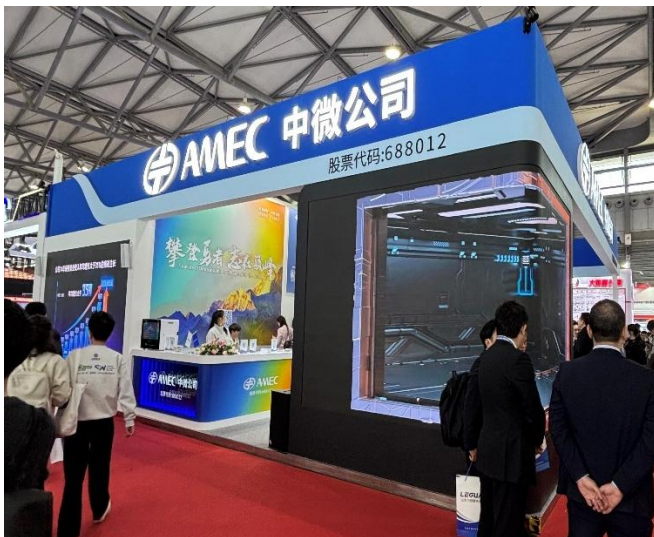
자료: 유안타증권 리서치센터

그림 32. 중국 장비사 Kingsemi 부스 - SEMICON CHINA 2026



자료: 유안타증권 리서치센터

그림 33. 중국 장비사 AMEC 부스 - SEMICON CHINA 2026



자료: 유안타증권 리서치센터

그림 34. 중국 장비사 Hwatsing 부스 - SEMICON CHINA 2026



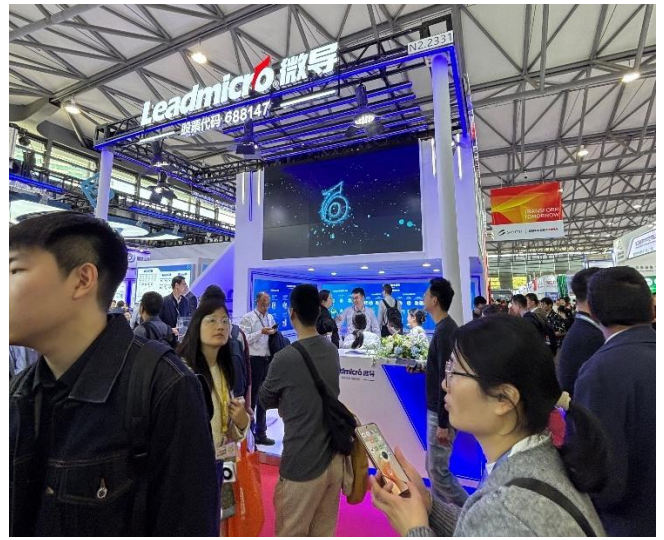
자료: 유안타증권 리서치센터

그림 35. 중국 장비사 ACM Research 부스 - SEMICON CHINA 2026



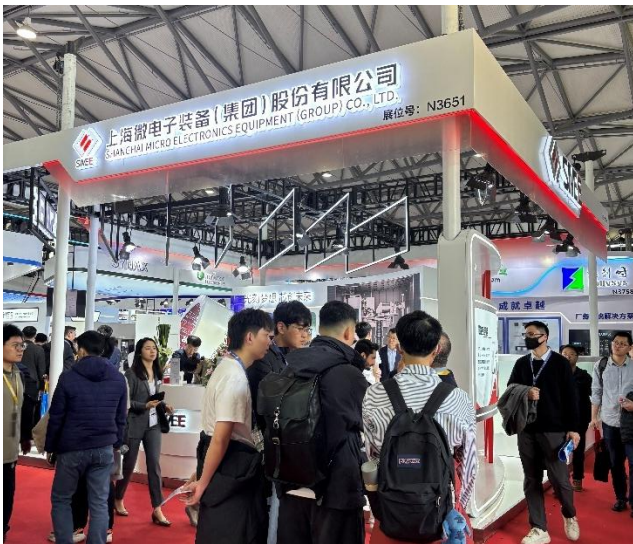
자료: 유안타증권 리서치센터

그림 36. 중국 장비사 Leadmicro 부스 - SEMICON CHINA 2026



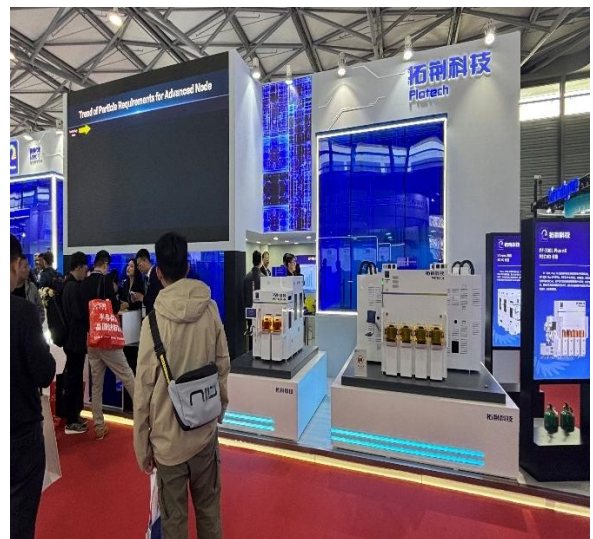
자료: 유안타증권 리서치센터

그림 37. 중국 장비사 SMEE 부스 - SEMICON CHINA 2026



자료: 유안타증권 리서치센터

그림 38. 중국 장비사 Piotech 부스 - SEMICON CHINA 2026



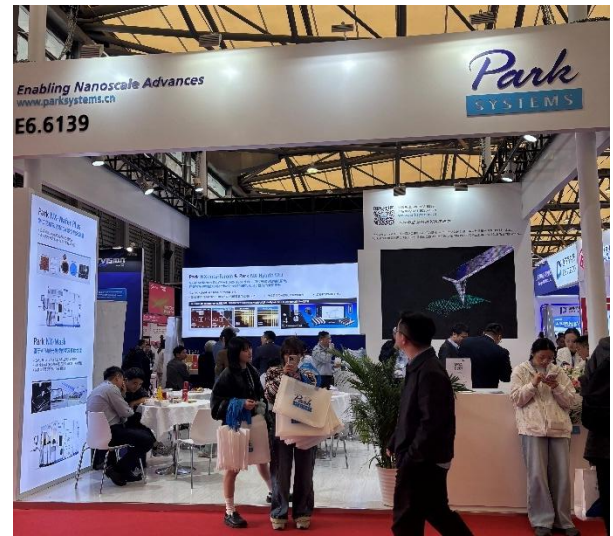
자료: 유안타증권 리서치센터

그림 39. 한국 장비사 넥스틴 부스 - SEMICON CHINA 2026



자료: 유안타증권 리서치센터

그림 40. 한국 장비사 파크시스템스 부스 - SEMICON CHINA 2026



자료: 유안타증권 리서치센터

그림 41. 한국 부품사 티에스이 부스 - SEMICON CHINA 2026



자료: 유안타증권 리서치센터

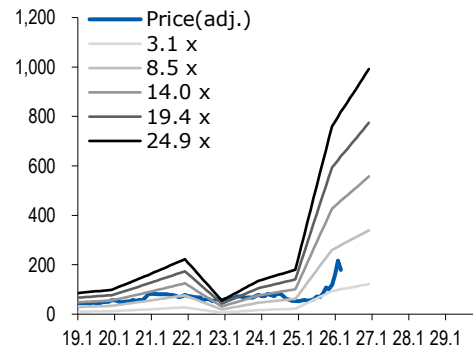
그림 42. 한국 부품사 미코세라믹스/미코 부스 - SEMICON CHINA 2026



자료: 유안타증권 리서치센터

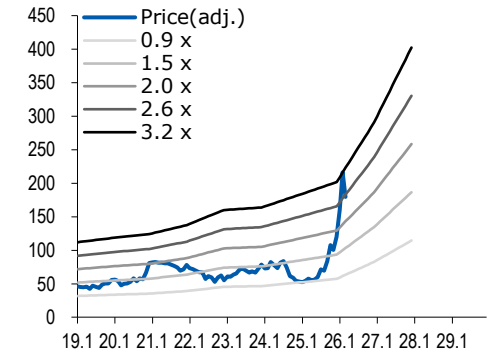
P/E band chart

(천원)

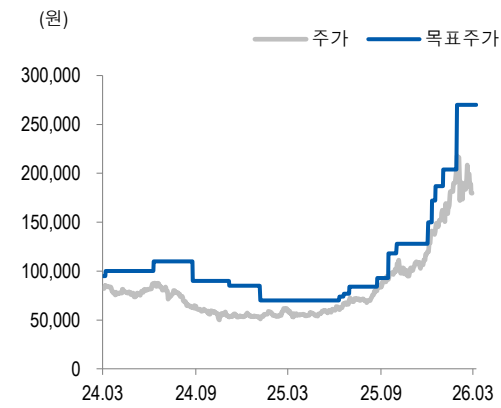


P/B band chart

(천원)



삼성전자 (005930) 투자등급 및 목표주가 추이



일자	투자 의견	목표가 (원)	목표가격 대상시점	과리율	
				평균주가 대비	최고(최저) 주가 대비
2026-03-30	BUY	270,000	1년		
2026-02-26	BUY	270,000	1년		
2026-01-30	BUY	204,000	1년	-13.68	-0.25
2026-01-15	BUY	187,000	1년	-18.07	-13.16
2026-01-08	BUY	172,000	1년	-19.23	-18.43
2025-12-31	BUY	150,000	1년	-8.92	-6.00
2025-10-30	BUY	128,000	1년	-18.07	-6.33
2025-10-14	BUY	118,000	1년	-16.63	-13.56
2025-09-22	BUY	93,000	1년	-6.42	1.51
2025-07-09	BUY	74,000	1년	-14.14	-9.86

자료: 유안타증권

주: 과리율 = (실제주가* - 목표주가) / 목표주가 X 100

* 1) 목표주가 제시 대상시점까지의 "평균주가"

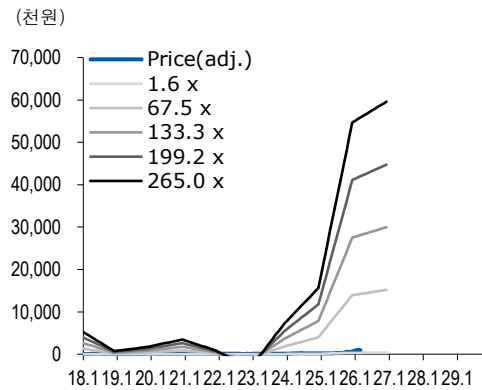
2) 목표주가 제시 대상시점까지의 "최고(또는 최저) 주가"

구분	투자의견 비율(%)
Strong Buy(매수)	0
Buy(매수)	94.8
Hold(중립)	5.2
Sell(비중축소)	0
합계	100.0

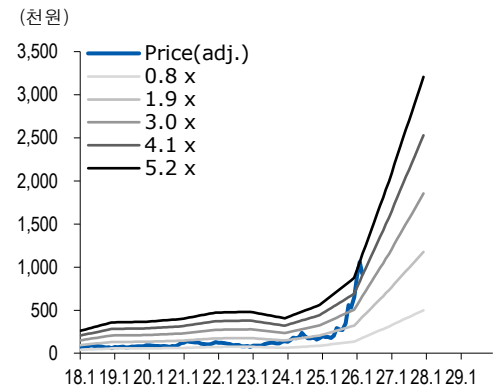
주: 기준일 2026-03-29

※ 해외 계열회사 등이 작성하거나 공표한 리포트는 투자등급 비율 산정시 제외

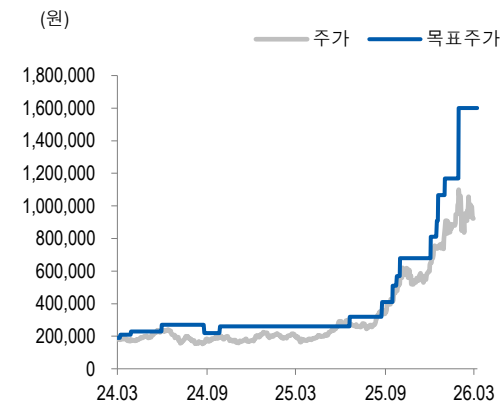
P/E band chart



P/B band chart



SK 하이닉스 (000660) 투자등급 및 목표주가 추이



일자	투자 의견	목표가 (원)	목표가격 대상시점	과리율	
				평균주가 대비	최고(최저) 주가 대비
2026-03-30	BUY	1,600,000	1년		
2026-02-26	BUY	1,600,000	1년		
2026-01-29	BUY	1,169,000	1년	-22.82	-12.92
2026-01-15	BUY	1,066,000	1년	-28.06	-21.11
2026-01-12	BUY	910,000	1년	-18.68	-18.46
2025-12-31	BUY	810,000	1년	-10.68	-6.67
2025-10-29	BUY	680,000	1년	-16.07	-4.26
2025-10-22	BUY	570,000	1년	-10.33	-6.14
2025-10-14	BUY	510,000	1년	-9.61	-4.80
2024-10-25	BUY	260,000	1년	-21.49	15.38

자료: 유안타증권

주: 과리율 = (실제주가* - 목표주가) / 목표주가 X 100

* 1) 목표주가 제시 대상시점까지의 "평균주가"

2) 목표주가 제시 대상시점까지의 "최고(또는 최저) 주가"

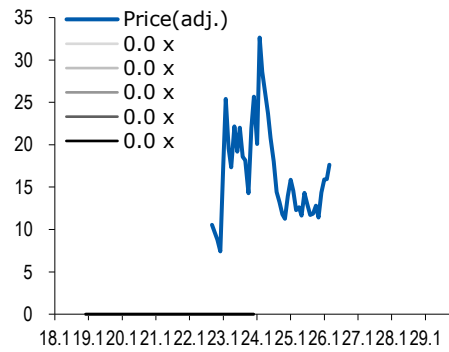
구분	투자 의견 비율(%)
Strong Buy(매수)	0
Buy(매수)	94.8
Hold(중립)	5.2
Sell(비중축소)	0
합계	100.0

주: 기준일 2026-03-29

※ 해외 계열회사 등이 작성하거나 공표한 리포트는 투자등급 비율 산정시 제외

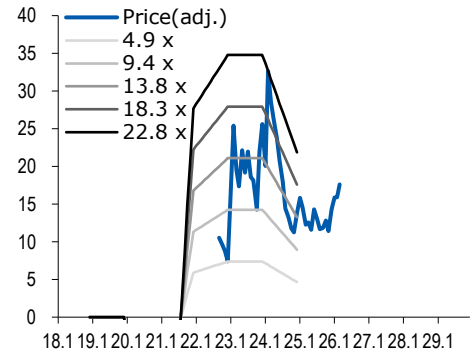
P/E band chart

(천원)

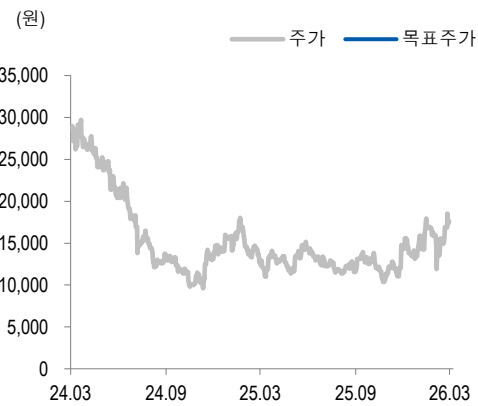


P/B band chart

(천원)



오픈엠티테크놀로지 (394280) 투자등급 및 목표주가 추이



일자	투자 의견	목표가 (원)	목표가격 대상시점	과리율 평균주가 최고(최저) 대비 주가 대비	
2026-03-30	Not Rated	-	1년		
2025-12-31	Not Rated	-	1년		

자료: 유안타증권

주: 과리율 = (실제주가* - 목표주가) / 목표주가 X 100

* 1) 목표주가 제시 대상시점까지의 "평균주가"

2) 목표주가 제시 대상시점까지의 "최고(또는 최저) 주가"

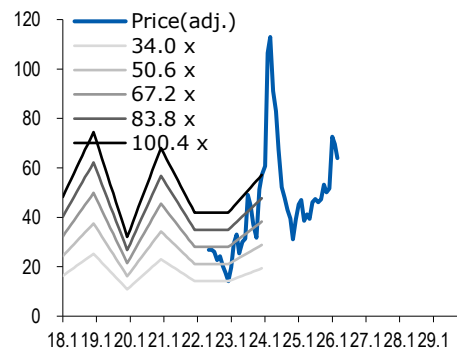
구분	투자의견 비율(%)
Strong Buy(매수)	0
Buy(매수)	94.8
Hold(중립)	5.2
Sell(비중축소)	0
합계	100.0

주: 기준일 2026-03-29

※ 해외 계열회사 등이 작성하거나 공표한 리포트는 투자등급 비율 산정시 제외

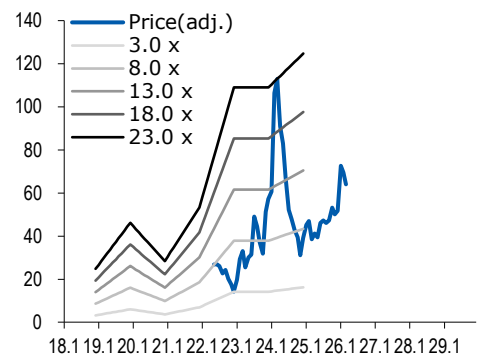
P/E band chart

(천원)

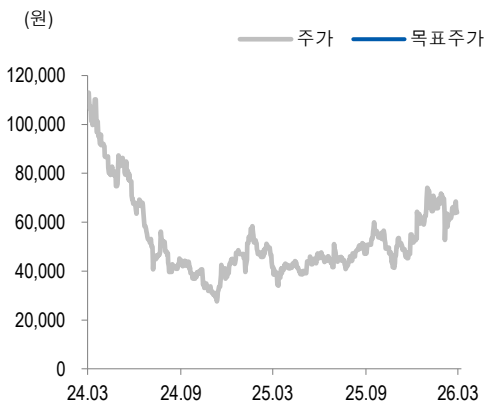


P/B band chart

(천원)



가온칩스 (399720) 투자등급 및 목표주가 추이



일자	투자 의견	목표가 (원)	목표가격 대상시점	과리율	
				평균주가 대비	최고(최저) 주가 대비
2026-03-30	Not Rated	-	1년		

자료: 유안타증권

주: 과리율 = (실제주가* - 목표주가) / 목표주가 X 100

* 1) 목표주가 제시 대상시점까지의 "평균주가"

2) 목표주가 제시 대상시점까지의 "최고(또는 최저) 주가"

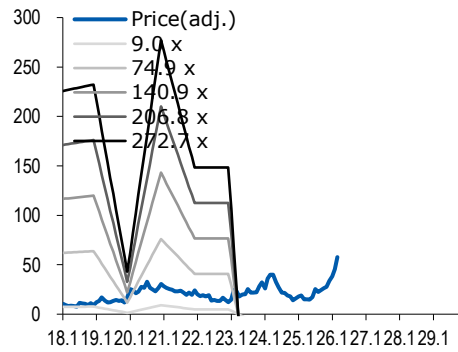
구분	투자의견 비율(%)
Strong Buy(매수)	0
Buy(매수)	94.8
Hold(중립)	5.2
Sell(비중축소)	0
합계	100.0

주: 기준일 2026-03-29

※ 해외 계열회사 등이 작성하거나 공표한 리포트는 투자등급 비율 산정시 제외

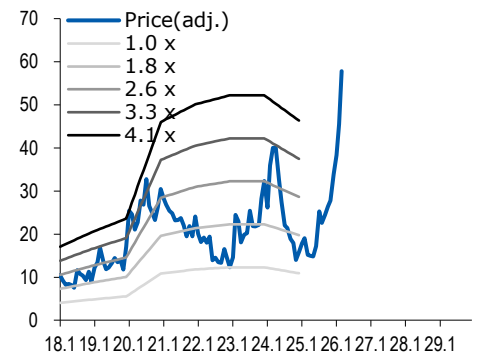
P/E band chart

(천원)



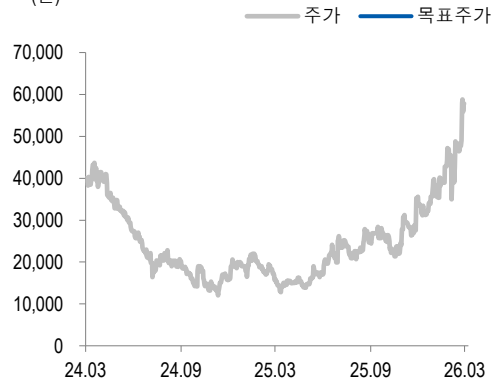
P/B band chart

(천원)



에이디테크놀로지 (200710) 투자등급 및 목표주가 추이

(원)



일자	투자 의견	목표가 (원)	목표가격 대상시점	과리율 평균주가 대비	최고(최저) 주가 대비
2026-03-30	Not Rated	-	1년		

자료: 유안타증권

주: 과리율 = (실제주가* - 목표주가) / 목표주가 X 100

* 1) 목표주가 제시 대상시점까지의 "평균주가"

2) 목표주가 제시 대상시점까지의 "최고(또는 최저) 주가"

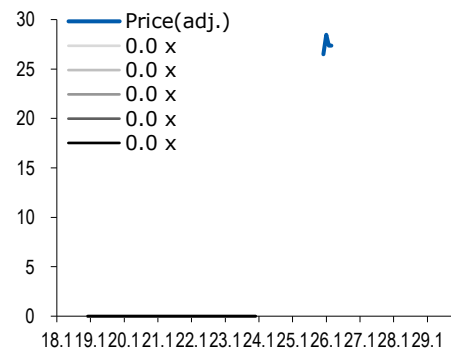
구분	투자여견 비율(%)
Strong Buy(매수)	0
Buy(매수)	94.8
Hold(중립)	5.2
Sell(비중축소)	0
합계	100.0

주: 기준일 2026-03-29

※ 해외 계열회사 등이 작성하거나 공표한 리포트는 투자등급 비율 산정시 제외

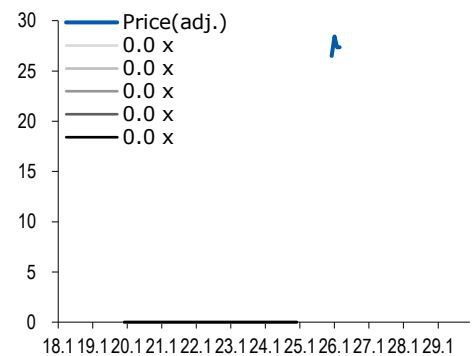
P/E band chart

(천원)

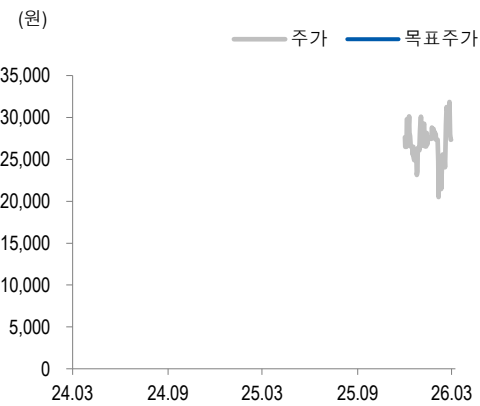


P/B band chart

(천원)



세미파이브 (490470) 투자등급 및 목표주가 추이



일자	투자 의견	목표가 (원)	목표가격 대상시점	과리율	
				평균주가 대비	최고(최저) 주가 대비
2026-03-30	Not Rated	-	1년		

자료: 유안타증권

주: 과리율 = (실제주가* - 목표주가) / 목표주가 X 100

* 1) 목표주가 제시 대상시점까지의 "평균주가"

2) 목표주가 제시 대상시점까지의 "최고(또는 최저) 주가"

구분	투자의견 비율(%)
Strong Buy(매수)	0
Buy(매수)	94.8
Hold(중립)	5.2
Sell(비중축소)	0
합계	100.0

주: 기준일 2026-03-29

※ 해외 계열회사 등이 작성하거나 공표한 리포트는 투자등급 비율 산정시 제외

- 이 자료에 게재된 내용들은 본인의 의견을 정확하게 반영하고 있으며 타인의 부당한 압력이나 간섭 없이 작성되었음을 확인함. (작성자: 백길현)
- 당사는 자료공표일 현재 동 종목 발행주식을 1%이상 보유하고 있지 않습니다.
- 당사는 자료공표일 현재 해당 기업과 관련하여 특별한 이해관계가 없습니다.
- 당사는 동 자료를 전문투자자 및 제 3자에게 사전 제공한 사실이 없습니다.
- 동 자료의 금융투자분석사와 배우자는 자료공표일 현재 대상법인의 주식관련 금융투자상품 및 권리를 보유하고 있지 않습니다.
- 종목 투자등급 (Guide Line): 투자기간 12개월, 절대수익률 기준 투자등급 4단계(Strong Buy, Buy, Hold, Sell)로 구분한다
- Strong Buy: 30%이상 Buy: 10%이상, Hold: -10~10%, Sell: -10%이하로 구분
- 업종 투자등급 Guide Line: 투자기간 12개월, 시가총액 대비 업종 비중 기준의 투자등급 3단계(Overweight, Neutral, Underweight)로 구분
- 2014년 2월21일부터 당사 투자등급이 기존 3단계 + 2단계에서 4단계로 변경

본 자료는 투자자의 투자를 권유할 목적으로 작성된 것이 아니라, 투자자의 투자판단에 참고가 되는 정보제공을 목적으로 작성된 참고 자료입니다. 본 자료는 금융투자분석사가 신뢰할만 하다고 판단되는 자료와 정보에 의거하여 만들어진 것이지만, 당사와 금융투자분석사가 그 정확성이나 완전성을 보장할 수는 없습니다. 따라서, 본 자료를 참고한 투자자의 투자의사결정은 전적으로 투자자 자신의 판단과 책임하에 이루어져야 하며, 당사는 본 자료의 내용에 의거하여 행해진 일체의 투자행위 결과에 대하여 어떠한 책임도 지지 않습니다. 또한, 본 자료는 당사 투자자에게만 제공되는 자료로 당사의 동의 없이 본 자료를 무단으로 복제 전송 인용 배포하는 행위는 법으로 금지되어 있습니다.

Head of Research Center **최현재**
 3770-2553 / hyunjae.choi@yuantakorea.com

부센터장 2차전자/신에너지 **이안나**
 3770-5599 / anna.lee@yuantakorea.com

투자전략

팀장 Strategist	김용구	3770-3521	yg.kim@yuantakorea.com		
Fixed Income Strategist	이재형	5579	jaehyung.lee@yuantakorea.com	Quant Analyst	신현용 3634 hyunyong.shin@yuantakorea.com
Passive/ ETF Analyst	고경범	3625	gyeongbeom.ko@yuantakorea.com	Market Analyst	이재원 5719 jaewon2.lee@yuantakorea.com
Credit Analyst	이현수	5718	hyunsoo.yi@yuantakorea.com	Research Assistant	임지운 3527 jiyoon.lim@yuantakorea.com
Global Strategist	민병규	3635	byungkyu.min@yuantakorea.com	Research Assistant	김혜원 3526 hyewon.kim@yuantakorea.com
Economist/ESG	김호정	3630	hojung.kim@yuantakorea.com	Research Assistant	김세빈 3646 sebin2.kim@yuantakorea.com

기업분석

팀장 2차전자/신에너지	이안나	3770-5599	anna.lee@yuantakorea.com		
인터넷/SW	이창영	5596	changyoung.lee@yuantakorea.com	Research Assistant	김고은 3649 koeun2.kim@yuantakorea.com
정유/화학	황규원	5607	kyuwon.hwang@yuantakorea.com	Research Assistant	배종성 3643 jongsung.bae@yuantakorea.com
스몰캡	권명준	5587	myoungchun.kwon@yuantakorea.com	Research Assistant	신승우 5594 sungwoo.shin@yuantakorea.com
화장품/의료기기/유통	이승은	5588	seungeun.lee@yuantakorea.com		
제약/바이오	하현수	2688	hyunsoo.ha@yuantakorea.com		
통신/지주	이승웅	5597	seungwoong.lee@yuantakorea.com		
조선/자동차	김용민	5606	yongmin.kim@yuantakorea.com		
미디어/엔터/디지털자산	이환욱	5590	hwanwook.lee@yuantakorea.com		
US Market Analyst	황병준	3523	byeongjun.hwang@yuantakorea.com		
전력기기/음식료	손현정	5595	hyunjeong.son@yuantakorea.com		
반도체	백길현	5635	gilhyun.baik@yuantakorea.com		
금융	우도형	5589	dohyeong.woo@yuantakorea.com		
전기전자	고선영	3525	sunyoung.kou@yuantakorea.com		
방산/AI/로보틱스	백종민	5598	jongmin.baik@yuantakorea.com		
운송	최지운	3640	jiyun.choi@yuantakorea.com		
Research Assistant	김도엽	5580	doyub.kim@yuantakorea.com		
Research Assistant	서석준	5585	seokjun.seo@yuantakorea.com		
Research Assistant	한동우	3647	dongwoo.han@yuantakorea.com		
Research Assistant	임석민	3648	seokmin.lim@yuantakorea.com		

Semicon China 2026

중국의 공급 병목과
한국 반도체 시스템 플랫폼의 부상