

반도체

AI 아키텍처 전환과 중국

백길현, USCPA 반도체
02 3770 5635
gilhyun.baik@yuantakorea.com

김도엽 Research Assistant
02 3770 5580
doyub.kim@yuantakorea.com





CONTENTS

Part 1. Computing 방식의 진화

AI 추론 시장과 ASIC 시장 재부각	09
Customized AI Chipset의 중장기 성장 방향	12
AI HPC 시대의 전용 칩 생태계	13
AI가 바뀌나갈 스마트폰 설계 철학	34
연산 주권 vs. 전장 플랫폼의 유연성	43

Part 2. Computing 회로의 아키텍처 전환

DeepSeek, AI의 6th Sense	60
연산 효율을 설계하는 메모리-인터커넥트-시스템 통합	62
메모리반도체의 파운드리화 & 메모리 중심 아키텍처 부각	70
Advanced PKG, 기술 진화의 전략 거점	80
Interconnect, 칩을 잇는 신경망	90

Part 3. 중국 반도체 산업, 그리고 한국

중국 반도체 '생태계 확장' 과정	95
중국 반도체 '생존 경쟁 가속화' 전망	98
2026년 중국 메모리반도체 Capex 확대 전망	102
EUV 없는 중국 반도체의 향후 방향에 대한 고민	106
2H25~2026년 글로벌 메모리반도체 Capex 전망	108
메모리반도체 가격 전망 및 투자 전략	109

Part 4. 기업보고서

SUMMARY

Part 1. Computing 방식의 진화

AI 전용 칩에 대한 관심이 빠르게 확대되고 있음에도 불구하고, **상용화 단계에서는 시장 성숙도가 낮은 편이다. 그럼에도 불구하고, Customized Chipset에 대한 높은 수요는 중장기적으로 지속될 가능성**이 높을 것으로 전망한다. 이는 기업들이 외부 칩셋 공급자에 전적으로 의존하지 않고, 자사의 모델과 서비스에 최적화된 연산 구조를 확보하려는 **‘연산 주권(Compute Ownership)’ 확보 의지**가 지속될 것으로 예상하기 때문이다. HPC, Mobile, Edge/IoT 등 다양한 연산 계층에 따라 구조와 성능 요건이 크게 달라지고 있다. HPC 시장 내에서는, **AWS Tranium/Inferentia(AMZN US) 및 Google TPU(GOOL US) 차세대 칩에 대한 성장 가시성이 가장 높을 것으로** 예상하며, 외부 설계 자산을 활용하려는 Enterprise 수요에 따라 **Broadcom(AVGO US)** 성장성은 유효하다는 판단이다. Mobile은 이제 단순한 통신 기기가 아니라, 실시간 생성형 연산의 허브로 진화하고 있다. 이에 따라 SoC 업체들은 단순한 연산 성능 경쟁을 넘어, AI 기능을 어떤 방식으로 기기 내에 통합하고, 어떤 사용자 경험을 제공할 것인가에 대한 ‘철학’과 전략을 내세우고 있다. **Android 스마트폰 테스트베드, Google Tensor의 방향성을 주목한다.** 전장 AI 칩 시장의 헤게모니는 누가 AI 연산을 설계하고 통제할 것인가를 둘러싼 경쟁이다. 자체 개발과 커스터마이징, 기능 분업 구조 사이에서 각 기업은 기술적 선택과 전략적 속도에 따라 서로 다른 생존 모델을 구축해 나갈 것으로 예상된다. **칩셋과 개발 툴을 함께 제공하면서도 알고리즘은 고객사가 개발하도록 하는 ‘개방형 연산 인프라’ 전략**을 추구하는 **NVIDIA Auto(NVDA US)** 부문의 성장을 기대한다.

Part 2. Computing 회로의 아키텍처 전환

2025년 1월, DeepSeek R1의 공개는 단순한 모델 성능의 진화를 넘어, AI 학습 구조 전반에 대한 재검토와 기술 전략의 대전환을 촉발시켰다. 특히 DeepSeek는 AI가 스스로 사고의 경로를 설계하고 피드백을 통해 추론 구조를 재구성할 수 있다는 ‘자기학습(Self-Learning)’ 아키텍처의 실현 가능성을 입증하며, 업계에서 **‘AI의 6번째 감각(Sixth Sense)’**이라 불리는 직관(Intuition) 개념을 기술적으로 구체화했다. ‘추론기와 학습기의 통합’, ‘온디바이스’, ‘파인튜닝’, ‘다층 메모리 구조’, ‘이질적 연산 자원의 통합’ 등 하드웨어적 뒷받침 없이는 구현이 어려울 것이며, 향후 AI 칩셋 설계, 메모리 계층 구조, 그리고 시스템 아키텍처 전반에 걸쳐 새로운 전략 좌표로 작용할 것이다. AI 반도체의 성능은 이제 단순한 연산 유닛의 처리속도(TOPS)로는 설명되지 않는다. 초거대 모델의 학습과 추론 과정에서 발생하는 진정한 병목은 연산기 내부가 아니라, 데이터가 이동하는 경로, 즉 **연산-메모리-I/O 간 연결 구조에서 발생**한다. 이에 따라 AI 칩의 기술 경쟁력은 ‘계산을 잘하는 칩’이 아니라 **‘데이터를 잘 흐르게 만드는 시스템’**에서 갈리고 있다. 이러한 변화 속에서 AI 반도체의 회로 구조는 세 가지 핵심 축을 중심으로 진화하고 있다: ①메모리반도체의 파운드리화 & 메모리 중심 아키텍처(SRAM 등) 부각, ②Advanced PKG(PLP, SolC, Hybrid Bonding 등), 기술 진화의 전략 거점, ③Interconnect, 클라우드 사업자의 공유 인터넥트 전략과 칩 벤더(Nvidia Fusion Link, Google TPU Pod 등)의 한계 극복 방안을 살펴본다.

SUMMARY

Part 3. 중국 반도체 산업, 그리고 한국

2024년 5월, 중국 정부는 IC Big Fund 3기(총 자본금 3,440억 위안)를 공식 출범시켰다. 단순히 생태계를 확장하는 데 그쳤던 1기와 2기와는 달리, **선별적 투자와 기술 중심 자립화**를 명확한 기조로 내세우고 있다. 핵심은 결국 **기술 병목 구간에 대한 국산화 투자**다. EDA 툴, 반도체 설계 IP, HBM, 반도체 장비 국산화, RISC-V 기반 칩 개발 등이 우선 투자 영역으로 지목된다. 중국의 **장비/소재 국산화 목표률은 각각 65%, 85%**로 파악된다. NAURA, AMEC 등 선두 장비 기업들은 이미 각각 Deposition, Etch 등 주요 공정 장비에서 14nm 이하 공정 대응력을 확보하고 있으며, 일부 장비는 5nm 대응 가능성까지 열어두고 있다. 여기에 더해 이들 기업은 매출 규모뿐 아니라 수익성 면에서도 미국 주요 장비 기업들과의 격차를 빠르게 좁혀왔으며, 이를 바탕으로 **자체 R&D 투자를 공격적으로 확대할 것으로 예상된다**.

2025년 하반기 지나면서 **중국 메모리 반도체 산업은 또 한 번의 설비 투자 확대 사이클에 진입할 것으로 전망한다**. CXMT의 IPO 가능성이 제기되는 점도 고려해야 한다는 판단이다. 이러한 설비 재개 흐름은 단순한 생산라인 증설을 넘어, **‘초기 Fab 설계 단계에서부터 국산화 가능성’과 ‘투자 효율성까지 고려한 전략적 전환’**이라는 점에서 주목한다. 일부 글로벌 장비사들조차 중국 현지 저가 부품업체와 협력하여 Low-end 영역부터 부품 내재화를 시도하고 있는 것으로 파악된다. 미국 정부의 수출 규제에 따라 중국은 추가적인 EUV 노광장비를 확보하지 못한다. 이는 첨단 반도체 공정으로의 진입에서 가장 결정적인 제약 요인으로, **5년 이상의 장기 시계열로 봤을 때 중국 반도체 산업의 진화 경로를 좌우할 구조적 변수로 작용할 가능성**이 크다. 중국은 중단기적으로는 **Multi-Patterning 스텝 증가와 소재 공정 정밀화, 검사/계측 장비 수요 확대** 등을 통해 기술 공백을 메우려는 시도를 이어갈 것으로 전망한다. [표 44. 국내 관련 소부장] 한편 중국 반도체 장비 기업 Shenzhen SiCarrier(비상장)는 Semicon China 2025에서 ‘EUV 없이도 DUV 기반으로 선단공정 대응이 가능하다’는 새로운 장비 라인업을 공개했다. 아직 해당 장비의 기술적 완성도나 실효성은 검증되지 않았지만, 이는 중국 내에서 EUV 부재를 전제로 한 ‘대체 노광 생태계’ 구축 시도가 필수적이라는 인식이 부각되고 있음을 보여주는 사례이다.

중장기적 관점에서 **한국 반도체 산업은 선단공정 경쟁력을 바탕으로 글로벌 공급망 내 핵심 지위를 유지할 것으로 전망한다**. **‘AI 서비스 및 Physical AI’를 포함한 시장 성장 → AI 아키텍처 전환**에 따라 구조적 수혜가 지속될 것으로 기대하기 때문이다. 2025년 연초부터 트럼프 정부 재집권 가능성과 관련한 관세 정책 리스크는 여전히 변수로 남아 있다. 다만 세트 수요 둔화에 대한 우려는 연초 대비 시장에서의 반영 강도가 약화되고 있으며, 이는 업종センチ먼트에 완만한 개선 압력으로 작용할 것으로 기대한다. 메모리 반도체 업종에 대한 비중 확대 의견을 유지하며, **Top Pick으로는 SK하이닉스를 유지한다**. 고부가 제품 중심의 시장 수요 변화에 가장 전략적으로 대응하고 있는 역량이 차별화 요인이라는 점을 지속 주목한다.



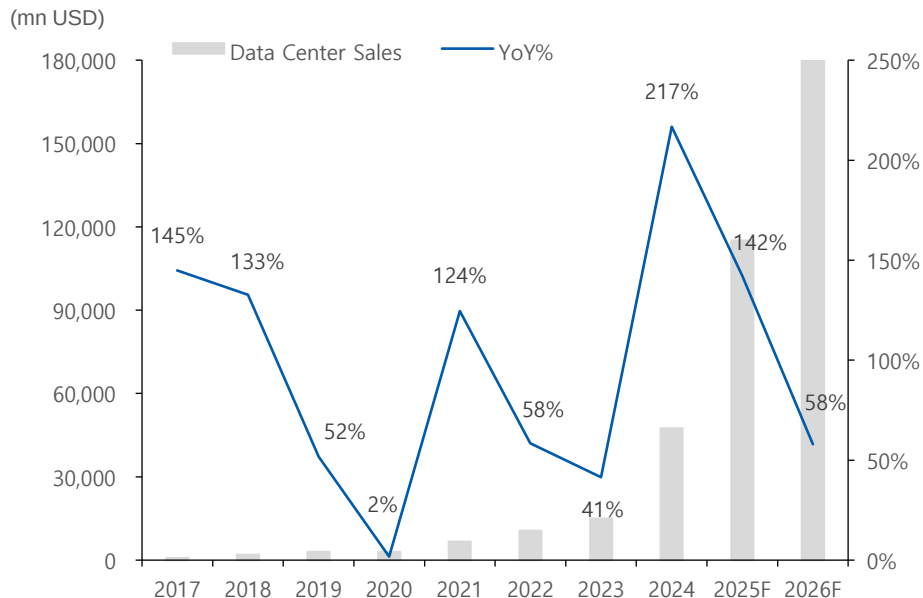
PART 1

Computing 방식의 변화

ChatGPT와 병렬 연산기반의 GPU 시장 개화 본격화

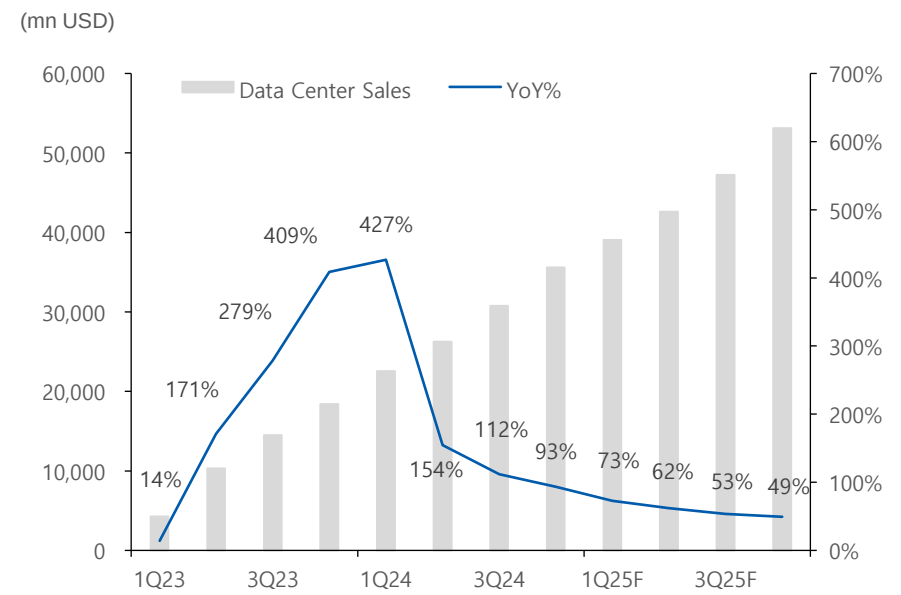
- ChatGPT가 공개된 2022년 말부터 2023년 상반기까지, 생성형AI는 전 세계적으로 폭발적인 관심을 끌며 산업 전반의 컴퓨팅 구조에 지대한 영향을 미쳤다. AI Computing은 원래 전통적인 CPU 기반 구조에서 시작됐지만, 딥러닝 모델의 연산량이 기하급수적으로 증가함에 따라 병렬 연산이 가능한 GPU 중심 구조로 급속히 이동했다. 특히 생성형AI 모델의 학습과 추론에는 ‘대규모 데이터 처리’와 ‘벡터 연산’이 필수적이기 때문에, NVIDIA GPU를 활용한 중앙 집중형 병렬 처리가 사실상 업계의 표준으로 자리잡게 되었다.
- OpenAI는 GPT-3 및 GPT-4의 학습에 약 2만~3만 개 수준의 A100 GPU를 사용한 것으로 파악되며, 이는 ‘전력 소모’와 ‘비용’ 면에서 극도로 ‘자원 집약적 방식’이었다. 실제로 마이크로소프트는 OpenAI의 연산 인프라를 지원하기 위해 2023년 한 해에만 약100억 달러 규모의 AI 인프라 투자를 단행했고, 같은 시기 NVIDIA의 데이터센터 사업부문의 매출액은 분기 기준으로 전년 대비 2~3배 수준의 성장을 기록하며 단기간 내 시장의 핵심 공급자로 부상했다.

차트 01. NVIDIA 데이터센터부문 연간 실적 추이



자료: Bloomberg, 유안타증권 리서치센터, 주: CY 기준으로 적용

차트 02. NVIDIA 데이터센터부문 분기 매출액 추이 및 전망



자료: Bloomberg, 유안타증권 리서치센터, 주: CY 기준으로 적용

Hopper & Blackwell, 공격적인 GPU 신제품 출시

- 이러한 급증하는 수요에 대응하기 위해 NVIDIA는 기존 A100 대비 연산 성능과 메모리 대역폭을 대폭 향상시킨 H100을 출시했다. 동시에 중국 시장에 대한 미국 정부의 수출 규제 강화에 대응해 A800/H800 등 지역 특화형 제품군도 함께 운영하며 시장을 대응했다. 데이터센터용 범용 GPU인 L40과 L40S도 규제 대상에 해당하지 않는 사양 범위 내에서 중국 고객 수요를 빠르게 흡수하기 시작했다. L40/L40S는 AI 추론, 비주얼 컴퓨팅, 클라우드 그래픽 등 다양한 워크로드를 처리하기 위한 제품이었으나, 고성능 AI 칩의 대체 수요가 급증한 중국 시장에서 예상보다 빠르게 공급이 확대되었다.
- GPT-4 이후 등장한 초거대 언어모델(LLM, Large Language Model)은 파라미터 수의 급증, 학습 데이터 규모의 확대, 동시 추론 요청의 증가 등으로 인해 기존 A100 기반의 **처리 속도와 메모리 대역폭으로는 한계가 뚜렷해졌다**. 이에 따라 고성능 H 시리즈 수요가 자연스럽게 형성되었으며, NVIDIA는 Blackwell 아키텍처 기반의 B100/GB200, 그리고 CPU-GPU 통합 설계를 기반으로 한 Grace Hopper 슈퍼칩을 순차적으로 공개하며, AI 연산에 특화된 차세대 컴퓨팅 인프라를 지속적으로 고도화하고 있다.

표 01. NVIDIA AI 데이터센터용 GPU 로드맵

	2021	2022	2023	2024		2025	2026	2027	2028
Architecture	Ampere	Hopper	Hopper	Hopper	Blackwell Ultra	Blackwell Ultra	Rubin	Rubin Ultra	Feynman
Product name	A100	H100	H100	H200	B100, B200	B300	R100	R200	미공개
CPU	X	Grace	Grace	Grace	Grace	Grace	Vera	Vera	미공개
HBM	HBM2E	HBM3	HBM3	HBM3	HBM3E 8H	HBM3E 12H	HBM4	HBM4	미공개
특징	1세대 데이터센터용 GPU	Grace CPU도입 시작, A100 대비 학습 속도 9배, 추론 속도 30배 이상 향상		H100 대비 출력 속도 2배 향상		메모리 용량 증가	Blackwell 성능 대비 3.3배 향상	Blackwell 성능 대비 14배 향상	-

자료: NVIDIA, 유안타증권 리서치센터

AI 추론 시장과 ASIC 시장 재부각 -1

- 고성능 GPU 기반의 병렬 처리 구조는 초거대 언어모델의 학습 단계에서는 여전히 최적화된 방식이지만, 모델이 실제 서비스에 적용되는 추론(Inference) 단계에서는 뚜렷한 비효율이 존재한다. 실시간 응답성을 요하는 AI 애플리케이션은 연산 속도뿐만 아니라 에너지 효율, 대기 시간(Latency), 하드웨어 크기, 비용 부담 등 다양한 요소를 동시에 고려해야 하기 때문이다.
- 특히 스마트폰, 자율주행차, 로봇, 산업용 장비 등 현장 단말(Local device, Edge device)에 AI 기능을 탑재하려는 수요가 늘어나면서, 데이터센터 중심의 대형 GPU 구조로는 감당할 수 없는 기술적 한계 노출되었다. 이에 따라 2024년 하반기부터 구글, 애플, 테슬라, 메타 등 주요 Tech 대형 기업은, GPU를 대체하거나 보완할 수 있는 Customized AI Chipset(ASIC, Application Specific Integrated Circuit) 개발에 본격적으로 착수했다.
- 특정 연산 목적에 특화된 전용화 방향이 산업의 새로운 축으로 부상하고 있다. 이 같은 전용화 흐름은 고성능 연산뿐만 아니라 저전력/저지연 엣지 연산이라는 또 다른 기술 축을 동반하고 있으며, AI 칩셋 시장은 '범용'에서 '용도별'로 구조적 전환이 일어나고 있는 초입 국면이다.

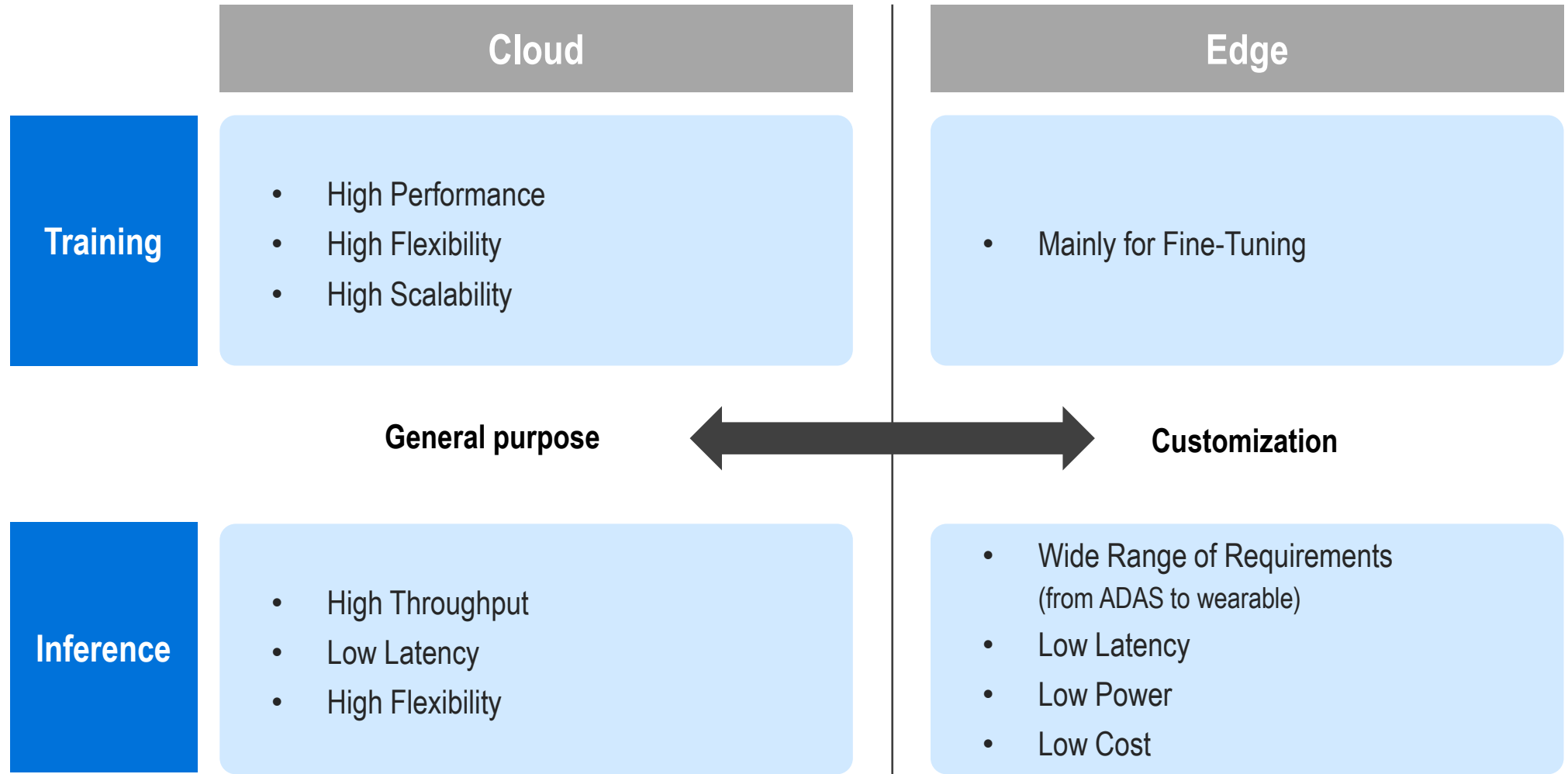
표 02. GPU(General Purpose Unit)와 ASIC(Application Specific IC)의 주요 특징 비교

구분	GPU	ASIC
주요 용도	범용AI 연산, 딥러닝 훈련	특정AI 작업 최적화
연산 방식	딥러닝 훈련/추론, 그래픽 렌더링, HPC 등 다양한 범용 연산	특정 AI 모델 추론, 암호화, 네트워크 처리 등 단일 목적 최적화
유연성	높음, 다양한 연산 모델 지원 가능, 소프트웨어/프레임워크 친화적	낮음, 설계 이후 수정 어려움, 고정된 기능 수행
개발 시간	짧음, 범용 제품 사용 가능, 소프트웨어 개발로 대응 가능	상대적으로 길음. RTL 설계, P&R, Tape-out까지 수개월~1년 이상 소요
전력 소비	고전력 (데이터센터 필요)	저전력 (AI 데이터센터, IoT)
비용 구조	초기 진입 비용 낮음, 대량 출하 시 가격 경쟁력 보통	초기 NRE 비용 매우 큼, 대량 양산 시 단가 매우 저렴
업데이트 유연성	높음 - 드라이버 및 프레임워크 버전으로 업데이트 가능	낮음 - 아키텍처 자체 변경 필요, 일반적으로 소프트웨어 업데이트 어려움

자료: 업계 자료, 유안타증권 리서치센터

AI 추론 시장과 ASIC 시장 재부각 -2

그림 01. 도메인별 AI Computing 하드웨어 요구조건



ASIC 기술 성숙도에 대한 논란

- 한편 AI 전용 칩에 대한 관심이 빠르게 확대되고 있음에도 불구하고, 상용화 단계에서는 시장 성숙도가 낮은 편이다. 2024년 하반기, 다수의 기업들이 자체 설계한 ASIC 칩 개발에 착수했지만, 이 중 상당수는 제조 비용, 소프트웨어 생태계 부족, 모델 변경 주기의 불확실성 등으로 인해 양산 단계로 이어지지 못하거나 일정을 재조정하는 것으로 파악된다.
- 실제 일부 미국/중국 클라우드 기업을 포함한 글로벌 스타트업들의 ASIC 설계 수주가 취소되거나 지연된 사례가 파악되고 있다. ①설계 복잡성과 더불어 투자 대비 수익성에 대한 우려가 여전히 상존하고 있음을 반증한다는 판단이다. 또한, ②설계 이후 변경이 어려운 구조적 특성상, AI 모델 구조가 빠르게 진화하는 환경에서 장기적인 유연성 확보가 어렵다는 점도 기업들이 보수적으로 접근하게 만드는 요인 중 하나로 작용하기 때문일 것으로 추정한다.
- 그럼에도 불구하고, Customized Chipset에 대한 높은 수요는 중장기적으로 지속될 가능성이 높다. 이는 기업들이 외부 칩셋 공급자에 전적으로 의존하지 않고, 자사의 모델과 서비스에 최적화된 연산 구조를 확보하려는 ‘연산 주권(Compute Ownership)’ 확보 의지가 지속될 것으로 예상하기 때문이다. 전용 칩 설계는 단순한 기술 진화의 결과라기보다, 각 기업의 서비스 방향성과 비즈니스 모델에 따라 달라지는 전략적 선택으로 해석해야 한다는 판단이다.

표 03. 글로벌 주요 Tech 기업들의 ASIC 설계 수주 취소 및 지연 사례

구분	내용
Tesla - Broadcom 취소	Tesla는 Dojo 슈퍼컴퓨터 프로젝트를 강화하면서 Broadcom과의 외주 ASIC 설계 계획을 최소화, 자체 개발 쪽으로 방향 전환한 것으로 알려짐 (Tesla IR 자료, Semianalysis 분석)
Microsoft - Broadcom 지연	Maia 100 프로젝트 수율, 생산 최적화 이슈로 인해 출시 일정이 지연되었다는 보도 (2024년 초 Bloomberg, CNBC 보도 등)
Amazon - Annapurna 지연	AWS가 자체 칩 개발(Trainium, Inferentia) 계획을 리디자인 및 최적화하면서 일부 개발 일정이 밀렸다는 내용 (The Information, Business Insider 등)
Nvidia - Blackwell AI 랙 지연 및 취소	2025년 1월 과열 문제로 엔비디아 주요 고객사들이 Blackwell 주문 연기. MS와 아마존닷컴의 클라우드 부문, 구글, 메타플랫폼즈 블랙웰 GB200 랙의 일부 주문을 줄임. 이는 출고 초기 발견된 과열, 결함으로 인함 (Yahoo Finance 등)
Intel - Alchip 등 수주 감소 우려	2024년 10월 인텔은 AI 가속기 시장 공략을 위한 ‘가우디3’ 출하량을 목표치를 기존 30~35만개에서 20만~25만개로 수정했다고 대만 언론을 통해 보도. 중국에 대한 미국 정부 AI 반도체 수출 규제 강화로 가우디3 생산에 참여하는 알칩 등 공급망 파트너 대한 주문 감소 우려로 출하량 목표 축소 (Trendforce 등)

자료: 언론 종합, 유안타증권 리서치센터

Customized AI Chipset의 중장기 성장 방향

- 맞춤형 AI 칩셋 시장은 단일한 기술 트렌드로 수렴되지 않는다. 기업마다 확보하고자 하는 연산 자원의 성격과 목적이 다르기 때문에, ‘연산 주권’이라는 공통된 방향성 아래에서도 칩 설계 전략은 각기 다른 형태로 분화되고 있다. 이는 단순히 특정 기술의 우열을 가리는 문제가 아니라, 데이터 구조, 응용처 특성, 서비스 전략에 따라 전용화가 다르게 나타나는 흐름에 가깝다.
- 서버, 디바이스, Edge/IoT 등 다양한 연산 계층에 따라 구조와 성능 요건이 크게 달라지고 있으며, 전용화의 방향 또한 다층적으로 확장되고 있다. 초고성능 모델 학습에는 데이터센터급 AI 가속기가, 실시간 디바이스 환경에서는 모바일 NPU가, 산업 현장에서는 소형/저전력 추론 칩이 요구되고 있으며, 이는 AI 연산 생태계가 하나의 스펙트럼 위에서 역할과 기술을 분화해가는 흐름으로 해석할 수 있다.
- 따라서 앞으로의 ASIC 전용화 흐름은 단순한 범용 칩 대체의 관점이 아니라, 기업별 전략과 연산 구조, 그리고 각자의 서비스 모델에 따라 다양하게 파생되는 고도화된 대응 전략일 것으로 예상된다.

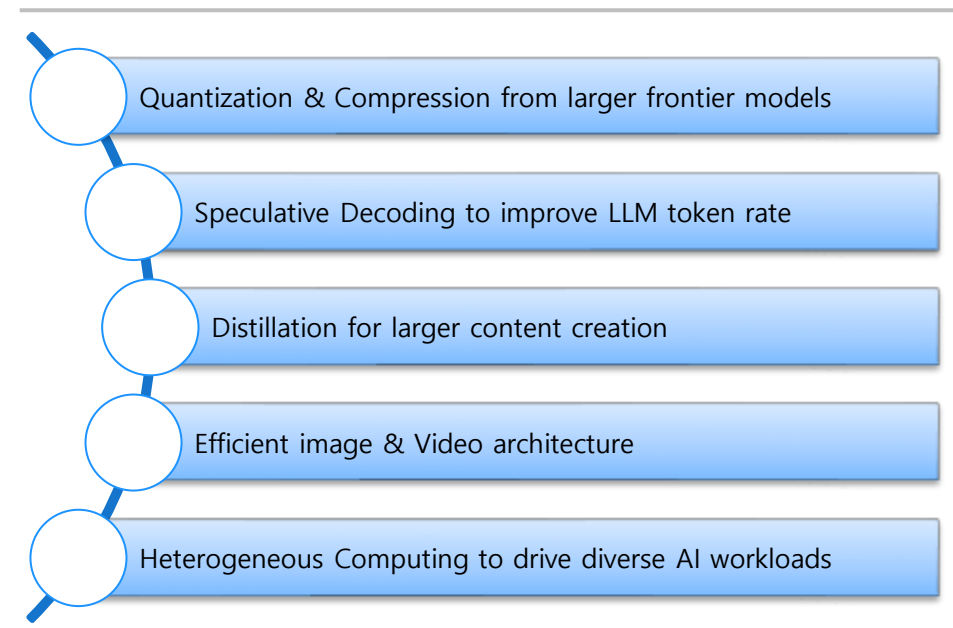
표 04. Customized AI Chipset의 연산 계층별 주요 특징 및 사례

계층	주요 특징	KPI 요구사항/ VDD Range	대표 사례
서버 레벨	초고성능, 대규모 모델 학습/추론	최대 동작 속도, 최대 소비 전력 및 발열 / >0.9V	Google TPU, AWS Trainium & Inferenti 등
디바이스 레벨	온디바이스 추론, 개인정보 보호, 반응성	최대 전력 효율/ 0.5V~1.0V	Apple Neural Engine, Google Tensor 등
엣지/IoT 레벨	극저전력, 실시간 응답, 소형화	단위 속도당 소비 전력, 칩 면적 포함 원가 절감 / <0.6V	Hallo, BrainChip, Intel Movidius, Jetson Orin

자료: 업계 자료, 유안타증권 리서치센터,

주: VDD = 공급 전압(Power rail voltage)로 트랜지스터에 공급되는 전압의 범위

그림 02. Edge Platform 하드웨어의 특징

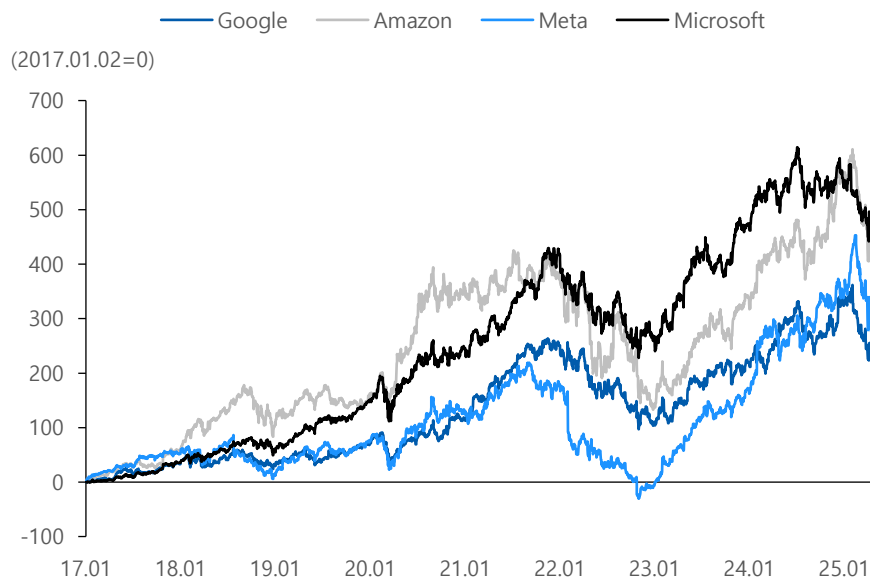


자료: Qualcomm, 유안타증권 리서치센터

AI HPC 시대의 전용 칩 생태계 -1

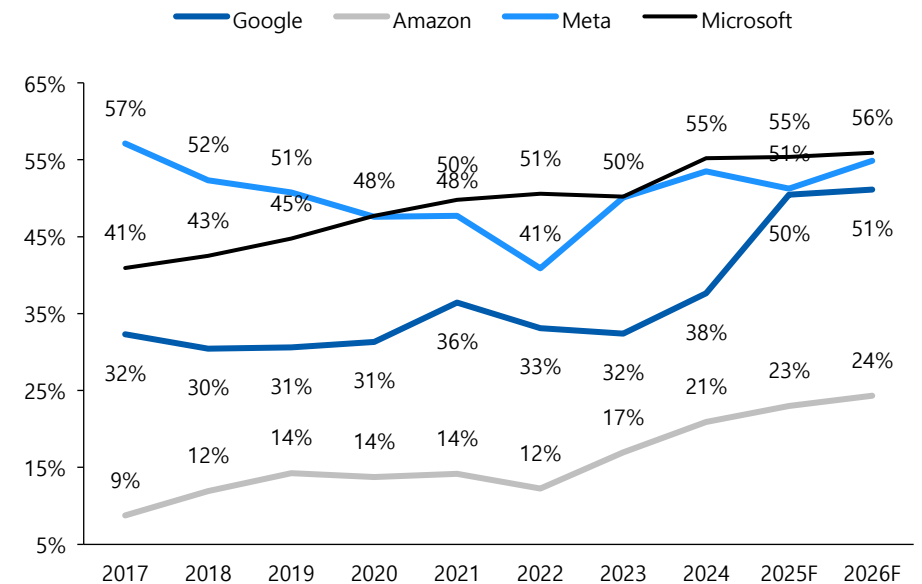
- AI 언어모델의 성능이 폭발적으로 향상됨에 따라, 이를 학습하고 실시간으로 추론하기 위한 연산 자원의 수요 역시 기하급수적으로 증가하고 있다. 그리고 고성능 컴퓨팅(HPC) 환경의 구축 시 단순한 GPU 인프라 확장만으로는 비용과 전력, 데이터 병목 문제를 모두 감당하기 어려운 지점에 이르렀다. 이런 배경 속에서 Google, AWS, Meta, Microsoft 등 주요 클라우드 플랫폼 기업들은 연산 구조를 근본적으로 재정의하기 위해, AI 전용 연산 칩 개발에 본격 착수한다.
- Google은 자사 서비스 전반에 AI를 도입하는 과정에서 Inference 병목을 실감하며, 업계에서 가장 먼저 TPU를 자체 설계해 연산 주권을 확보했다. AWS는 GPU 기반 인프라로는 고객 TCO를 감당하기 어렵다는 판단 아래, 추론용 Inferentia와 학습용 Trainium을 통해 비용 효율 중심의 확장 전략을 택했다. Meta는 추천/광고 알고리즘 최적화에 집중하며 MTIA 시리즈를 선보였고, Microsoft는 OpenAI 기반 수요 급증을 직접 대응하기 위해 Maia 100 기반의 AI 인프라 수직화를 본격화했다. 각 기업은 설계 방식, 적용 범위, 연산 대상 워크로드에서 차이를 보이지만, 공통적으로 'AI 인프라를 외부에만 의존할 수 없다'는 전략적 판단 아래 전용화에 적극적이다.

차트 03. AI HPC 전용 칩셋 설계 기업 시가총액 변화 추이



자료: Bloomberg, 유안타증권 리서치센터,
주 : 데이터는 5월 23일 종가 기준 반영

차트 04. AI HPC 전용 칩셋 설계 기업 EBITDA Margin 비교 (~2026F)

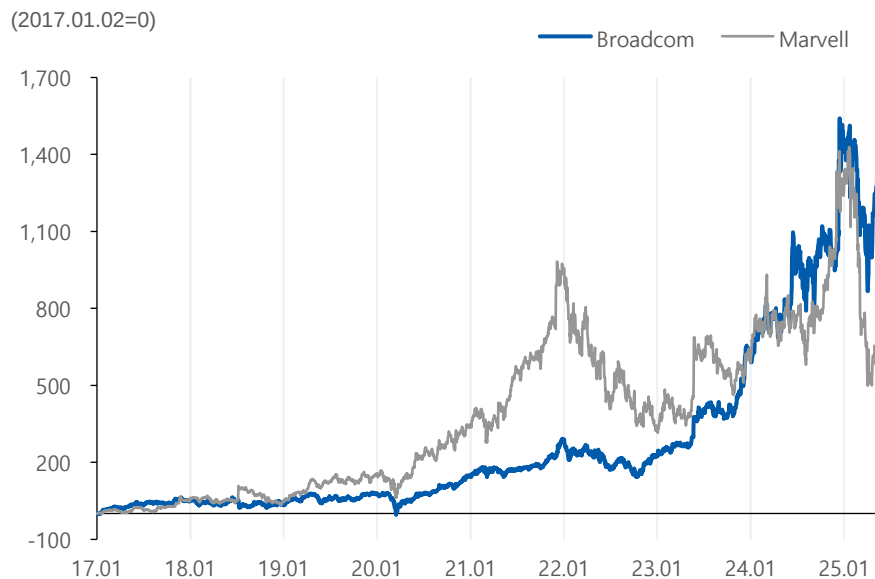


자료: Bloomberg, 유안타증권 리서치센터

AI HPC 시대의 전용 칩 생태계 -2

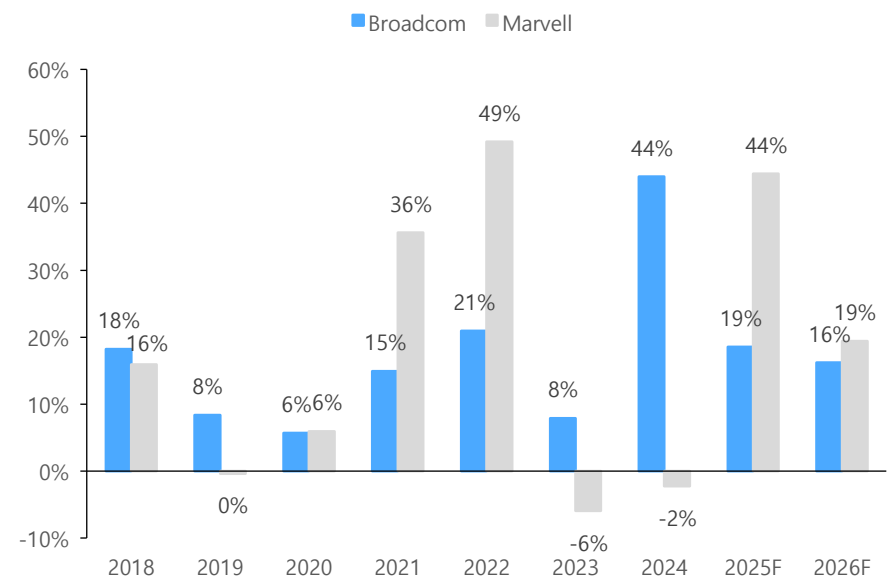
- 한편, 모든 기업이 동일한 수준의 인하우스 역량을 갖추고 있는 것은 아니다. 이에 많은 IT 기업 및 데이터센터 사업자들은 비용과 설계 리스크를 감안해, 칩 설계를 외부에 위탁하고 있다. 대표적으로 Broadcom, Marvell과 같은 반도체 설계 전문 업체들은, AI 추론 가속기나 네트워크 처리용 전용 칩 등 특정 기능에 최적화된 Customized Chipset을 공급한다.
- 이는 빅테크 중심의 수직 계열화와 달리, 외부 설계 자산을 활용한 모듈형 전략이 유효한 대안이 되고 있음을 보여준다. 이처럼 AI 전용화 시장은 자사 서비스 구조에 최적화된 고성능 연산 자원을 확보하려는 내재화 흐름과, 기술/비용 리스크를 분산하려는 협업 기반 수평화 흐름이 동시에 전개되고 있으며, 각 기업은 AI 연산 구조의 전략적 선택을 통해 경쟁 우위를 구축해 나가고 있다.

차트 05. AI HPC 전용 칩셋 설계 외주 기업 시가총액 변화 추이



자료: Bloomberg, 유안타증권 리서치센터,
주: 데이터는 5월 23일 종가 기준 반영

차트 06. AI HPC 전용 칩셋 설계 외주 기업 연간 성장률 추이 및 전망 (~2026F)



자료: Bloomberg, 유안타증권 리서치센터

AI HPC 시대의 전용 칩 생태계 -3

표 05. 글로벌 HPC 관련 업체 실적 및 Valuation

	업체명	Google	Amazon	Meta	Microsoft	Broadcom	Marvell
	Ticker	GOOGL US	AMZN US	META US	MSFT US	AVGO US	MRVL US
	시가총액	2,080,042	2,156,181	1,600,545	3,380,767	1,083,940	53,428
2022A	Sales	282,836	513,983	116,609	198,270	33,203	4,462
	OP	74,842	12,248	28,944	83,383	14,225	-348
	OPM%	26%	2%	25%	42%	43%	-8%
	NP	59,972	-2,722	23,200	72,738	11,495	-421
	PER	18.1	113.9	10.8	28.0	17.3	-
	PBR	4.4	5.9	2.5	11.5	8.7	3.6
	ROE	23.6	-1.9	18.5	47.2	51.1	-3.5
	EV/EBITDA	11.2	15.0	6.3	18.8	11.6	53.7
2023A	Sales	307,394	574,785	134,902	211,915	35,819	5,920
	OP	84,293	36,852	46,751	88,523	16,207	238
	OPM%	27%	6%	35%	42%	45%	4%
	NP	73,795	30,425	39,098	72,361	14,082	-164
	PER	22.8	51.9	20.7	34.8	24.8	78.7
	PBR	6.1	7.8	5.9	12.3	14.5	2.4
	ROE	27.4	17.5	28.0	38.8	60.3	-1.0
	EV/EBITDA	16.7	16.9	13.0	23.5	18.1	22.7
2024A	Sales	350,018	637,959	164,501	245,122	51,574	5,508
	OP	112,390	68,593	69,380	109,433	13,463	-568
	OPM%	32%	11%	42%	45%	26%	-10%
	NP	100,118	59,248	62,360	88,136	5,895	-933
	PER	23.9	39.0	24.3	37.8	63.9	-
	PBR	7.1	8.1	8.1	12.4	11.7	3.9
	ROE	32.9	24.3	37.1	37.1	12.9	-6.1
	EV/EBITDA	17.0	17.8	16.5	24.7	32.8	58.6
2025F	Sales	328,979	694,437	186,903	279,015	62,429	8,247
	OP	128,303	77,643	73,558	125,708	40,661	2,874
	OPM%	39%	11%	39%	45%	65%	35%
	NP	117,867	78,035	65,328	100,171	32,565	2,450
	PER	17.4	29.5	24.1	33.9	34.9	22.0
	PBR	5.2	6.0	6.9	9.8	12.4	3.9
	ROE	30.4	20.4	31.2	31.4	39.4	4.5
	EV/EBITDA	11.9	13.5	16.3	21.4	27.4	18.7
2026F	Sales	368,304	762,043	211,350	316,319	72,291	9,767
	OP	142,784	93,964	83,174	141,667	47,213	3,522
	OPM%	39%	12%	39%	45%	65%	36%
	NP	123,426	93,047	73,691	113,297	38,430	3,097
	PER	16.2	25.2	21.4	30.0	29.5	17.3
	PBR	4.2	4.9	5.5	7.8	10.3	3.5
	ROE	26.8	19.2	27.8	28.4	40.6	4.3
	EV/EBITDA	10.6	11.4	13.6	18.8	23.9	14.8

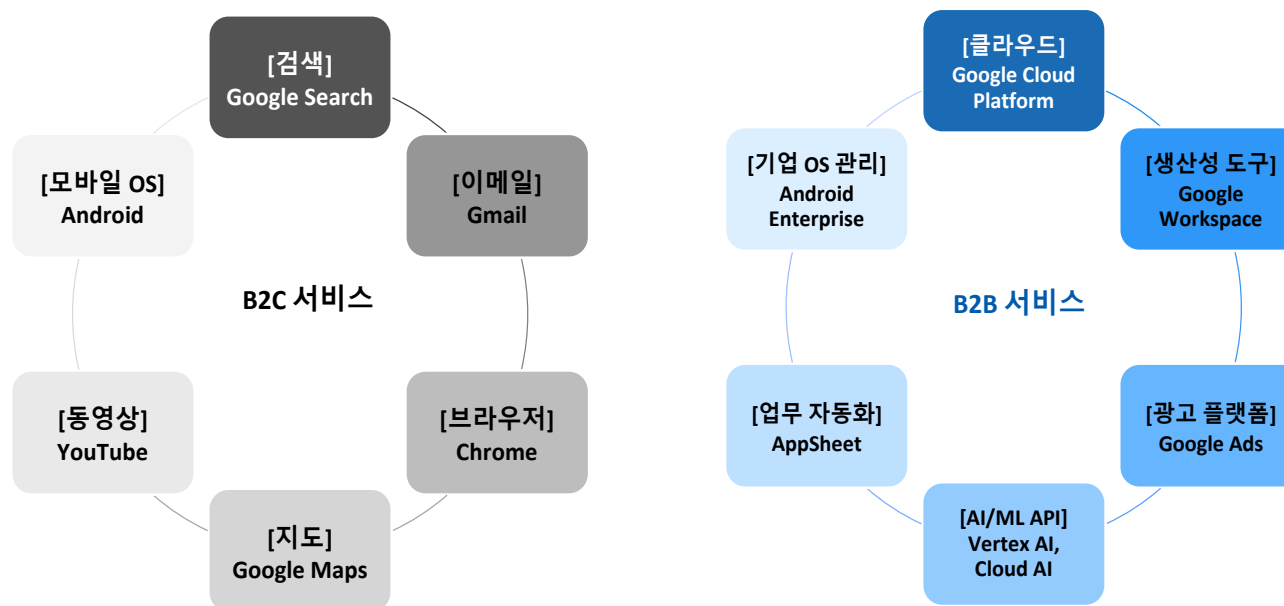
자료: Quantivise, Bloomberg, 유안타증권 리서치센터,

주1: 단위는 mn USD, %, 배 / 주2: 데이터는 5월 23일 종가 기준 반영

Google TPU, 선제적 AI Server 설계 기술 역량을 확보 -1

- Google은 업계에서 가장 먼저 AI 연산 자립성, 즉 연산 주권(Compute Sovereignty) 확보를 목적으로 전용 칩 설계를 추진해온 기업이다. TPU(Tensor Processing Unit)는 Google이 2015년부터 자체 설계에 착수한 Customized AI 연산 칩으로, 현재는 6세대(v6e, 2024년 출시)까지 발전했다.
- 과거 Google이 TPU 개발에 나서게 된 배경에는, 당시 내부적으로 실행한 시뮬레이션 결과가 결정적인 역할을 한 것으로 파악된다. Google 검색, 번역, 음성 인식, 이미지 분류 등 **자사 핵심 서비스 전반에 AI 모델을 적용**하는 과정에서, Inference 연산이 급증했다. 이에 기존 CPU 기반 데이터센터 연산으로 서비스 확장이 불가능하다는 결과가 도출되었을 것으로 추정한다. GPU를 활용하는 방안도 고려됐지만, 당시 GPU는 주로 학습에 최적화된 구조로 되어있었기에 Google이 요구하는 수준의 실시간 응답성과 에너지 효율을 충족시키지 못했다.

그림 03. Google의 주요 B2B & B2C 서비스



Google TPU, 선제적 AI Server 설계 기술 역량을 확보 -2

- 이러한 상황에서 Google은 모델 추론에 최적화된 전용 칩을 직접 설계하고, 이는 2016년 TPU v1의 탄생으로 이어졌다. TPU는 Google이 개발한 딥러닝 개발 툴인 TensorFlow와 연동되도록 설계되어, 하드웨어-소프트웨어 통합 최적화 구조를 실현하는 기반이 되었다. 초기에는 Inference 중심 구조였으나, 이후 세대에서는 Training 기능까지 지원하며 초거대 모델 운용에도 대응 가능하도록 확장되었다. 참고로 2015년 당시 Google 외의 기업들이 맞춤형 AI 칩 설계에 적극적으로 나서지 못했던 이유는 다음의 두 가지로 정리할 수 있다.
- ①Google은 자사 서비스에 AI 추론 모델을 실제로 적용하고 있었고, 이를 통해 서비스 품질 개선이라는 직접적인 비즈니스 성과로 연결되는 구조를 갖추고 있었기 때문에, 연산 효율 확보가 전사 전략상 시급한 과제였다. 반면 대부분의 플랫폼 기업은 여전히 GPU 기반 클라우드 인프라에 의존하고 있었고, 전용 칩 설계의 필요성을 체감하지 못하고 있었다. ②Google은 내부적으로 칩 설계 및 전산 아키텍처 역량을 보유하고 있었던 반면, 타 기업들은 ASIC 개발에 필요한 설계, 생산 및 검증 역량이 부족했기 때문이다.
- 동사 TPU v4 및 v5는 현재 Google Cloud의 인프라 핵심으로 활용되고 있으며, 외부 고객에게도 AI 가속기 형태로 제공된다. 이는 NVIDIA 의존도를 낮추는 동시에 자사 클라우드 경쟁력을 강화하는 수단이 되고 있다. 특히 Google은 자체 AI 모델(Gemini 시리즈 등)의 학습과 서비스 제공에 있어 연산 자원을 내부에서 통제할 수 있는 구조를 확보함으로써, 경쟁사 대비 차별화된 클라우드 수직 계열화를 실현해 나갈 것으로 전망한다.

표 06. Google TPU 세대별 주요 스펙

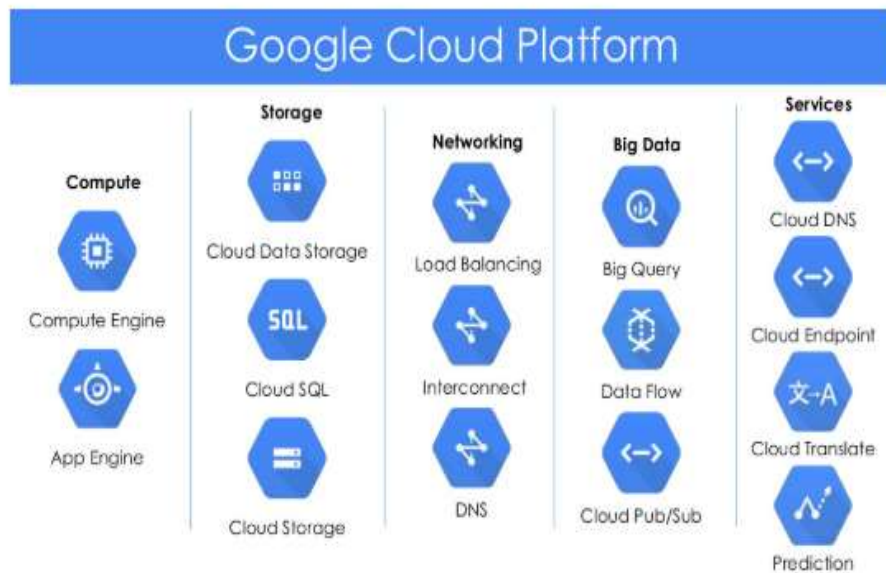
세대	출시연도	공정	메모리	용량
TPU v1	2015년	28nm	DDR3	8GB
TPU v2	2018년	16nm	HBM	16GB
TPU v3	2020년	16nm	HBM	32GB
TPU v4	2022년	7nm	HBM	32GB
TPU v5e	2023년	5nm	HBM2	16GB
TPU v5p	2023년	5nm	HBM2E	95GB
TPU v6e (Trillium)	2024년	4nm	HBM3E	32GB
TPU v7e (Ironwood)	2025년	-	-	192GB

자료: Google, 유안타증권 리서치센터

Google TPU, 선제적 AI Server 설계 기술 역량을 확보 -3

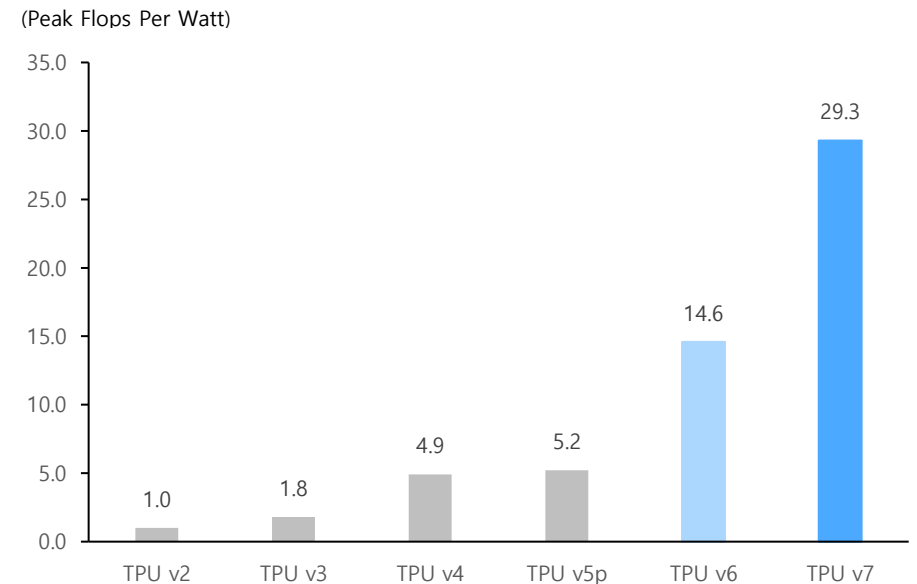
- Google은 향후에도 TPU 칩을 외부에 직접 판매하는 방식보다는, **Google Cloud 내에서 제한적으로 인프라 서비스를 제공하는 방향을 유지할** 가능성이 높다. TPU는 원래부터 Google 내부 서비스의 AI 연산 최적화를 목표로 개발된 ASIC이며, 현재도 검색, 광고, 유튜브 추천, Gemini 등 대규모 AI 워크로드에 핵심적으로 활용되고 있다. 이러한 설계 배경과 전략적 맥락을 고려할 때, Google이 TPU를 통해 외부 고객 기반을 무리하게 확장하기보다는, 자사 생태계 내에서의 연산 자립성과 수직 통합 구조를 강화하는 방향에 방점을 둘 것으로 보인다.
- TPU는 Google Cloud를 통해 ‘대여’ 형식으로 일부 외부 고객에게 제한적으로 제공되고 있긴 하나, 이는 칩 단위 판매가 아니라 클라우드 인프라 서비스의 일환으로 GCP(Google Cloud Platform) 상에서만 접근 가능한 형태다. 이 같은 모델은 소프트웨어 Lock-in을 기반으로 하는 생태계 내재화 전략이기도 하며, TPU 아키텍처와 최적화된 프레임워크(XLA, JAX 등)의 복합 운용을 통해 GCP의 플랫폼 경쟁력을 강화하는 역할도 동시에 수행해 나갈 것으로 기대한다.

그림 04. Google Cloud Platform 서비스 종류



자료: 업계 자료, 유안타증권 리서치센터

차트 07. Google TPU 세대별 전력 효율성 비교

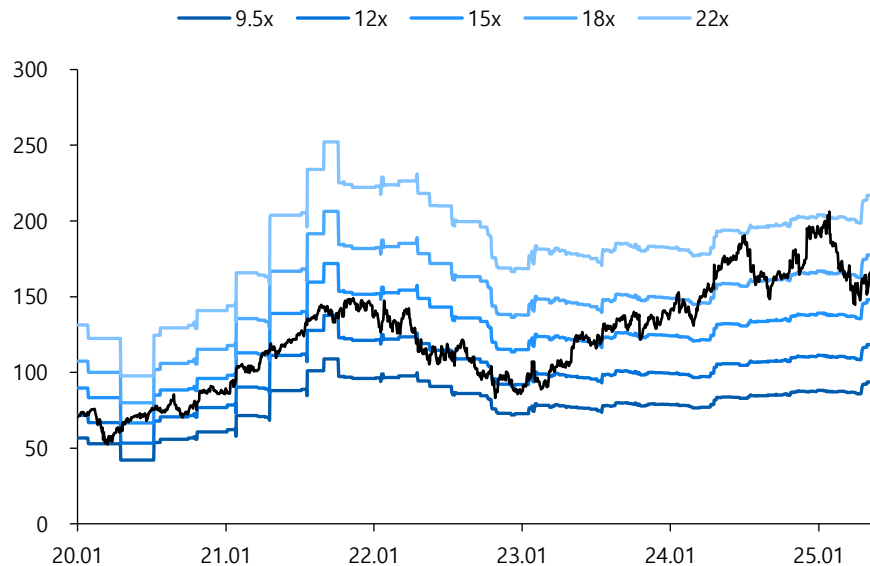


자료: Google, 유안타증권 리서치센터

Google TPU, 선제적 AI Server 설계 기술 역량을 확보 -4

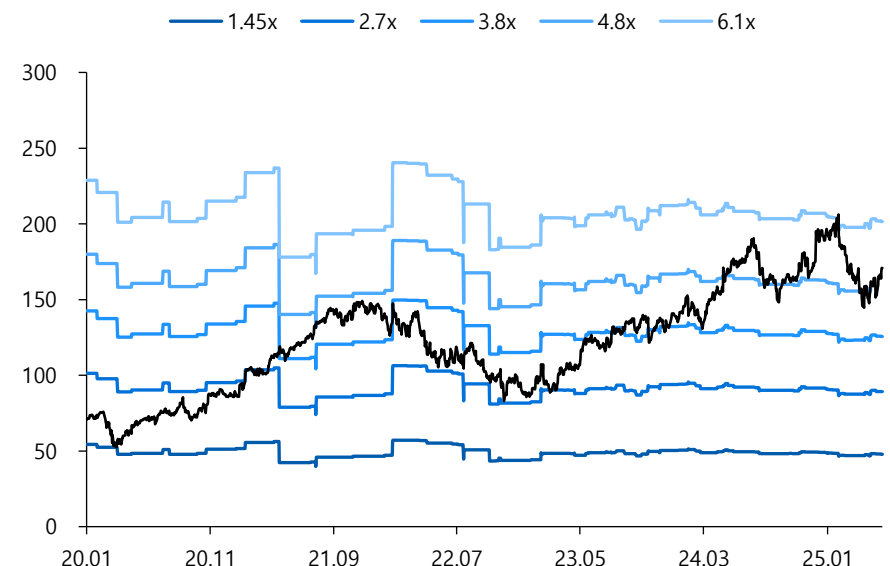
- 2025년 4월 공개된 최신 TPU 'Ironwood'(TPU v7e)는 이러한 전략적 방향성을 더욱 분명히 보여준다. Ironwood는 TPU 시리즈 최초의 '추론 전용' 아키텍처로, Google의 초거대 언어모델(Gemini 등)의 실시간 응답과 저지연 추론을 위한 구조로 설계되었다. 해당 칩은 FP8 연산을 본격적으로 도입해 연산 밀도를 크게 향상시켰으며, 칩당 192GB의 HBM과 7.2TB/s의 대역폭, Pod 단위 9,216개 칩 연결을 통한 총 42.5 ExaFLOPS의 연산 성능을 구현할 수 있다.
- 이러한 아키텍처는 고정된 워크로드에 대한 대규모 추론 처리에 적합하며, Google이 향후 AI SaaS(Software as a Service) 기반 서비스를 전개하는 데 필요한 핵심 인프라로 자리 잡고 있다. 결과적으로, Google은 TPU를 통해 물리적인 반도체 판매보다는 AI 플랫폼 운영 능력과 인프라 자립성, 그리고 서비스형 AI 클라우드의 경쟁력 강화에 집중하는 전략을 유지하고 있다. 특히 경쟁사들이 범용 GPU 또는 외부 공개형 ASIC을 통해 고객 기반을 넓히는 반면, Google은 제한된 고객에게만 GCP 기반의 TPU 리소스를 제공하면서도, AI 인프라의 수직 통합 구조를 통한 수익성과 통제력을 극대화하는 방식을 택한 것이다.

차트 08. Alphabet(Googl US) 12MF P/E



자료: Bloomberg, 유안타증권 리서치센터,
주 : 데이터는 5월 23일 종가 기준 반영

차트 09. Alphabet(Googl US) 12MF P/B



자료: Bloomberg, 유안타증권 리서치센터,
주 : 데이터는 5월 23일 종가 기준 반영

AWS Inferentia & Trainium, 클라우드 1위 업자의 비용 구조 최적화 -1

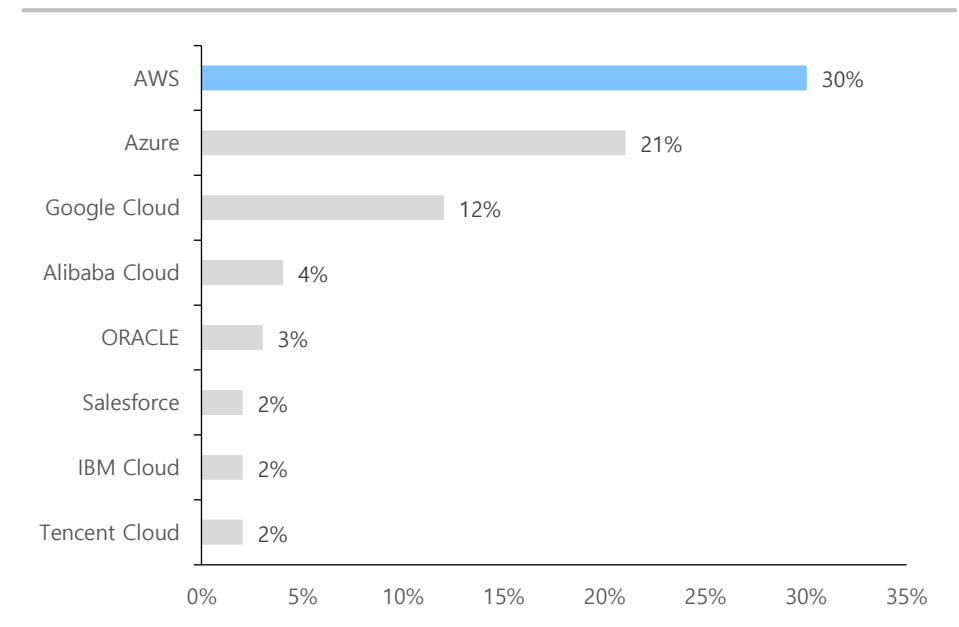
- AWS(Amazon Web Service)는 Google에 비해 맞춤형 AI 칩 설계에 다소 늦게 진입한 사례로, 클라우드 고객 기반의 AI 연산 수요가 본격화된 이후인 2018~2019년부터 전략적으로 움직이기 시작했다. Amazon은 2019년 추론(Inference) 연산 전용 칩 Inferentia, 2020년에는 학습(Training) 연산 전용 칩 Trainium을 발표하고, 이를 자사의 클라우드 서버 서비스인 EC2(Elastic Compute Cloud, 사용자가 원하는 사양으로 서버를 생성하고 운영할 수 있는 가상 머신 인프라) 인스턴스 형태로 상용화하여 외부 고객에게 제공하고 있는 것으로 파악된다.
- Google이 자사 서비스 최적화를 위한 연산 자립성 확보를 목적으로 초기부터 전용 칩 개발에 착수한 반면, AWS는 당초 GPU 기반 인프라만으로도 고객 수요를 충족시킬 수 있다고 판단해 대응을 유보한 것으로 보인다. 하지만 AI 추론 수요가 폭발적으로 증가하면서, AWS는 Inferentia를 선제적으로 도입해 추론 연산 효율을 대폭 향상시키는 방향으로 전략을 수정했다. 해당 칩은 INT8, BF16 등 경량화된 데이터 포맷을 기반으로 하며, GPU 대비 최대 2.3배 높은 추론 성능, 최대 70% 낮은 비용 구조를 구현할 수 있도록 설계되었다.

표 07. EC2(Elastic Compute Cloud)와 온프레미스(On-Prem) 비교

항목	온프레미스 (서버 직접 설치)	EC2 (클라우드 가상 서버)
초기 투자비용	매우 큼 (서버 구매, 설치, 전력, 공간 등)	거의 없음 (사용한 만큼 요금 부과)
설치 및 구축 시간	수개월 (구매-배송-설치-구축 과정)	몇 분 내 즉시 생성 (웹 클릭)
유연성/확장성	고정적 (서버 추가하려면 또 구매)	매우 유연 (필요할 때 서버 추가/삭제 가능)
유지보수 비용	직접 관리 필요 (IT 인력, 장비 업그레이드, 교체 등)	AWS가 관리 (하드웨어 걱정 없음)
맞춤화 수준	매우 높음 (하드웨어를 원하는 대로 세팅 가능)	제한적 (AWS 제공 스펙 내에서 선택)
보안/데이터 통제	직접 통제 (높은 보안성 가능)	기본 보안 제공, 고급 보안은 추가 설정 필요
비용 구조	CAPEX 중심 (선투자)	OPEX 중심 (운영비용)

자료: 업계 자료, 유안타증권 리서치센터

차트 10. 글로벌 Cloud Service Provider 시장 점유율

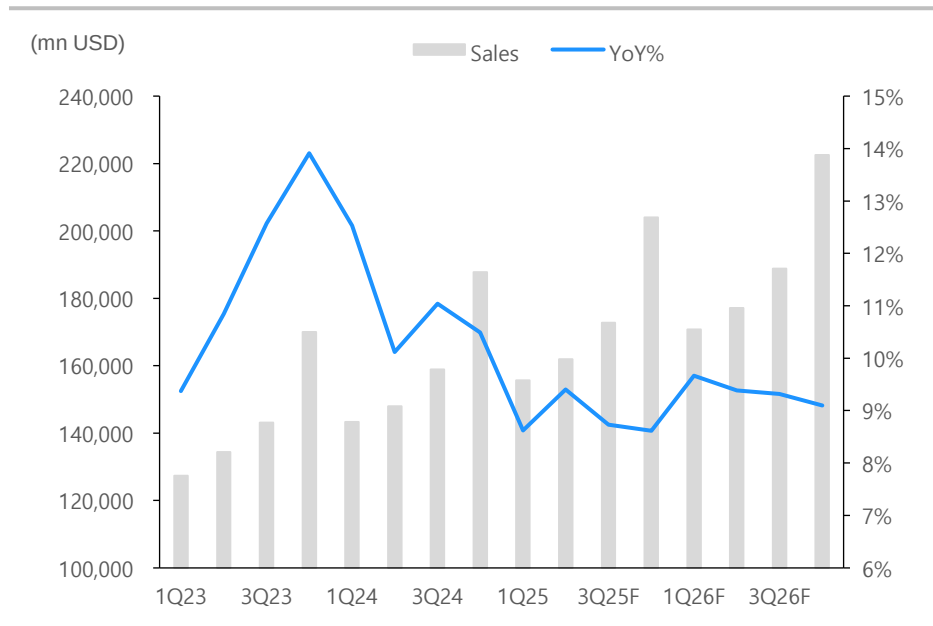


자료: 업계 자료, 유안타증권 리서치센터

AWS Inferentia & Trainium, 클라우드 1위 업자의 비용 구조 최적화 -2

- 이후 AI 워크로드의 고도화와 대규모 모델 훈련 수요 증가에 대응하기 위해, AWS는 Trainium을 출시하며 학습 연산까지 아키텍처를 확장했다. 이는 추론 중심 대응에서 학습-추론 End-to-End 연산까지 아우르는 구조적 대응으로, 고객의 TCO(Total Cost of Ownership)를 낮추는 동시에 AWS 자체 AI 서비스 경쟁력을 강화하려는 전략의 일환이다. Trainium은 FP32, TF32, BF16 등 다양한 연산 포맷을 지원하며, PyTorch, TensorFlow와의 높은 호환성을 바탕으로 범용성을 확보하고 있다.
- 당사 채널 체크에 따르면, Trainium 2는 2025년 2분기부터 본격 양산을 시작한다. 여타 ASIC 대비 상대적으로 수요 증가 가시성이 높은 것으로 파악된다. Hugging Face, Anthropic, Runway 등의 주요 AI 기업들은 AWS 인프라 위에서 Inferentia와 Trainium 기반의 연산 환경을 구축하고 있으며, Amazon Bedrock, Titan 등 AWS 자체 생성형 AI 서비스에도 해당 칩셋의 적용 범위가 점차 확대되고 있다는 점을 주목한다. 중장기적 관점에서 AWS가 AI 칩의 설계/사용을 통해 연산 자원의 수직 통합과 원가 경쟁력 확보라는 두 축을 동시에 달성할 것으로 예상된다.

차트 11. AWS 분기 매출액과 연간 성장률 추이 및 전망



자료: Bloomberg, 유안타증권 리서치센터

표 08. AWS Inferentia & Trainium 활용 기업

기업명	사용 칩 종류	활용 분야	주요 성과 요약
Actuate	Inferentia	실시간 AI 기반 위협 감지	추론 비용 91% 절감, 모델 배포 시간 4주 → 4분
Anthropic	Inferentia & Trainium	생성형 AI, 대규모 언어 모델(LLM) 학습 및 추론	AWS와 협력하여 모델 학습 및 배포
Databricks	Trainium	기업용 AI 모델 커스터마이징	AI 개발 속도 향상 및 비용 절감
Airbnb	Trainium	PyTorch 기반 모델 학습	GPU 대비 2배 높은 처리량
Amazon	Trainium	대규모 데이터 처리 작업	운영 비용 85% 절감
Nota	Inferentia & Trainium	Transformer 기반 LLM 추론	비용 효율적인 AI 추론 시스템 구현

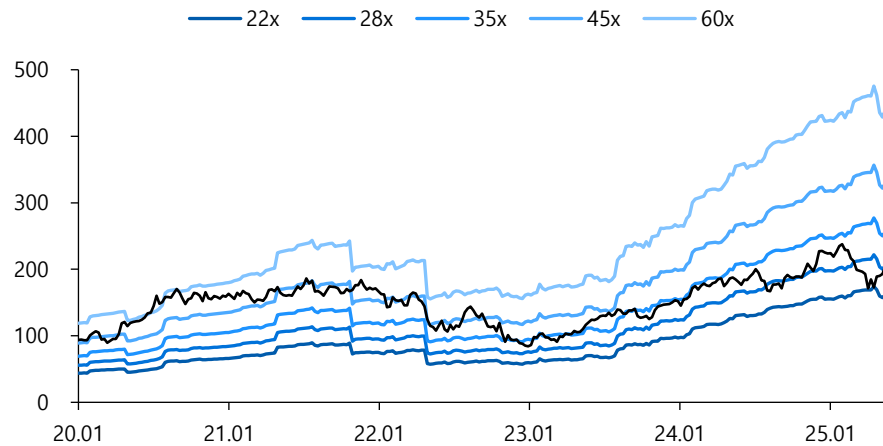
자료: 각 사, 유안타증권 리서치센터

표 09. AWS Inferentia와 Trainium 로드맵 & 세대별 주요 Spec

항목	Inferentia	Inferentia2	Trainium	Trainium2
출시 시기	2019년	2022년	2021년	2024년
용도	추론	추론	학습	학습 및 추론
NeuronCore 수	4	2	2	8
INT8 성능	128 TOPS	380 TOPS	N/A	N/A
FP16/BF16 성능	64 TFLOPS	190 TFLOPS	3 PFLOPS	20.8 PFLOPS
메모리 용량	8 GB DDR4	32 GB HBM	32 GB HBM	96 GB HBM3
메모리 대역폭	50 GB/s	820 GB/s	820 GB/s	185 TB/s
인터커넥트	NeuronLink-v1	NeuronLink-v2	NeuronLink	NeuronLink
지원 데이터 타입	FP16, BF16, INT8	FP32, TF32, BF16, FP16, INT8, cFP8	FP16, BF16	FP8, BF16, FP16
최대 칩 수 (인스턴스당)	16	12	16	64
주요 특징	저비용 고성능 추론	Inferentia 대비 최대 4배 처리량 10배 짧은 지연 시간	대규모 학습 최적화	초대규모 모델 학습 지원

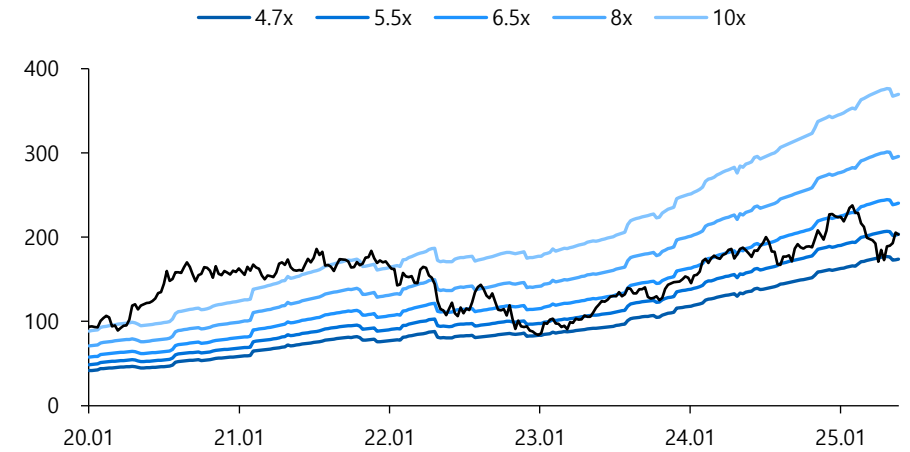
자료: 업계 자료, 유안타증권 리서치센터

차트 12. Amazon(AMZN US) 12MF PER



자료: Bloomberg, 유안타증권 리서치센터,
주: 데이터는 5월 23일 종가 기준 반영

차트 13. Amazon(AMZN US) 12MF PER



자료: Bloomberg, 유안타증권 리서치센터,
주: 데이터는 5월 23일 종가 기준 반영

Meta MTIA, 광고/추천 시스템 특화형 Chipset 최적화 -1

- Meta는 2023년부터 자체 AI 칩 설계에 본격 착수하여, 추천 시스템 및 광고 모델 최적화를 위한 추론 특화형 ASIC인 MTIA(Meta Training and Inference Accelerator)를 공개했다. Google이나 Amazon에 비해 비교적 늦게 전용화 전략을 추진한 Meta는, 초거대 AI 연산 전체를 대체하기보다는 **자사의 핵심 수익 기반인 광고추천 알고리즘 연산 효율성을 개선하는 데 초점**을 맞추고 있다.
- MTIA는 Meta 내부 팀이 아키텍처를 자체 설계(In-house)했으며, 초기 물리 구현 단계에서 외부 파트너(Broadcom 등)의 일부 기술 지원을 받았을 가능성은 있으나, 최종 제품 완성은 자체 주도로 이뤄진 것으로 파악된다. MTIA 시리즈는 추론 워크로드에 최적화된 부분적 내재화 전략에 가깝고, 현재로서는 NVIDIA GPU를 대체하기보다는 일부 연산을 보완하는 보조적 역할에 머무르고 있다. 즉 대규모 초거대 모델 학습은 여전히 외부 GPU 인프라에 의존하는 구조다.
- 2023년 발표된 MTIA v1에 이어, 2024년 공개된 MTIA v2는 연산 성능을 3.5배, 희소 연산(Sparse Computation) 성능을 7배 향상시켰으며, 메모리 대역폭과 용량도 2배 이상 확대되었다. 해당 칩은 Meta 데이터센터 내에서 최대 72개 랙(Rack) 단위로 집적되어, Facebook, Instagram, Reels 등의 추천 시스템과 광고 모델 추론 속도 개선을 목표로 활용되고 있다.

표 10. Customized Server Chipset 비교

칩 이름	제조사	용도	주요 특징
MTIA	Meta	추론 특화	핵심 수익 기반인 광고 추천 알고리즘 연산 최적화, NVIDIA GPU 보완용
TPU	Google	대규모 학습 중심	Google 자체 LLM 등 학습을 위한 고성능 연산 특화, Google Cloud와 통합
Inferentia2	AWS	추론 특화	EC2, SageMaker 등에서 배포 최적화, NVIDIA 대비 낮은 비용
Trainium2	AWS	학습 특화	대규모 분산 학습 최적화, NVIDIA 대비 낮은 비용
Maia	Microsoft	대규모 학습 및 추론 통합형	Azure AI 서비스 최적화, GPT-4, Copilot 등 OpenAI 모델 지원

자료: 업계 자료, 유안타증권 리서치센터

표 11. Meta MTIA 발전 방향성

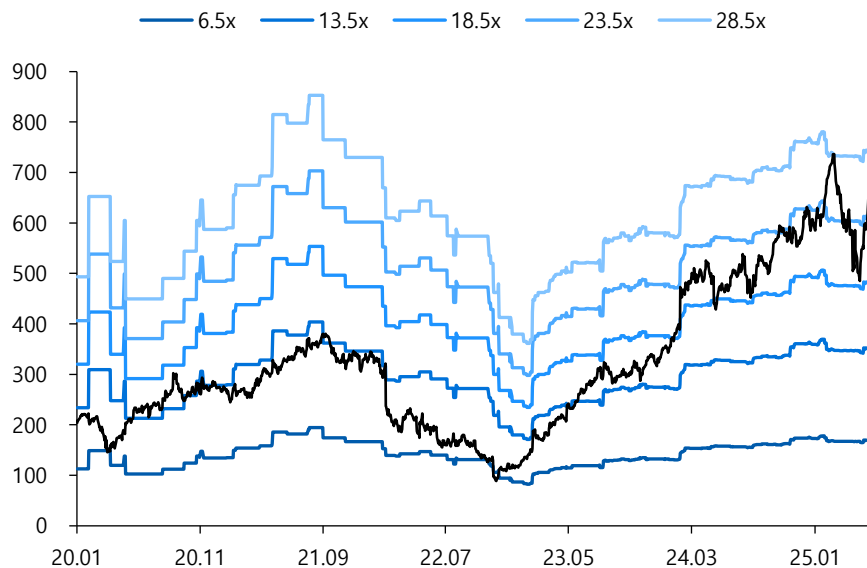
카테고리	스펙 방향성	이유/배경
연산 효율	Sparse(희소) 연산 최적화	추천 시스템과 광고 모델은 90% 이상 Sparse 연산. Dense(밀집) 연산보다 Sparse 최적화가 중요
저전력	와트당 연산 성능 극대화(Pef/W)	데이터센터 전력 부담 최소화. 추론 워크로드는 비용 민감
메모리 최적화	대용량 메모리 대역폭 확보 + On-chip Memory 확장	Embedding Table 등 거대 메모리 접근이 많아, 메모리 병목 줄이는 게 핵심
레이턴시	초저지연 추론 지원	광고/추천은 실시간 응답성이 핵심 KPI(수백ms 이내 반응 필수)
경량 LLM 대응	소형 LLM(10억~50억 파라미터) 추론 최적화	대형 LLM 학습은 GPU에 맡기고, 경량 LLM 서버는 자체 칩으로 처리하려 함
대량 병렬처리	수백~수천 개 추론 요청 동시 처리 최적화	Reels, Instagram 등에서 동시 추론 요청 폭발적 증가 대응

자료: 업계 자료, 유안타증권 리서치센터

Meta MTIA, 광고/추천 시스템 특화형 Chipset 최적화 -2

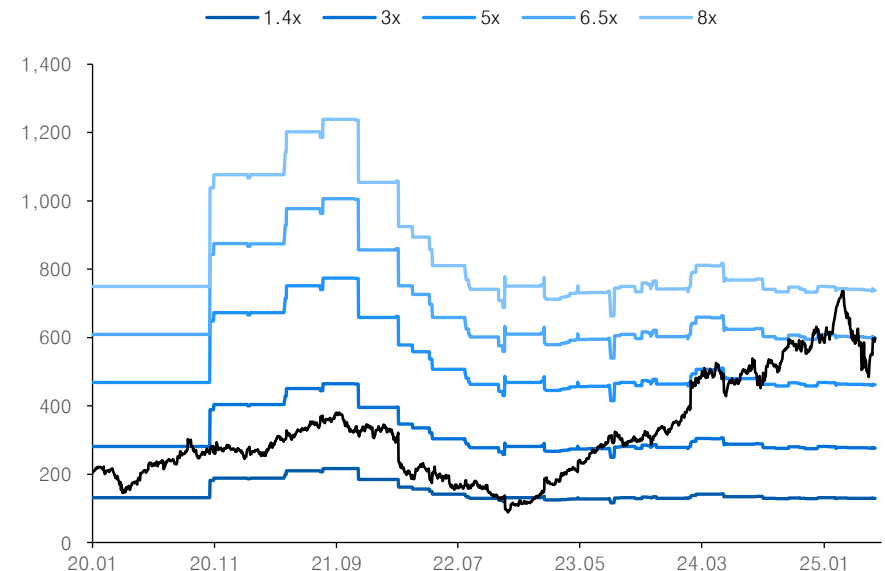
- 동사 MTIA의 발전 방향은 Google TPU나 AWS Trainium처럼 초거대 모델 학습을 위한 대규모 클러스터 확장보다는, **서버 단위에서 고효율/저전력 추론을 구현**하는 쪽으로 특화될 가능성이 크다. 특히 Sparse 데이터 처리 최적화, 와트당 성능(Power Efficiency) 개선, 소형 LLM(경량 언어모델) 기반 추론 영역으로의 확장이 주요 과제로 부상하고 있다. 이 과정에서 MTIA는 Meta 자체 서비스 내 개인화/추천 모델에 결합되어, 고효율 저지연 추론을 통한 LLM 활용 기반을 강화하는 역할을 수행할 것으로 예상된다.
- 다만 현 시점에서는 범용성이나 독립적 연산 생태계를 갖추었다고 보기는 어렵고, 초거대 파라미터 모델 학습이나 범용 AI 인프라 구축 측면에서는 외부 GPU 의존이 지속될 가능성이 높다. 그럼에도 불구하고 GPU 비용 및 공급 리스크가 심화되는 시장 환경을 고려할 때, 자체 알고리즘 최적화에 특화된 맞춤형 AI 칩 내재화 전략은 Meta와 같은 플랫폼 기업에게 비용 구조 개선 및 서비스 경쟁력 강화 수단으로 작용 할 것이라는 점은 유효하다.

차트 14. Meta Platforms(META US) 12MF PER



자료: Bloomberg, 유안타증권 리서치센터,
주 : 데이터는 5월 23일 종가 기준 반영

차트 15. Meta Platforms(META US) 12MF PBR



자료: Bloomberg, 유안타증권 리서치센터,
주 : 데이터는 5월 23일 종가 기준 반영

Microsoft Maia, Fast follower의 AI 인프라 수직화 시도 -1

- Microsoft는 전통적으로 외부 고객을 대상으로 하는 범용 클라우드 인프라 전략에 집중해왔다. OpenAI와의 협업을 통한 Copilot 및 ChatGPT 서비스 수요가 폭발적으로 증가하면서, 하드웨어 자율성과 비용 효율성 확보가 전략적 과제로 부상했다. 이에 따라 동사는 2023년 자체 설계한 AI 가속기 Maia 100을 공개하고, AI 인프라 수직화 전략에 본격적으로 착수했다. 협업을 통해 확보한 대규모 실사용 데이터와 인프라 운영 경험을 Maia 100 설계에 적극 반영하고 있다. 후발주자임에도 불구하고, 초기 설계 단계부터 실질적인 워크로드 최적화와 대규모 인프라 대응 역량을 갖춘 점은 Maia 100의 기술적 완성도를 끌어올리는 데 중장기적 관점에서 유리하게 작용할 것으로 기대한다.
- Maia 100은 TSMC 5nm 공정 기반으로 제조되었다. 1,050억 개 트랜지스터와 HBM을 탑재한 고성능 AI 가속기다. 단일 칩 제품을 넘어, 자체 설계 CPU(Cobalt 100), 데이터센터 네트워크, 냉각 인프라와 통합된 수직화된 AI 컴퓨팅 구조의 핵심 축으로 정의된다. 현재는 Microsoft 내부 GPT-4 학습과 Copilot 추론 워크로드에 우선 적용되고 있다. 이후 Azure 클라우드 고객을 대상으로도 Maia 100 기반 인스턴스를 제공할 계획이지만, 초기에는 내부 수요 대응에 중점을 두고 점진적 외부 확장을 추진할 것으로 예상된다.

표 12. 미국 빅테크의 ASIC 주요 스펙 비교 (2023년 11월 기준)

	Microsoft	Google	Amazon	Meta
Chip	Maia 100	TPU v5e	Inferentia2	MTIA v1
Launch Date	November, 2023	August, 2023	Early 2023	2025
IP	ARM	ARM	ARM	RISC-V
Process Technology	TSMC 5nm	TSMC 5nm	TSMC 7nm	TSMC 7nm
Transistor Count	105 billion	-	-	-
INT8	-	393 TOPS	-	102.4 TOPS
FP16	-	-	-	51.2 TFLOPS
BF16	-	197 TFLOPS	-	-
Memory	-	-	-	LPDDR5
TDP	-	-	-	25W
Main Packaging Technology	CoWoS	CoWoS	CoWoS-S	2D
Collaborating Partners	Global Unichip Corp.	Broadcom	Alchip Technologies	Andes Technology
Application	Training/Inference	Inference	Inference	Training/Inference
LLM	GPT-3.5 · GPT-4	BERT · PaLM · LaMDA	Titan FM	Llama · Llama2

자료: Trendforce, 유안타증권 리서치센터

그림 05. Microsoft사의 자체 개발 GPU(Maia 100)와 CPU(Cobalt)

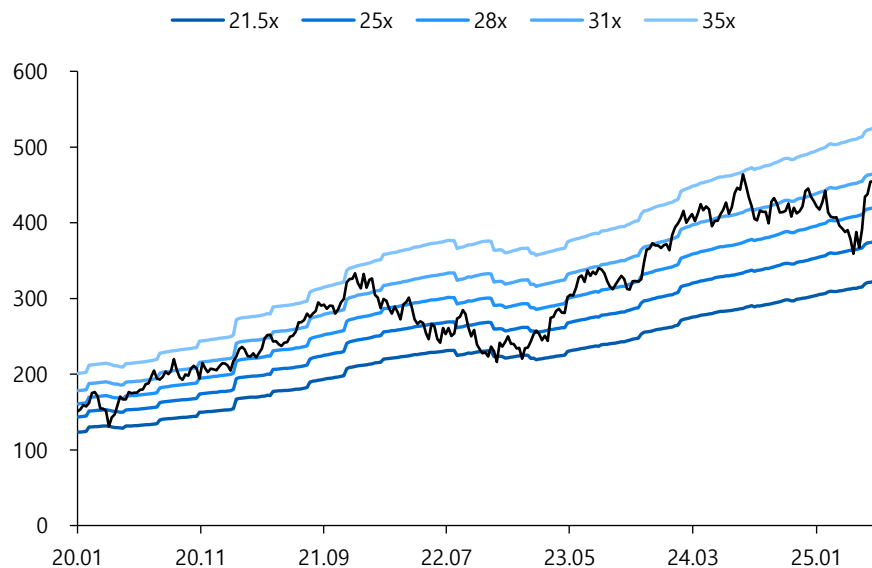


자료: 업계 자료, 유안타증권 리서치센터

Microsoft Maia, Fast follower의 AI 인프라 수직화 시도 -2

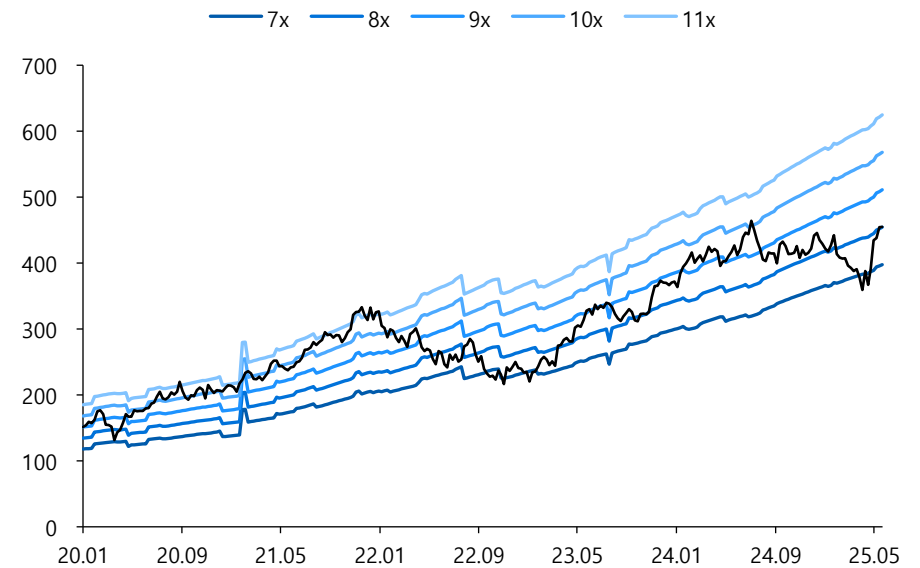
- 한편, Microsoft와 OpenAI는 각각 Azure OpenAI Service와 자체 API 기반으로 기업용 AI 시장을 확장하고 있어, 장기적으로는 Copilot 제품군과 OpenAI API를 둘러싼 직접적인 이해 충돌 가능성도 배제할 수 없다는 판단이다. 특히, OpenAI는 IPO 추진과 함께 독립성을 강화하려는 움직임을 보이고 있으며, 단일 기업에 종속된 구조를 장기적으로 지속하기 어려운 상황이다. 반면, Google이나 Amazon과 경쟁하는 Microsoft 입장에서는 OpenAI와의 기술 파트너십이 핵심적 자산으로 기능하고 있어, 단기적인 지분보다는 **장기적인 모델 독점권 및 Azure 기반 서비스 연동 유지가 더 전략적으로 중요하다**.
- Microsoft는 이러한 구조적 리스크를 관리하는 한편, Stargate 프로젝트를 통한 초대규모 AI 인프라 투자와 자체 AI 모델 생태계 강화를 병행한다. 향후에는 DeepSeek 등 새로운 학습 구조를 참고하여 동적 데이터 기반 AI 투자를 확대할 것으로 예상된다. 이에 따라 당분간은 NVIDIA GPU 조달을 지속하면서, Maia 100 기반 인프라를 점진적으로 확장하는 하이브리드 전략을 유지할 것으로 전망한다.

차트 16. Microsoft(MSFT US) 12MF PER



자료: Bloomberg, 유안타증권 리서치센터,
주 : 데이터는 5월 23일 종가 기준 반영

차트 17. Microsoft(MSFT US) 12MF PBR



자료: Bloomberg, 유안타증권 리서치센터,
주 : 데이터는 5월 23일 종가 기준 반영

Broadcom, 통신 인프라 반도체 역량 레버리지 본격화 -1

- Broadcom은 통신 반도체 사업 포트폴리오를 구축해온 팹리스 기업으로, 특히 Ethernet 기반의 네트워크 인프라 솔루션(Switch IC와 Connectivity ASIC을 포함한 고속 통신 칩 설계) 분야에서 오랜 경험과 높은 시장 점유율(약 70%수준)을 확보하고 있다. FY2025 매출 기준 해당 사업은 Semiconductor Solutions 부문으로 분류되며, 전체 매출의 59%를 차지할 것으로 전망한다.
- 전통적으로 통신 인프라와 데이터센터 네트워크 분야에 강점을 가져온 가운데, 최근 AI 서버 클러스터 확산과 함께 고대역폭/초저지연 네트워크 수요가 급증하면서 동사의 **통신 기술 기반의 확장성이 더욱 부각**되고 있다. 동사는 Ethernet 기반의 스위칭(Switching) 및 라우팅(Routing) 기술, 그리고 전반적인 네트워크 아키텍처 영역에서 핵심 역량을 보유하고 있다. AI 모델 학습과 추론을 위한 데이터센터 환경에서는 수만 개 이상의 GPU 및 AI 가속기를 초고속으로 연결해야 하는데, 이때 기존 네트워킹 기술보다 훨씬 높은 대역폭과 낮은 지연시간(Latency)이 요구되며, AI 서버 간 통신을 처리하는 표준 기술로 Ethernet이 채택되었기 때문이다.

그림 06. Broadcom가 과거 진행한 다수의 M&A 활동



자료: Broadcom, 유안타증권 리서치센터

표 13. 네트워크 인프라 솔루션 기술 소개

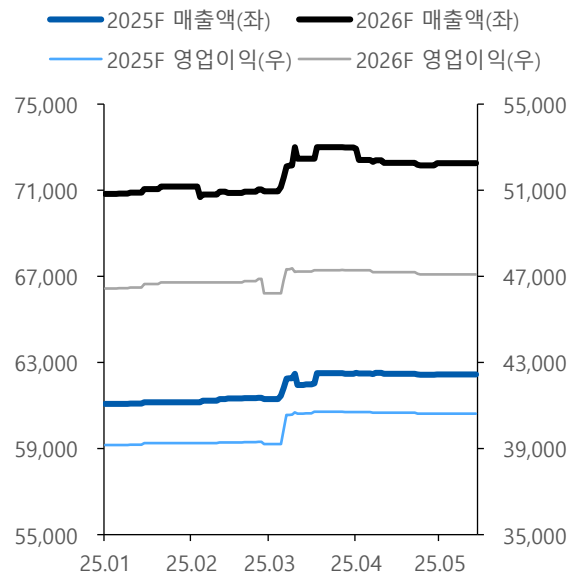
구분	정의	주요 기능	AI 인프라에서의 역할
Switching	동일 네트워크 내 장비 간 데이터 전송 제어	패킷을 가장 빠른 경로로 전달 (L2 중심)	랙 내 또는 서버 간 고속 통신 (Top-of-Rack switch 등)
Routing	서로 다른 네트워크 간의 데이터 경로 결정	패킷 경로 설정(L3 이상) 및 트래픽 분산	데이터센터 간 연결, AI 클러스터 간 백본 구축
Networking (총괄)	Switching, Routing 포함한 전체 통신 구조	데이터 흐름을 위한 물리/논리적 인프라 구성	AI 가속기 ↔ 서버 ↔ 저장소 등 전체 연결성 확보

자료: 업계 자료, 유안타증권 리서치센터

Broadcom, 통신 인프라 반도체 역량 레버리지 본격화 -2

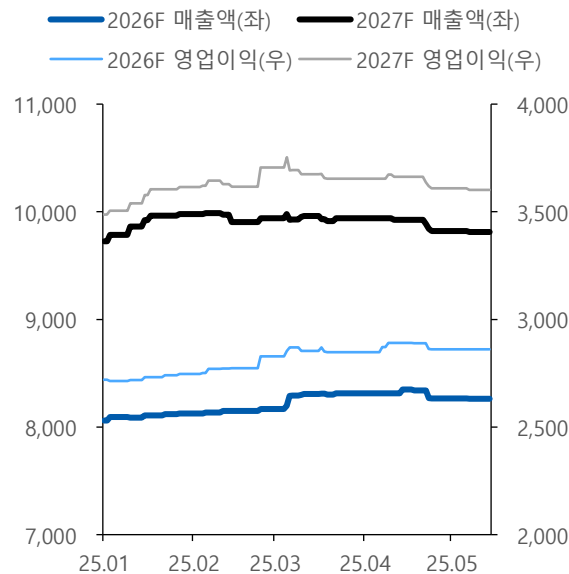
- Tomahawk 시리즈는 400Gbps, 800Gbps급 초고속 Ethernet 스위치 솔루션으로, AI 서버 클러스터 구축에 있어 사실상 업계 표준으로 자리 잡았다. 특히 Tomahawk 5는 Hyperscaler 수요에 대응해 패킷 오류 복구 기능(RAID-X, Redundant Array of Independent Data Buffers) 용량을 두 배로 확장했다. 이를 통해 대규모 AI 클러스터 환경에서 초고속 데이터 전송과 동시에 네트워크 신뢰성을 크게 강화했다. RAID-X는 데이터 전송 중 발생할 수 있는 메모리 오류나 패킷 손실을 실시간으로 복구하거나 우회한다. AI 인프라와 같이 초저지연/초고대역폭이 요구되는 환경에서 핵심적인 안정성 확보 수단으로 작용한다.
- Google, Microsoft, Meta, NVIDIA 등 주요 하이퍼스케일러 및 AI 칩 설계 기업을 대상으로 안정적인 공급 체계를 구축하고 있으며, Tomahawk 차세대 제품 개발도 가속화해 초고속 네트워크 인프라 수요 증가에 선제적으로 대응하고 있다. 특히 이러한 수요 흐름은 단순한 통신 인프라 시장 확장이 아니라, AI 연산 구조의 고도화에 따라 Ethernet 기반 고성능 네트워크 인프라 수요가 필수적으로 동반되는 구조적 성장으로 이어지고 있다. Broadcom은 AI 인프라 시장 확장에 맞춰 Google, Meta, ByteDance 등 주요 하이퍼스케일러를 대상으로 맞춤형 통신 ASIC과 고속 네트워크 솔루션 공급을 확대하는 전략을 추구할 것으로 전망한다.

차트 18. Broadcom 실적 컨센서스 추이



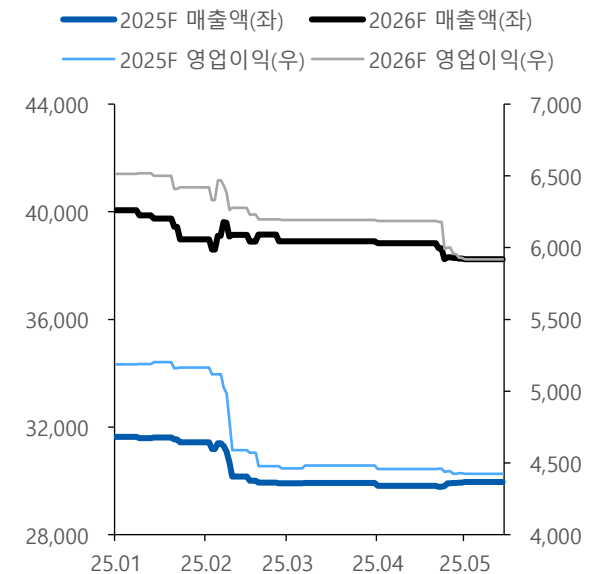
자료: Bloomberg, 유안타증권 리서치센터
주: 5월 16일 기준, 단위는 mnUSD 기준

차트 19. Marvell Technology 실적 컨센서스 추이



자료: Bloomberg, 유안타증권 리서치센터
주: 5월 16일 기준, 단위는 mnUSD 기준

차트 20. Global Unichip 실적 컨센서스 추이

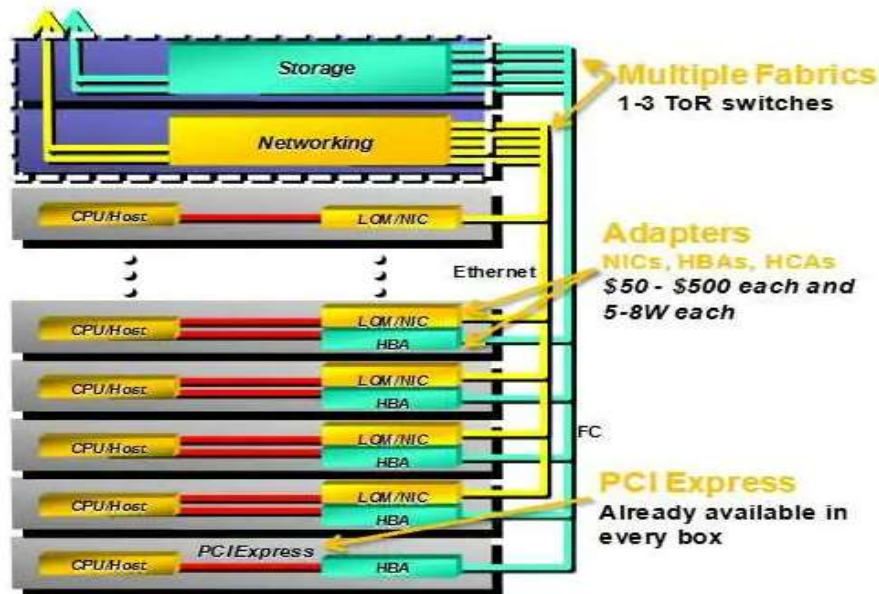


자료: Bloomberg, 유안타증권 리서치센터
주: 5월 16일 기준, 단위는 mnNTD 기준

Broadcom, 통신 인프라 반도체 역량 레버리지 본격화 -3

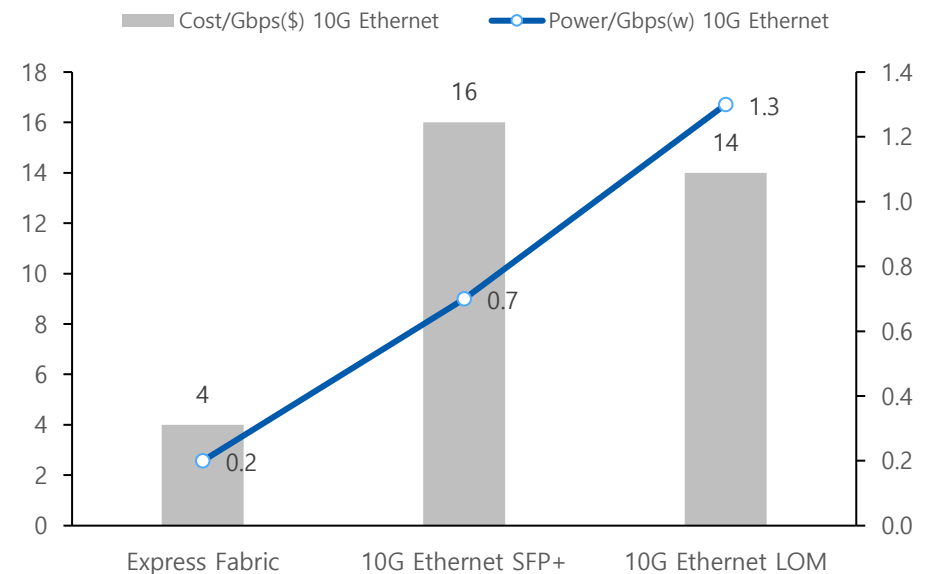
- 또한 수년 단위의 기술 로드맵을 공유할 수 있는 전략적 고객에 집중하는 한편, 단기 수요나 불확실성이 높은 고객은 선별적으로 배제하는 방식으로 설계 자원의 효율성과 사업 안정성 또한 높이고 있다. 이 같은 전략은 디자인 윈(Design Win) 이후 실제 양산 전환 비율을 높이는 데 기여하고 있으며, Broadcom의 설계 성공률과 자산 회수 가시성 또한 꾸준히 높아질 것으로 기대한다.
- 동사는 일부 Hyperscaler 고객을 대상으로, 서버 간 초저지연 데이터 전송을 위해 PCI Express(PCIe) 기반 네트워크 확장 솔루션도 함께 제공하고 있다. Ethernet이 대규모 서버 클러스터 연결의 표준 기술로 자리잡은 가운데, 특정 AI 학습 워크로드에서는 더 낮은 지연시간을 요구하는 수요가 발생하고 있으며, 이에 따라 PCIe를 서버 간 확장 네트워크로 활용하려는 시도가 일부 제한적으로 진행되고 있다. 이러한 고객 요구에 대응해, Ethernet 스위치(Tomahawk 시리즈)뿐 아니라 PCIe 스위칭 솔루션(Jericho 시리즈)도 함께 개발 및 공급하며, 다양한 연결 아키텍처에 유연하게 대응할 수 있는 제품 포트폴리오를 구축하고 있다.

그림 07. 전통적인 I/O 시스템 내 Ethernet과 PCIe의 기능은 분리



자료: 업계 자료, 유안타증권 리서치센터

차트 21. PCIe vs. Ethernet



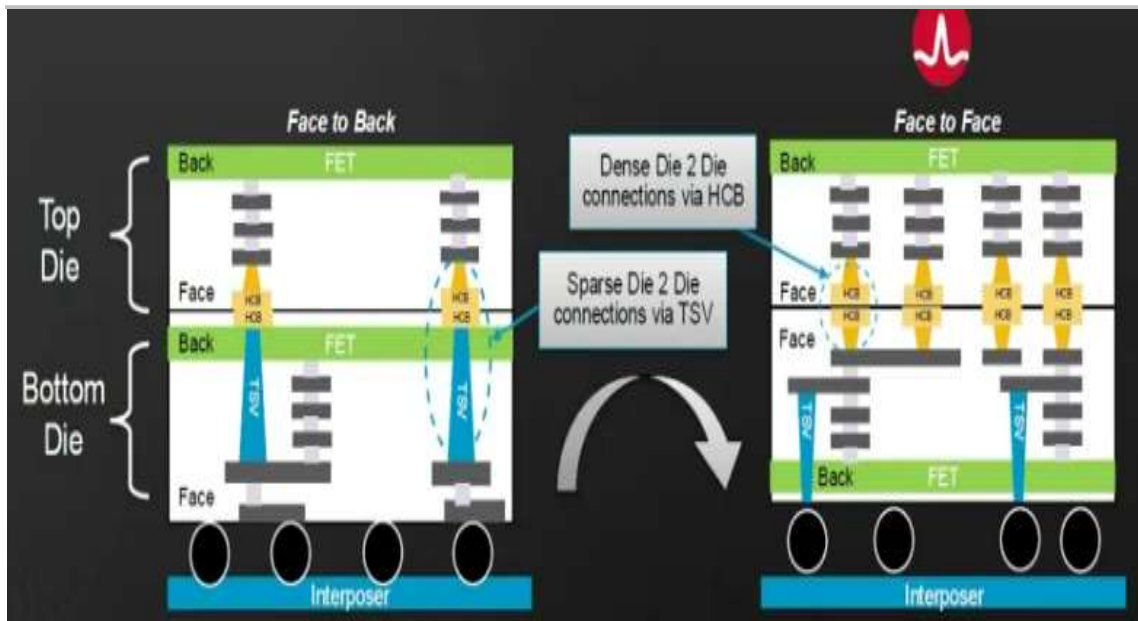
자료: 업계 자료, 유안타증권 리서치센터

주: 좌축은 Cost/Gbps(\$), 우축은 Power/Gbps(W) for 10GE 반영

Broadcom, 통신 인프라 반도체 역량 레버리지 본격화 -4

- 동사의 기술 경쟁력은 고성능 ASIC 설계뿐 아니라, 첨단 패키징 및 인터커넥트 통합 기술에 기반하고 있다. 특히 Broadcom이 선보인 3.5D XDSiP(Xtreme-Density System-in-Package) 플랫폼은 연산 다이, HBM, I/O 다이를 수직 적층한 구조로, 기존 F2B(Face-to-Back) 대비 7배 높은 신호 밀도와 10배 향상된 전력 효율을 구현한다. 해당 플랫폼은 메모리-컴퓨터-I/O 간 지연을 최소화하고 패키지 면적도 축소해 고성능/고효율 AI 칩 설계에 최적화된 기반을 제공하며, HBM 통합에는 SK하이닉스 등 주요 공급사와의 협업도 병행되고 있다.
- 또한 단순 칩 공급에 그치지 않고, 연산 자원의 실행 환경까지 통제하려는 전략을 병행하고 있다. VMware 인수 이후에는 GPU 및 CPU 자원을 가상화해 자체 데이터센터 내에서 AI 모델을 운용할 수 있는 'VMware Private AI Foundation'을 NVIDIA와 공동 구축하고 있다. 이로써 고객은 외부 반출 없이 자사 데이터를 기반으로 AI 서비스를 구동할 수 있다. **칩-패키지-가상화 인프라 전반에 걸친 수직 계열화** 전략의 연장선에 있으며, Broadcom이 전통적 칩 공급자와 차별화된 기술 통합 역량을 갖추고 있음을 보여주는 사례로 평가된다.

그림 08. Broadcom의 F2B vs. FCF



자료: Broadcom, 유안타증권 리서치센터

표 14. Broadcom의 F2B vs. F2F

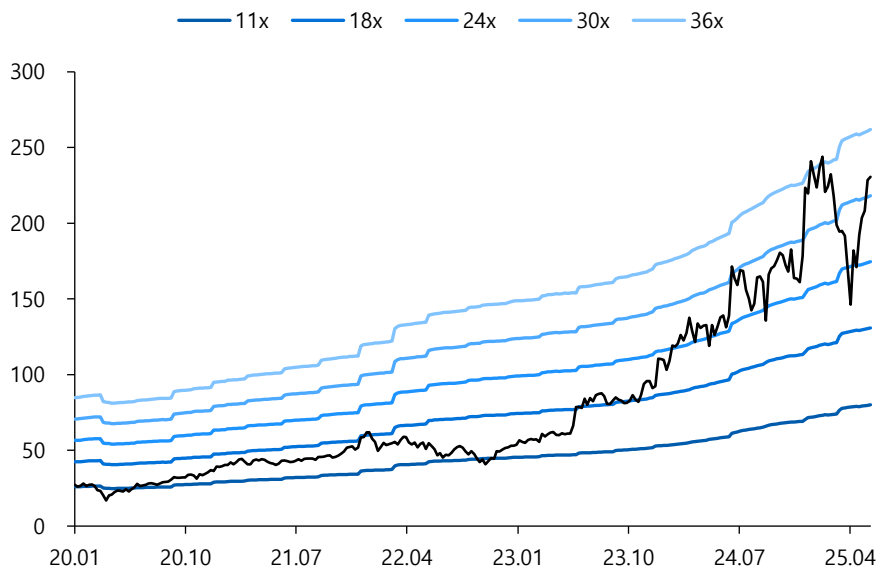
	Face to Back	Face to Face
D2D Signal Density	Limited by TSV density	7x available signal connection through HCB
D2D Signal Performance	Higher parasitic loading	Shorter signal routing, higher performance
Design Flexibility	Reduced options for D2D connection data paths	High flexibility to split ASIC architecture between top/bottom dies

자료: 업계 자료, 유안타증권 리서치센터

Broadcom, 통신 인프라 반도체 역량 레버리지 본격화 -5

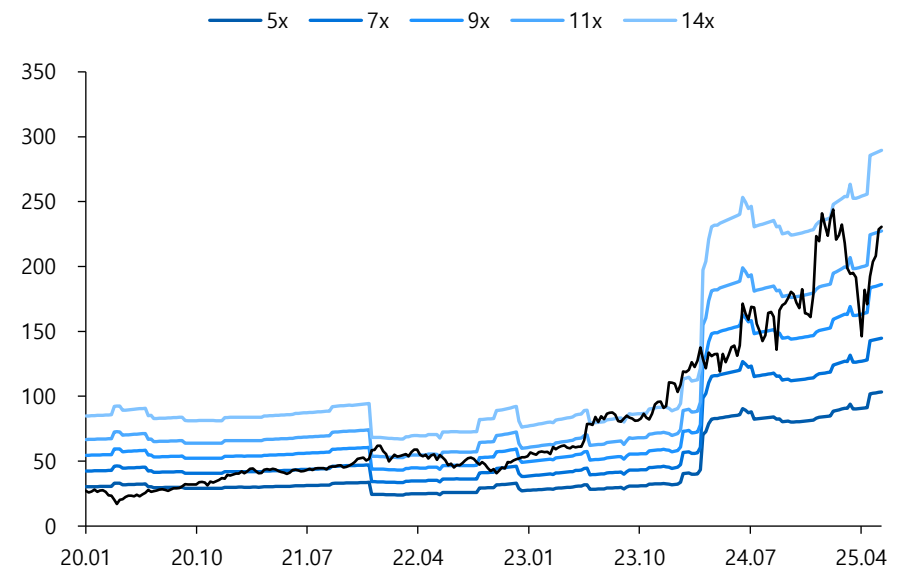
- 최근 AI 및 클라우드 기반 서버 인프라 확산과 함께 고성능 ASIC(XPU) 수요가 급증하면서, Broadcom은 기존 통신 인프라 중심 구조를 넘어 연산용 맞춤형 칩 시장으로 사업 영역을 확장하고 있다. 이는 단순한 네트워크 연결 기술의 확장이 아니라, 대규모 AI 워크로드를 분산 처리하고 특정 연산 환경에 최적화된 전용 컴퓨팅 솔루션 수요에 대응하기 위한 전략이다. 자체 브랜드 SoC를 공급하기보다는, Google, Meta, AWS 등 하이퍼스케일러와 협력해 연산 블록, 메모리, 네트워크 구성 요소를 통합한 맞춤형 AI XPU를 공동 설계하며, 고부가가치 AI 칩 생태계에서 핵심 기술 파트너로 자리 매김 해나갈 것으로 기대한다.

차트 22. Broadcom(AVGO US) 12MF PER



자료: Bloomberg, 유안타증권 리서치센터,
주 : 데이터는 5월 23일 종가 기준 반영

차트 23. Broadcom(AVGO US) 12MF PBR

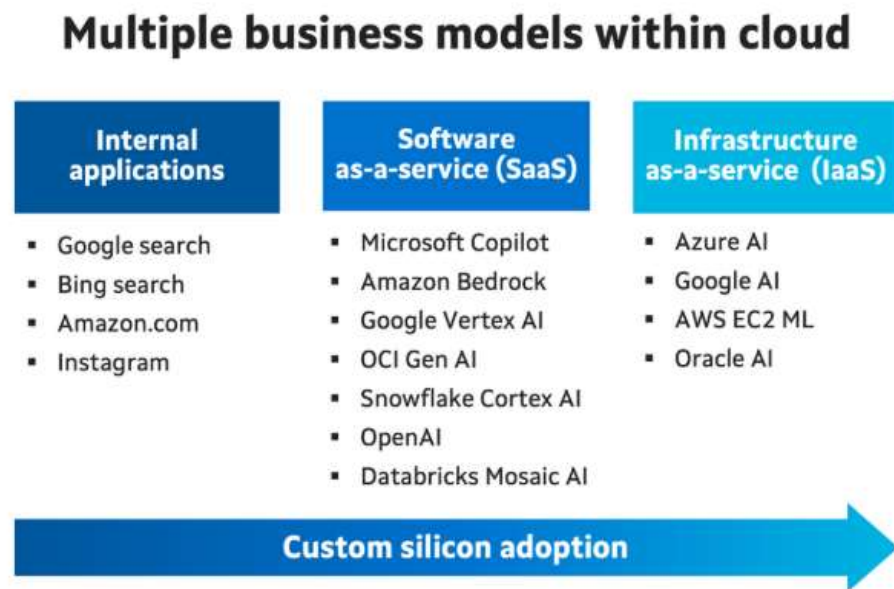


자료: Bloomberg, 유안타증권 리서치센터,
주 : 데이터는 5월 23일 종가 기준 반영

Marvell, ARM 기반 XPU로 AI 인프라의 틈새 공략 -1

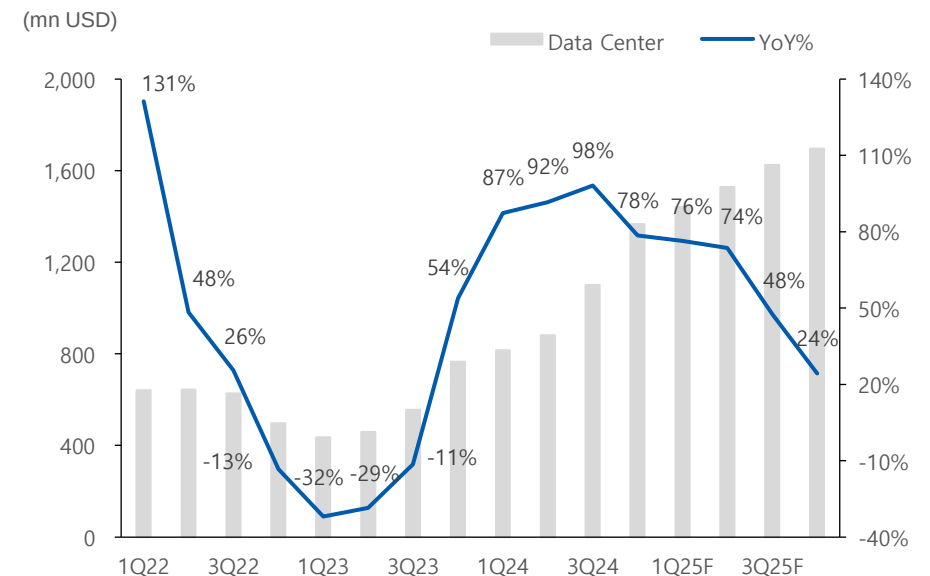
- Marvell은 고속 데이터 입출력(I/O, Input and Output) 제어에 특화된 스토리지 컨트롤러 설계 기업으로 출발했다. 엔터프라이즈 SSD 컨트롤러, RAID 칩셋 등에서 축적한 SoC 설계 역량은, **복잡한 인터페이스 제어와 저전력 처리에 강점**을 보여왔으며, 이는 이후 AI 인프라 시장으로의 확장 기반이 되었다. 최근에는 ARM 기반 SoC 기술을 활용해, 특정 AI 추론 워크로드에 특화된 커스텀 XPU 및 네트워크 솔루션을 통합 제공하고 있다.
- AWS, Microsoft를 포함한 4개 주요 하이퍼스케일러와 협력 맺고 있으며, 일부 고객과는 Customized ASIC의 양산 단계까지 진입한 것으로 파악된다. Marvell의 XPU는 단일 연산 블록을 넘어서, 고성능 I/O 인터페이스, HBM 연동, 고집적 패키징, 네트워크 PHY 등 클라우드 인프라 최적화를 위한 구성 요소를 통합한 SoC 형태로 설계된다. 이는 수직 통합형 학습용 GPU 플랫폼에 대응하는 추론 중심 대안으로, 유연성과 비용 효율성을 중시하는 고객에게 선택지를 제공한다.

그림 09. Custom silicon 도입을 확대하는 하이퍼스케일 데이터센터 시장



자료: Broadcom, 유안타증권 리서치센터

차트 24. Marvell의 Data center 매출액 및 YoY 증감율 추이 및 전망

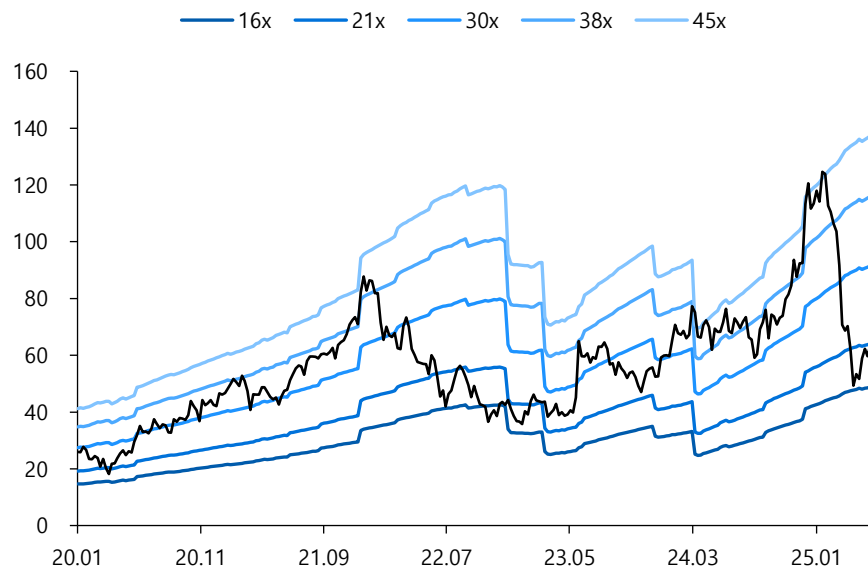


자료: Bloomberg, 유안타증권 리서치센터

Marvell, ARM 기반 XPU로 AI 인프라의 틈새 공략 -2

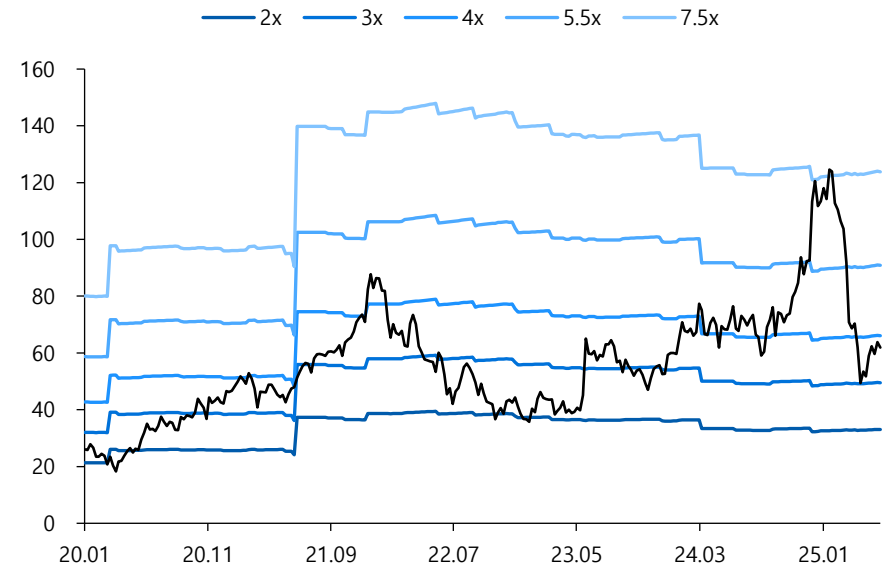
- 동사는 연산 칩 외에도 고속 광통신 부품군인 Optics 분야를 병행하고 있으며, AI 서버 내 XPU 간 고속 연결을 위한 PAM4 DSP, Coherent Optics, 광 트랜시버 등의 제품을 통해 연산-전송 통합 솔루션을 구축하고 있다. 이는 Broadcom의 Ethernet 기반 Switching/Routing 인프라와는 네트워크 계층 구조상 영역이 다르다. Marvell은 AI 서버 내 연산-전송 구조를 동시에 아우르는 전략을 바탕으로, 현재 AI 관련 매출의 절반 이상이 ASIC(XPU), 나머지 절반이 Optics 부문에서 발생하고 있다.
- Google, Meta, NVIDIA와 같은 수직 통합형 플랫폼 기업과는 달리, 대규모 End-to-End AI 시스템을 직접 주도하기보다는, 고객의 아키텍처 설계 초기 단계에서부터 함께하는 커스텀 SoC 파트너 역할에 집중해 나갈 것으로 전망한다. 한편 ARM 및 RISC-V 기반 연산, 고속 인터페이스, 모듈형 설계 등 기술적 유연성은 Marvell의 핵심 차별화 요인으로 작용한다. 추가로 선단 공정 및 고급 패키징 기술을 제공하는 파운드리 생태계와의 협력이 강화될 경우, 특정 AI 워크로드 수요에 적합한 커스텀 XPU의 기술 완성도와 공급 안정성이 더욱 제고될 수 있을 가능성을 배제할 수 없다는 판단이다.

차트 25. Marvell(MRVL US) 12MF PER



자료: Bloomberg, 유안타증권 리서치센터,
주 : 데이터는 5월 23일 종가 기준 반영

차트 26. Marvell(MRVL US) 12MF PBR



자료: Bloomberg, 유안타증권 리서치센터,
주 : 데이터는 5월 23일 종가 기준 반영

AI가 바뀌나갈 스마트폰 설계 철학

- 스마트폰은 이제 단순한 통신 기기가 아니라, 실시간 생성형 연산의 허브로 진화하고 있다. 이에 따라 SoC 업체들은 단순한 연산 성능 경쟁을 넘어, AI 기능을 어떤 방식으로 기기 내에 통합하고, 어떤 사용자 경험을 제공할 것인가에 대한 '철학'과 전략을 내세우고 있다.
- Apple은 가장 일찍부터 온디바이스 AI 연산을 위한 전용 블록인 Neural Engine을 도입했으며, 이를 자체 서버 인프라인 PCC(Private Compute Cloud)와 연계하는 구조로 확장하고 있다. 반면 Huawei는 미국 제재 이후 Google 생태계 및 ARM IP와의 단절을 계기로, 완전히 독립적인 AI 스마트폰 아키텍처를 구축하고 있다. Google은 Tensor G1 출시 이후, AI 중심 SoC 설계를 본격화했다. 현재는 경량화된 온디바이스 모델(Gemini Nano)과 클라우드 기반의 대형 모델(Gemini Cloud)을 병행하는 혼합형 접근 방식을 취하고 있다.
- Qualcomm은 Snapdragon 시리즈를 통해 다양한 OEM이 AI 기능을 구현할 수 있도록 Hexagon NPU 기반의 범용 플랫폼을 제공하고 있으며, LLM 추론, 이미지 생성 등 고부하 작업을 위한 연산 블록도 빠르게 고도화하고 있다. MediaTek은 Dimensity 시리즈를 통해 프리미엄 및 중가 모델에서의 저전력 AI 연산에 강점을 가지며, 경량 LLM 및 이미지 처리 기능을 오프라인에서도 활용할 수 있는 구조를 확장 중이다.

표 15. 제조사별 최신 Mobile AP 성능 및 주요 특징

제조사	칩셋 모델	NPU 성능(TOP)	주요 특징
Apple	A18 Pro	35 TOPS	총 16개 코어 구성, Apple Intelligence 최적화, 메모리 대역폭 17% 향상
Huawei	Kirin 9010	비공개	NPU 성능 비공개, 총 12개 코어 구성, 이전 모델 대비 NPU 속도 35% 향상
MediaTek	Dimensity 9400+	50 TOPS	8세대 NPU 890, LLM 최적화, FP8 추론 지원에 따른 AI 추론 성능 20% 향상, 전력 효율 40% 향상
Qualcomm	Snapdragon 8 Gen 3	45 TOPS	Hexagon NPU, 2세대 대비 속도 98% 향상, 전력 효율 40% 향상

자료: 각 사, 유안타증권 리서치센터

Apple, 'Neural Engine'과 'Apple Silicon PCC' -1

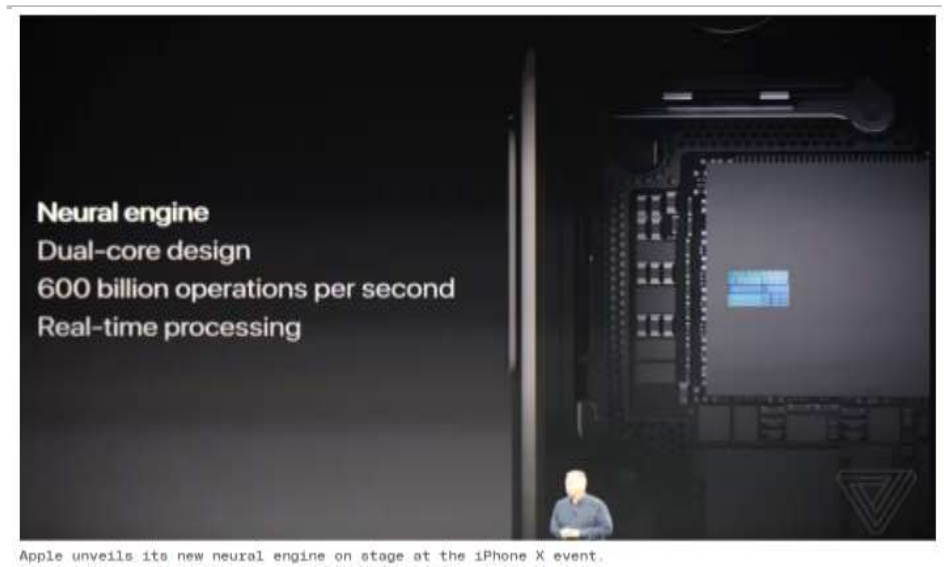
- Apple은 2017년 A11 Bionic부터 맞춤형 AI 연산 블록인 Neural Engine을 자사 SoC에 탑재하며, 스마트폰에 전용 NPU를 가장 먼저 도입한 기업이다. 당시 Android 진영은 아직 GPU나 DSP(Digital Signal Processor) 기반의 연산 구조에 의존하고 있었고, 일부 기업이 AI 연산 기능을 실험적으로 구현하던 단계에 불과했다. 반면 Apple은 얼굴 인식(Face ID), 사진 보정, 오프라인 음성 인식(Siri) 등 사용자 중심의 기능을 디바이스 내에서 빠르고 안전하게 처리하는 AI 연산 구조를 일관되게 설계해왔다. 이 전략은 단순한 성능 확보를 넘어, Apple이 강조해온 '사용자 데이터는 로컬에서 처리해야 한다'는 프라이버시 중심의 보안 설계 철학, 그리고 배터리 지속시간을 중시하는 UX 최적화 기조와도 밀접하게 연결되어 있다. Neural Engine은 CPU와 GPU보다 훨씬 낮은 전력으로 AI 연산을 가능하게 했고, iOS와의 긴밀한 통합을 통해 애플리케이션 전반에서 일관된 성능과 에너지 효율을 제공해왔다.
- 이러한 흐름 속에서 Apple Neural Engine 역시 기능적 진화를 요구받고 있다. 사용자의 문맥에 따라 실시간으로 연산 경로를 최적화하고, 멀티모달 입력을 통합적으로 처리하는 등 **동적 연산 구조로의 전환이 핵심 과제로 지속 부각될** 것이다. 최근 모바일 기기에서 구현되는 생성형 AI 기능은 실시간 대화 맥락 유지, 시각정보 해석, 사용자 선호 기반 콘텐츠 생성 등 복합적인 연산 흐름을 요구한다. 이에 따라 Neural Engine은 단순한 연산 유닛을 넘어, 메모리 접근 최적화, 데이터 입출력 스케줄링, 모델 호출 타이밍 제어 등 시스템 전반의 AI 처리 흐름을 조율할 수 있는 지능형 연산 허브로서의 역할을 수행할 것으로 예상된다.

표 16. Apple의 Bionic 시리즈 스펙 변화

칩셋	출시연도	CPU 구성 (성능/효율)	클럭 속도	제조 공정	트랜지스터 수	뉴럴 엔진 성능
A11	2017	2×Monsoon / 4×Mistral	최대 2.39GHz	10nm	약 43억	없음
A12	2018	2×Vortex / 4×Tempest	최대 2.49GHz	7nm	약 69억	5 TOPS
A13	2019	2×Lightning / 4×Thunder	최대 2.65GHz	7nm	약 85억	6 TOPS
A14	2020	2×Firestorm / 4×Icestorm	최대 3.0GHz	5nm	약 118억	11 TOPS
A15	2021	2×Avalanche / 4×Blizzard	최대 3.24GHz	5nm	약 158억	15.8 TOPS
A16	2022	2×Everest / 4×Sawtooth	최대 3.46GHz	4nm	약 160억	약 17 TOPS
A17 Pro	2023	2×Everest / 4×Sawtooth	최대 3.78GHz	3nm	약 190억	35 TOPS
A18	2024	2×Everest / 4×Sawtooth	최대 4.04GHz	3nm	미공개	35 TOPS
A18 Pro	2024	2×Everest / 4×Sawtooth	최대 4.04GHz	3nm	미공개	35 TOPS

자료: 업계 자료, 유안타증권 리서치센터

그림 10. 2017년 Apple사의 Neural engine 공개



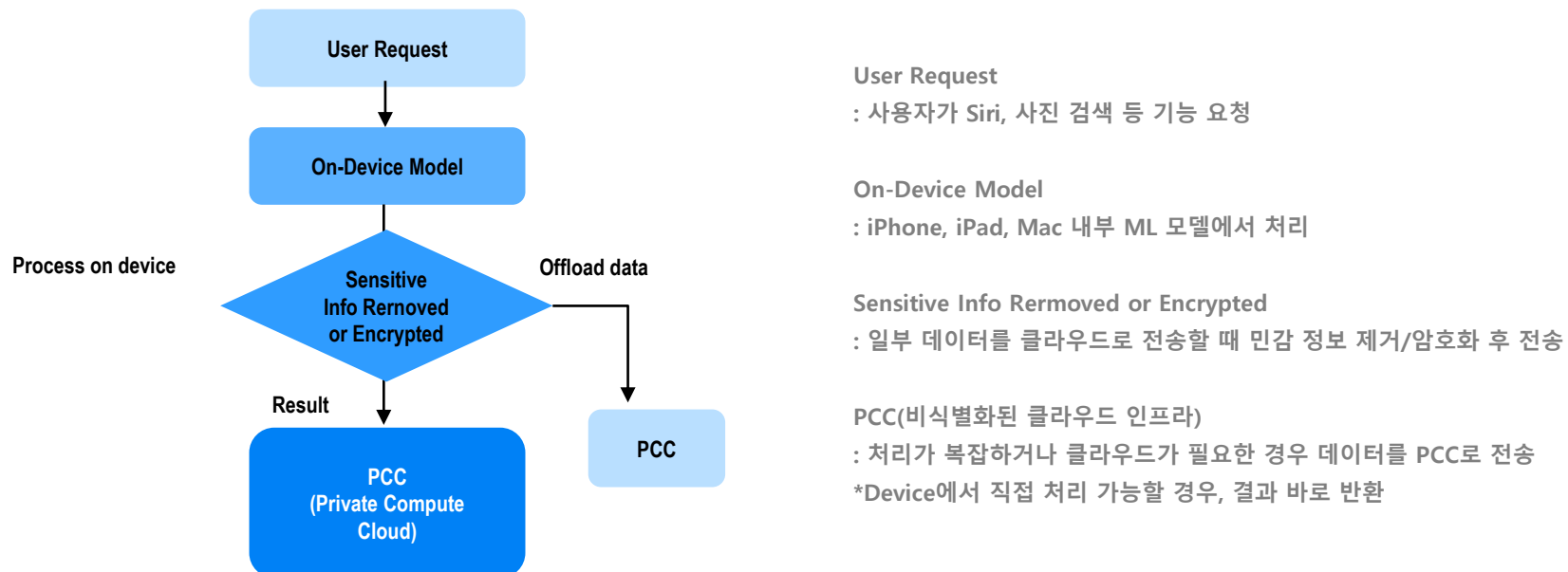
Apple unveils its new neural engine on stage at the iPhone X event.

자료: Apple, 유안타증권 리서치센터

Apple, 'Neural Engine'과 'Apple Silicon PCC' -2

- 단순한 저전력 추론 전용 구조만으로는 점차 대응이 어려워지고 있다. Apple도 최근 iOS 18과 macOS 최신 버전을 통해 관련 기능을 고도화하고 있다. 일부 고연산 작업은 디바이스 내에서 처리하지 않고, Apple이 직접 운영하는 Apple Silicon 기반 서버 인프라(PCC, Private Compute Core)와 연동되도록 설계되고 있다. 이 구조는 복잡한 생성형 AI 연산이 필요한 경우, 일부 데이터를 서버로 전송해 연산을 분담하는 방식이며, 사용자의 민감한 정보는 로컬 디바이스에 안전하게 유지되고 서버에는 필수 최소한의 정보만 전달되도록 구성되어 있다.
- 이러한 접근은 프라이버시 보호를 최우선 가치로 삼는 Apple의 철학을 유지하면서도, 생성형 AI 기능의 복잡성과 실시간성을 만족시키기 위한 정교한 절충안이다. 특히 PCC는 칩부터 OS, 클라우드 인프라까지 하나의 통합된 생태계 안에서 구현된 구조로, 현재로서는 타 스마트폰 제조사들이 따라가기 어려운 수준의 프라이버시 중심 분산 연산 설계 방식이다. 이는 Apple만의 경쟁 우위라는 점이 동사의 향후 디바이스 수요에 긍정적으로 작용할 것이라는 판단이다. 다만 동사가 향후 AI 기능 확대하며 Hybrid 방식을 고수하겠지만, 클라우드 비용 등을 감안하면 **Bionic 칩셋의 고도화가 우선** 시 될 가능성이 높다는 판단이다.

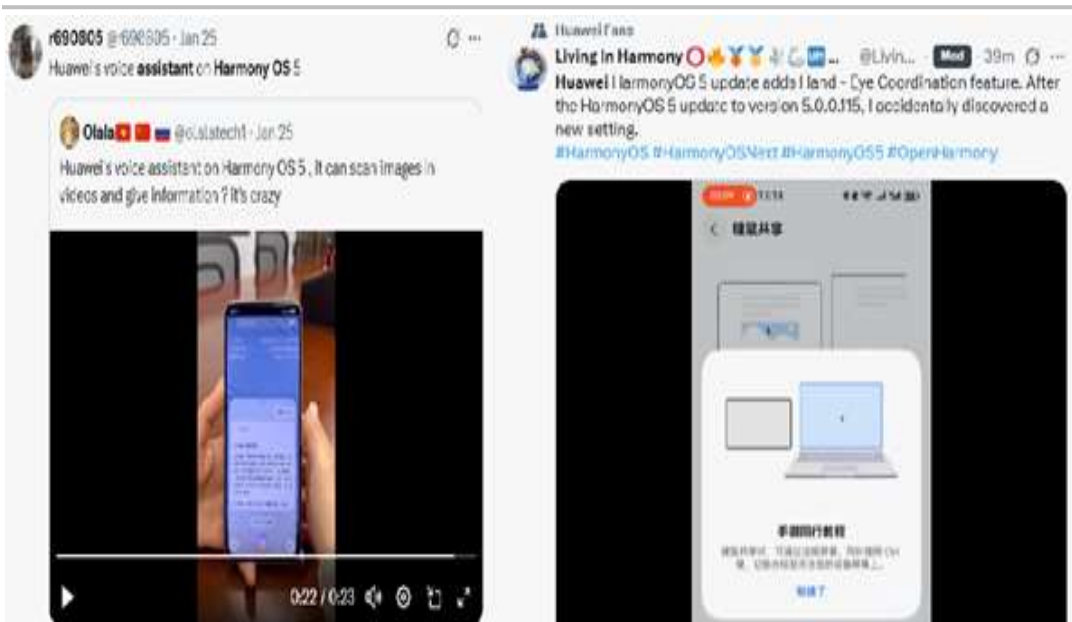
그림 11. Apple Silicon의 PCC 주요 기술 요소 및 작동 원리



Huawei, 이상적 온디바이스 AI 구조의 현실화-1

- Google의 Android 생태계에 깊숙이 의존하던 Huawei는, 2019년 미국 정부의 제재 이후 스마트폰 사업의 근간이 흔들리는 상황에 직면했다. Google Mobile Services(GMS) 사용이 차단되고, ARM 기반 칩 설계 접근도 제한되었다. 이에 동사는 하드웨어와 소프트웨어 모두에서 독자 노선을 택할 수밖에 없는 상황에 놓였다. 하지만 이는 기술 자립을 향한 전환점이 되었고, 그 결과 Kirin 시리즈 SoC와 HarmonyOS 기반의 독립 생태계가 탄생했다.
- 최근 출시된 Mate 70, Mate X6, MatePad Pro 시리즈 스마트폰에는 SMIC 7nm 공정 기반의 Kirin 9000S 혹은 9020 칩셋이 탑재되어 있으며, Da Vinci 아키텍처 기반의 NPU를 통해 다양한 생성형 AI 기능을 기기 내부에서 직접 실행할 수 있는 수준까지 도달한 것으로 파악된다. 특히 2024년부터 적용된 HarmonyOS NEXT는 'AI 어시스턴트 버튼(Celia, 인터페이스)'을 통해 다수의 AI 모델(Pangu, Baichuan, Spark 등)을 상황에 맞게 호출할 수 있도록 구성되었다. 현재 Huawei 유저들은 별도 앱 설치나 인터넷 연결 없이 문서 요약, 텍스트 생성, 이미지 분석 등의 기능을 수행할 수 있다.

그림 12. 화웨이 Harmony OS NEXT, 어시스턴트



자료: X, 유안타증권 리서치센터

그림 13. 화웨이 최신 스마트폰 내 다수의 AI 모델 탑재 (2025.03)



자료: 유안타증권 리서치센터

Huawei, 이상적 온디바이스 AI 구조의 현실화-2

- 이러한 구조는 단순히 하나의 대형 모델을 호출하는 방식이 아니다. 여러 개의 경량화된 AI 모델(PanGu, Scene-Aware, DeepSeek 등)이 디바이스 내에 사전 탑재되어 있고, HarmonyOS가 필요한 순간 가장 적합한 모델을 자동 선택해 실행하는 방식이다. 이때 모델은 하드웨어에 병렬 배치된 것이 아니라, 운영체제(Harmony Intelligence Framework) 차원에서 관리되는 소프트웨어 자원으로 구성되며, 각 기능과 사용자 인터페이스에 맞게 시스템 레벨에서 호출된다.
- 즉 기존 Android나 iOS와 달리, AI 기능을 앱 외부에 ‘플러그인’처럼 붙이는 방식이 아니라, **운영체제 내부에 통합된 시스템 서비스처럼 구성**해 사용자가 직접적으로 인식하지 않아도 모델이 자연스럽게 OS 동작에 개입하는 구조를 지닌다. 이는 Apple이 Neural Engine과 Private Compute Cloud(PCC)를 연계해 일부 연산을 클라우드에 분산시키는 전략과 다소 대비되며, Huawei는 대부분의 연산을 디바이스 내부에서 완결하는 구조를 지향한다.

그림 14. 화웨이와 Pangu LLM 협력



자료: Pangu, 유안타증권 리서치센터

그림 15. Huawei Intelligence 3rd party 서비스 종류



자료: Huawei, 유안타증권 리서치센터

Huawei, 이상적 온디바이스 AI 구조의 현실화-3

- Huawei가 이러한 방식에 집중하는 이유는 단순한 기술 효율성만이 아니다. HarmonyOS NEXT는 앱 중심의 모바일 UX를 넘어서, AI가 운영체제와 사용자 경험 전반을 재정의하는 핵심 구성 요소로 작동하고 있다. 클라우드 인프라(Huawei Cloud)를 충분히 갖추고 있음에도 스마트폰 영역에서는 로컬 연산에 집중하는 방식은, **외부 생태계와의 의존을 줄이고 자체 기술 기반의 사용자 경험을 극대화**하려는 전략적 선택일 것으로 예상된다.
- 화웨이의 엣지 중심 AI 전략은 단순한 연산 성능의 문제가 아니라, OS와 칩, UX 전반의 통합 설계를 통해 독자 생태계를 구축하고자 하는 방향성 속에서 나온 접근이다. 결과적으로 Huawei는 AI를 단순한 기능 보완 요소가 아닌, 미래형 스마트폰 플랫폼의 핵심 엔진으로 설정하고 있다. HarmonyOS 생태계가 중국 내를 넘어 글로벌 시장까지 확장될 경우, Android 진영에서도 Huawei의 접근 방식을 벤치마킹하려는 흐름이 본격화될 가능성도 배제할 수 없다는 판단이다.

표 17. 주요 스마트폰 브랜드별 AI 호출 구조 비교

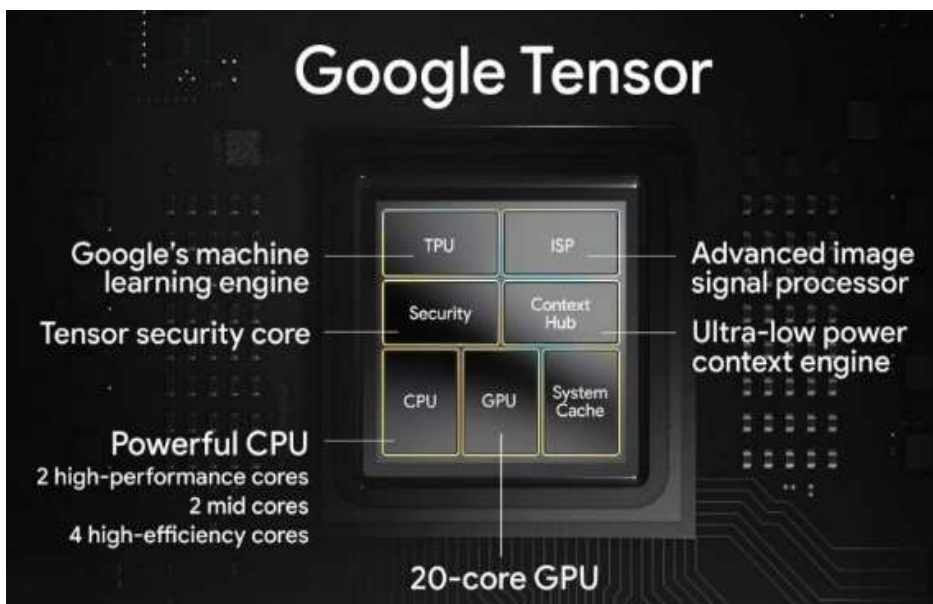
항목	HarmonyOS NEXT (Huawei)	iOS (Apple)	Android (Google / Pixel)
모델 위치	디바이스 내부 (사전 탑재된 다수의 소형 모델)	일부 온디바이스 + Apple PCC 클라우드 연동	일부 온디바이스(Gemini Nano) + 클라우드 기반 모델(Gemini 1.5 Pro 등)
호출 방식	운영체제 레벨에서 시스템 서비스처럼 모델 호출	앱/기능 호출 시 특정 모델만 연동(ex: Siri, Photos 내 기능)	앱 또는 OS 기능이 모델을 필요 시 호출 (예: Android System Intelligence)
모델 수	Pangu, DeepSeek, Baichuan, Spark 등 다수 모델 병렬 탑재 및 선택 호출	Neural Engine에 최적화된 Apple 모델 중심	Gemini Nano 또는 앱별 경량 모델 1~2개 중심
사용자	AI 버튼 또는 시스템 전반의	Spotlight, Siri, 앱 내부에서 호출	Android 어시스턴트, Now Playing,
인터페이스	이벤트 기반 호출 (예: 텍스트 선택 → 요약)		메시지 추천 등 특정 UX에만 제한 적용
연산 위치	대부분 엣지(On-device)에서 처리, 일부 클라우드 연동 가능성 있음	소형 모델은 온디바이스, 복잡한 생성형은 PCC 서버 처리	Nano는 엣지, 나머지는 대부분 Google Cloud 연동
개발 철학	"AI는 OS의 기본 기능이다" → AI가 앱을 대체	"AI는 기존 UX를 보완하는 기능"	"AI는 선택적 기능, 구글 서비스와 통합"

자료: 업계 자료, 유안타증권 리서치센터

Google Tensor, Android 스마트폰 테스트베드의 힌트 -1

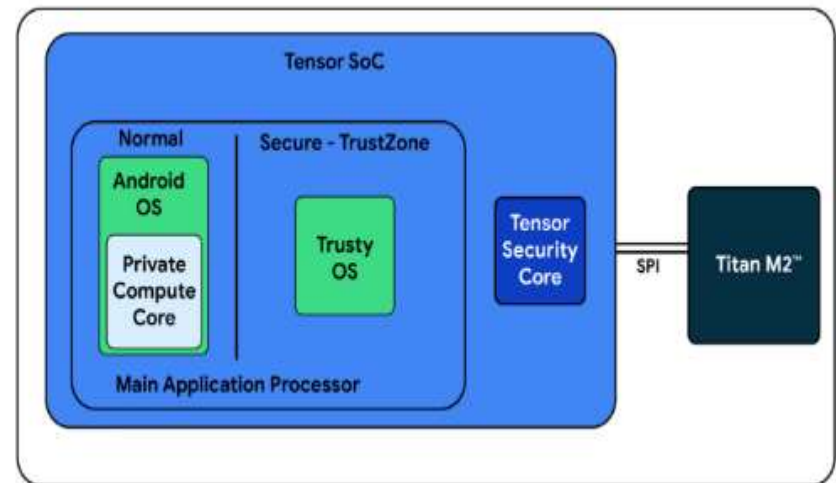
- Google은 2021년 Pixel 6에 최초의 자체 설계 SoC인 Tensor G1을 탑재하며, 스마트폰에서의 AI 연산 전략을 근본적으로 전환하기 시작했다. 그동안 Qualcomm Snapdragon 칩셋에 의존해온 Google이 직접 SoC 설계에 나선 이유는, 자사 AI 서비스(음성 인식, 이미지 편집, 실시간 번역 등)를 하드웨어 수준에서 최적화하고, 클라우드와의 연계를 옛지로 확장하기 위한 전략적 결정이었다. Tensor 시리즈는 단순히 성능 향상을 위한 칩이 아니라, Google이 지향하는 'AI 중심 사용자 경험'을 실현하기 위함이다.
- Tensor 시리즈는 설계 초기부터 AI 연산 중심 구조를 지향해왔다. 1세대 G1은 삼성 Exynos 기반에 Google의 커스텀 ISP와 AI 가속기(NPU, Edge TPU)를 탑재하며, 기기 내에서의 실시간 이미지 처리 및 음성 인식 등 Google 특유의 AI 기능을 구동할 수 있는 기반을 마련했다. 이후 G2와 G3는 멀티모달 처리 효율, 발열 제어, SoC-OS 통합 최적화가 점차 강화되었으며, G3부터는 Google의 경량 LLM인 Gemini Nano를 연동하는 구조가 도입되며, 기기 내 LLM 추론 시대의 실질적 개막을 알렸다. 이를 통해 Pixel 사용자들은 Magic Eraser, 실시간 자막, 오프라인 번역 등 클라우드 없이도 작동하는 생성형 AI 기능을 경험할 수 있게 되었다.

그림 16. Google의 Pixel 6 시리즈부터 도입한 Google 자체 개발 Tensor SoC



자료: Google, 유안타증권 리서치센터

그림 17. Google의 Tensor SoC의 보안 구조 (2021년)

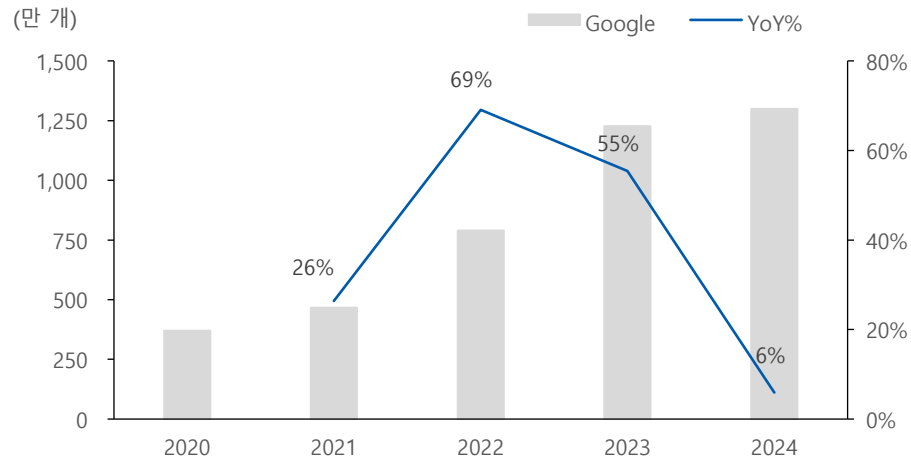


자료: 업계 자료, 유안타증권 리서치센터

Google Tensor, Android 스마트폰 테스트베드의 힌트 -2

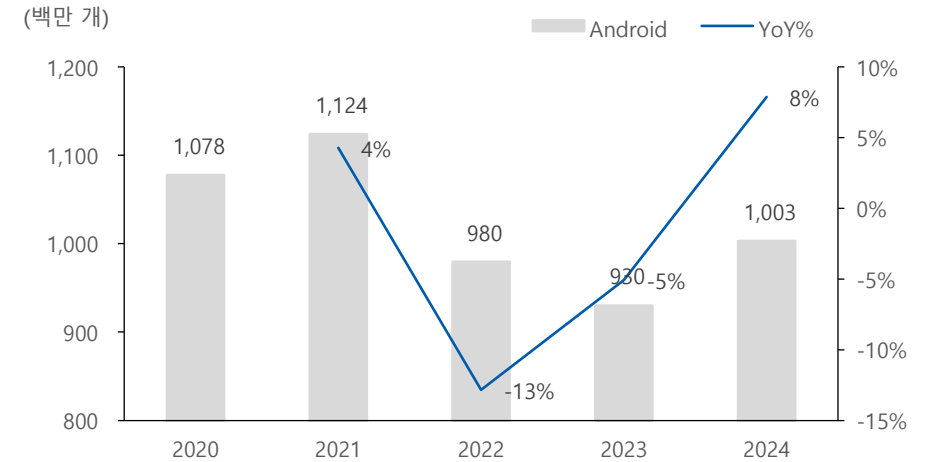
- 2024년 Tensor G4는 CPU와 NPU 아키텍처의 소폭 개선과 함께, 전력 효율성과 5G 통신 안정성을 강화한 모델로 출시되었다. 하지만 구조적으로는 여전히 삼성과의 공동 개발 방식에 기반한 설계로, AI 연산 최적화에는 일정한 한계를 지닌 상태였다. 반면, 차기작인 Tensor G5부터는 Google이 SoC 설계 전반을 직접 주도하고, 제조 파트너 역시 삼성에서 TSMC로 전환되며, 완전한 커스텀 실리콘(Custom Silicon) 전략으로 전환될 전망이다. 특히 TSMC의 최신 3nm 공정(N3E) 기반 설계를 통해, 전력 효율, 발열 제어, 통신 품질에 있어 보다 정밀한 최적화가 가능해질 것으로 예상된다.
- Tensor G5에 Google Cloud에서 사용 중인 TPU(Tensor Processing Unit)의 경량화 버전이 통합될 가능성이 높아졌다는 점을 주목한다. TPU는 본래 대규모 언어 모델 학습과 추론을 위해 설계된 고성능 병렬 연산 유닛으로, 기존 모바일 NPU 대비 행렬 처리 및 연산 효율에서 본질적인 차이를 지닌다. Google은 그동안 서버와 Pixel 디바이스 간 AI 아키텍처의 불일치 문제로 인해, On-Device 최적화와 생태계 일관성 확보에 어려움을 겪어왔다. Tensor G5는 이를 해결하기 위한 구조적 시도로, 서버와 모바일 간 연산 아키텍처를 통합하는 기반으로 해석된다.
- 실제 Google은 2023년부터 Pixel 스마트폰에 자체 언어모델인 Gemini Nano를 탑재하기 시작했으며, 향후 Tensor G5를 기점으로 Gemini 1.5 수준의 복잡한 생성형 연산까지 단계적으로 온디바이스화하려는 전략을 추진 중인 것으로 파악된다. 이는 Apple이 Neural Engine과 Private Compute Cloud(PCC)를 연계해 AI 생태계를 고도화하는 전략과 유사하게, Google 역시 Gemini와 Tensor 간 수직적 통합을 통해 Android 플랫폼 전반의 AI 대응력을 끌어올리려는 움직임으로 해석된다. 동시에, Huawei가 HarmonyOS 기반의 경량 모델 자동 배치 구조를 통해 엣지 AI 전략을 강화하고 있는 것에 대한 기술적 대응이기도 하다. 결과적으로 Tensor G5는 단순한 성능 개선을 넘어, Google의 AI 반도체 주권 확보와 Gemini 생태계의 로컬화 전략이라는 두 가지 목표를 동시에 내포하고 있다. 이는 Pixel 시리즈의 제품력뿐 아니라, Android 전반의 AI 경쟁력 및 연산 구조 표준화에 중요한 전환점이 될 것으로 판단한다.

차트 27. Google 스마트폰 연간 출하량 및 증감율 (2020~2024년)



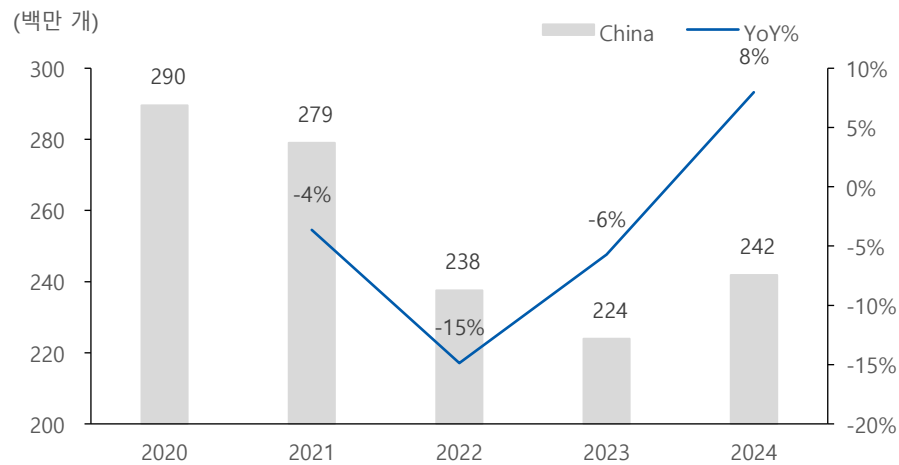
자료: IDC, 유안타증권 리서치센터

차트 28. Android 스마트폰 연간 출하량 및 증감율 (2020~2024년)



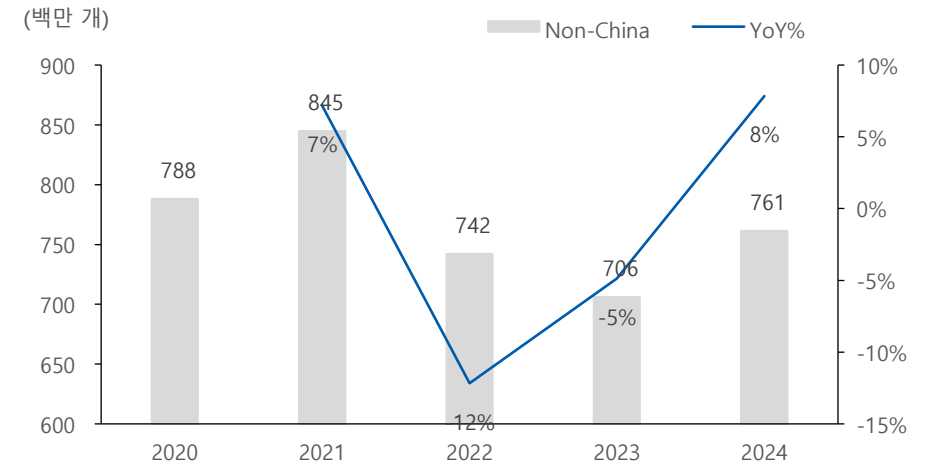
자료: IDC, 유안타증권 리서치센터

차트 29. Android OS 기반 중국브랜드 스마트폰 출하량 및 증감율 (2020~2024년)



자료: IDC, 유안타증권 리서치센터

차트 30. Android OS 기반 중국외 브랜드 스마트폰 출하량 및 증감율 (2020~2024년)



자료: IDC, 유안타증권 리서치센터

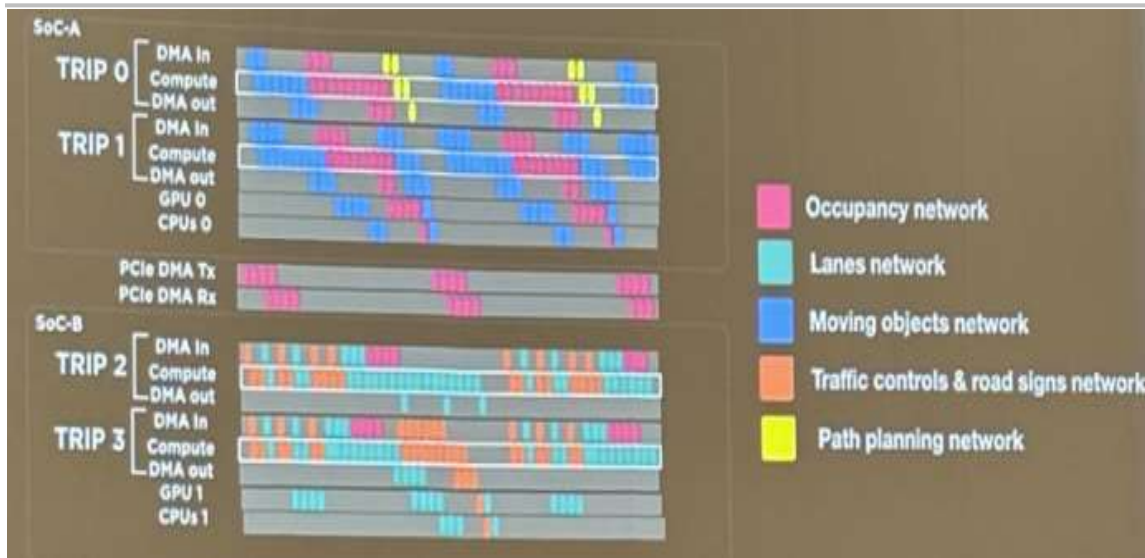
연산 주권 vs. 전장 플랫폼의 유연성

- 자율주행 AI 칩 시장은 단순한 고성능 경쟁을 넘어, 누가 연산 주권을 확보하고, 어떤 방식으로 차량 내 플랫폼과 통합할 것인가라는 전략적 질문으로 진화하고 있다. 센서 융합, 실시간 추론, 판단 알고리즘 등 복합 연산 구조에 대응하기 위해, 전용 AI SoC의 수요는 빠르게 확대 중이다. 이 과정에서 기업들은 크게 세 가지 전략 축으로 나뉜다.
- 먼저 **연산을 완전히 내재화**하는 모델로는 Tesla가 대표적이다. Tesla는 FSD 칩과 Dojo 슈퍼컴퓨터를 기반으로 차량/클라우드 연산을 수직 통합하며, 폐쇄형 AI 추론 루프를 자체 구축하고 있다. Mobileye는 칩과 알고리즘을 일체형으로 공급하는 ‘패키지형 플랫폼’ 전략을 통해 빠른 상용화에 초점을 맞추고 있으며, 종합 플랫폼 중 가장 높은 내재화 완성도를 보여준다.
- 반대로 NVIDIA는 칩셋과 개발 툴을 함께 제공하면서도 **알고리즘은 고객사가 개발하도록 하는 ‘개방형 연산 인프라’** 전략을 추구한다. 이는 Mercedes-Benz, NIO 등 일부 OEM들이 자율주행 모델 주권을 확보하고자 할 때 유리한 구조다. Qualcomm은 저전력 설계와 모듈형 비전 스택을 앞세워, 중가형 차량 중심의 유연한 통합 전략을 추진 중이며, NVIDIA와 Mobileye 사이에서 하이브리드형 포지션을 점하고 있다.
- 한편, Ambarella는 판단/제어까지 아우르진 않지만, 영상 인식 특화형 AI 칩을 소형 모듈에 최적화해 제공함으로써 ADAS 확산기에 실용적인 **Niche market 솔루션**으로 기능하고 있다. Baidu Kunlun, Huawei MDC, Horizon Robotics 등 중국 팹리스 기업들도 내수 중심으로 고도화된 자율주행 SoC를 빠르게 개발 중이며, Tier 1과의 협력 구조를 기반으로 수직 통합형 생태계 확보를 시도하고 있다.
- 결국, 전장 AI 칩 시장의 헤게모니는 누가 AI 연산을 설계하고 통제할 것인가”를 둘러싼 경쟁이다. 자체 개발과 커스터마이징, 기능 분업 구조 사이에서 각 기업은 기술적 선택과 전략적 속도에 따라 서로 다른 생존 모델을 구축해 나가고 있다.

Tesla, 전장 인프라 기업으로 도약 기대-1

- Tesla는 자율주행 완성도를 높이기 위해 차량 내 실시간 추론 칩(FSD)과 대규모 학습용 슈퍼컴퓨터(Dojo)를 모두 자체 설계하는 독자적 접근을 취한다. 2019년부터 차량에 탑재된 FSD(Full Self Driving) 칩은 고신뢰성, 초저지연 추론을 위한 구조로 설계되었으며, 범용 GPU 대비 전력 효율과 실시간 처리 최적화 측면에서 강점을 지닌다. 특히 해당 칩은 차선, 정지선, 교통 신호, 이동 물체 등 다중 신경망을 동시에 처리할 수 있도록 설계되어 있으며, Tesla는 이 구조를 Hybrid Parallelism이라 정의한다. 이는 GPU 내 시간 분할(Time-Sliced Execution)과 공간 분할(SoC 간 분산 병렬 실행)을 병행하는 방식으로, 수십 개의 네트워크를 매 프레임 단위로 안정적으로 병렬 처리할 수 있다.
- 이러한 차량 내 AI 연산 구조를 실질적으로 뒷받침하는 것이 Dojo 슈퍼컴퓨터다. 기존 GPU 클러스터 기반 학습 인프라는 공간, 전력, 대역폭 효율성에서 한계가 존재했다. Tesla는 이를 극복하기 위해 자체 설계한 D1 칩과 Dojo Tile, ExaPOD로 구성된 수직 통합형 AI 학습 인프라를 구축했다. 특히 Dojo의 핵심은 TTP(Tesla Transport Protocol)로, DIP(Dojo Interface Processor)의 **고대역폭 HBM을 연산 타일에 거의 직결 방식으로 공급함**으로써 병목을 제거한다. TTP는 최대 900 GB/s의 전송 대역폭을 제공하며, PCIe나 NVLink 대비 훨씬 단순화된 경로로 AI 연산을 공급할 수 있도록 설계되었다. 이를 통해 Tesla는 메모리-연산 간 데이터 흐름을 재정의하고, AI 학습 성능을 칩 설계 수준에서 극적으로 끌어올릴 수 있게 되었다.

그림 18. Tesla FSD 네트워크 내 Hybrid Parallelism



자료: 업계 자료, 유안타증권 리서치센터

표 18. 전통적 서버와 Tesla Dojo 서버의 연산 구조 비교

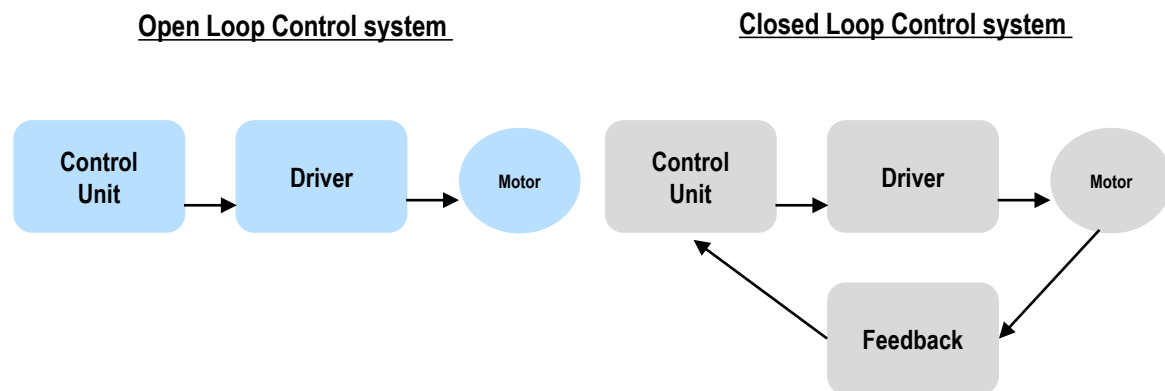
변화 항목	전통형 서버	Dojo형 AI 서버
아키텍처 중심	CPU+GPU 조합	연산 타일 + HBM 직결
데이터 경로	DRAM → CPU → PCIe → GPU	HBM → TTP → Tile
IO 구조	PCIe 중심	전용 인터커넥트 중심 (TTP 등)
메모리 구조	CPU DRAM 중심	연산에 붙은 HBM 구조
네트워크	InfiniBand / Ethernet	TTPoE / 통합 직결 패브릭
대역폭	수십~수백 GB/s 수준	900 GB/s 수준의 직접 대역폭
확장성	노드 기반 스케일	타일 기반 수직 스케일링

자료: 업계 자료, 유안타증권 리서치센터

Tesla, 전장 인프라 기업으로 도약 기대-2

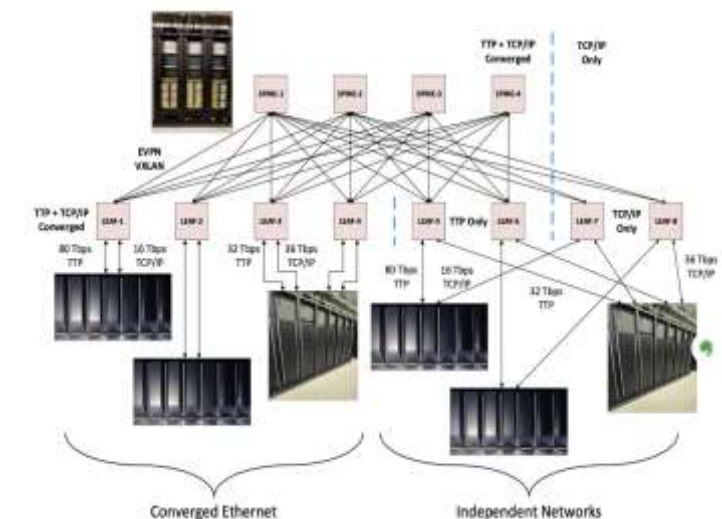
- FSD 칩과 Dojo는 단순히 독립적인 칩셋이 아니라, 학습-추론-배포를 하나의 폐쇄 루프(Closed loop)로 연결하는 구조를 구성한다. 차량에서 수집된 센서 기반 주행 데이터는 Dojo에서 고속 학습하고, 그 결과는 다시 OTA 방식으로 차량에 업데이트된다. 이처럼 학습과 추론 경로가 유기적으로 연결된 구조는, AI 기반 자율주행의 전체 사이클을 하드웨어-소프트웨어-데이터 인프라까지 포함해 수직적으로 통제할 수 있다는 점에서 기존 생태계와 본질적으로 차별화된다.
- Tesla의 칩 전략은 단순한 성능 경쟁을 넘어, 자율주행이라는 문제 자체를 통합된 AI 컴퓨팅 시스템으로 재정의하려는 시도로 볼 수 있다. 전통적인 완성차 업계가 외부 반도체 공급사에 연산 칩을 위임하는 구조와 달리, Tesla는 **전장 AI 아키텍처 자체를 내재화**함으로써 연산 구조에 대한 주권과 최적화 자유도를 확보하고 있다. 이는 단순한 칩 자체의 우위라기보다는, AI 컴퓨팅 인프라를 플랫폼으로 통합하려는 전략적 방향성이 반영된 결과다.
- 일각에서는 Dojo 인프라의 외부 개방 가능성도 제기되고 있다. 완성차 OEM에 대한 직접 판매는 경쟁 관계나 기술 독립성 이슈로 인해 현실성이 낮지만, 물류, 로봇틱스, 비전 AI, 스마트 팩토리 등 차량 외 산업군에서는 Dojo의 고속 병렬 학습 능력에 대한 수요가 존재할 수 있다. 특히 TTP 및 DIP 아키텍처는 추후 CXL, UCIe, 또는 차세대 AI 서버 구조와 결합될 여지가 있으며, 제한적 개방이 이뤄질 경우 Dojo는 자율주행 학습용 인프라를 넘어 AI 서버 아키텍처 자체의 방향성을 선도하는 플랫폼으로 외연을 확장할 가능성도 배제할 수 없다는 판단이다.

그림 19. Open Loop system vs. Closed Loop system



자료: 유안타증권 리서치센터

그림 20. Tesla Dojo 엔지니어링 시스템



자료: 업계 자료, 유안타증권 리서치센터

BYD, 기술 내재화와 파트너 전략의 조화 -1

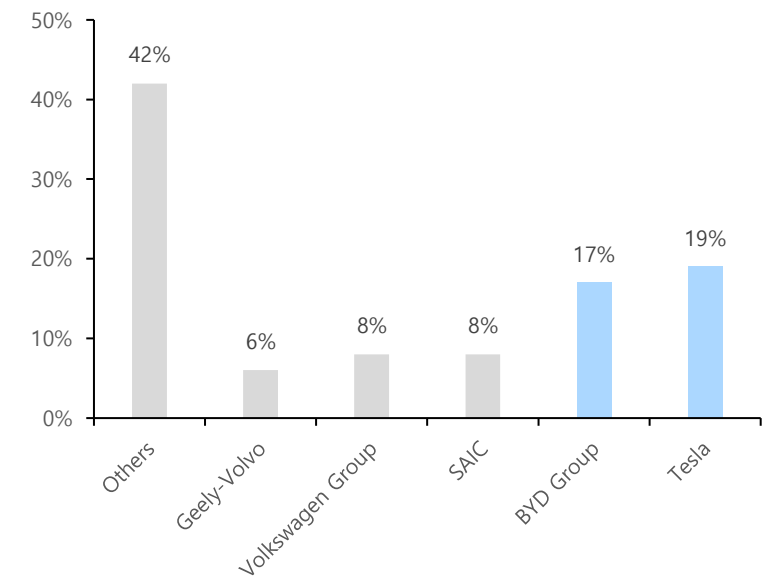
- BYD는 중국 전기차 시장 점유율 1위 제조사로, 자율주행 기술 역시 차량 경쟁력을 높이는 핵심 요소로 빠르게 내재화하고 있다. 현재 대부분의 모델에 DiPilot 기반의 레벨2~2+ 주행 보조 기능이 기본 탑재되며, 일부 고급 모델은 레벨3 수준까지 진입했다. 초기에는 Huawei, Horizon Robotics, NVIDIA 등 외부 파트너의 칩과 플랫폼을 적극 활용해 기술을 빠르게 흡수하는 방식이었다.
- 대표적으로 프리미엄 SUV인 Fangchengbao Bao 8에는 Huawei의 ADS 3.0이 적용되어 고속도로 조건부 자율주행 기능을 구현했다. BYD는 직접 칩을 설계하거나 연산 구조를 완전히 내재화하지는 않지만, 다양한 파트너의 기술을 조합해 빠른 상용화와 양산 적용을 실현하는 데 강점을 보여왔다. 완전한 독자 개발보다는, OEM으로서의 유연성과 속도를 중시한 전략이었다.

그림 21. BYD의 프리미엄 SUV Fangchengbao Bao 8 모델



자료: BYD, 유안타증권 리서치센터

차트 31. 글로벌 BEV 시장 내 업체별 점유율 (2023년 연간 기준)



자료: 유안타증권 리서치센터

BYD, 기술 내재화와 파트너 전략의 조화 -2

- 하지만 최근 들어 이 전략에도 변화의 조짐이 나타나고 있다. BYD는 향후 중저가 차량에도 고속도로 NOA(Navigate on Autopilot) 기능을 확대 적용할 계획이며, 이를 위해 80 TOPS급 자체 스마트 주행 칩을 개발 중이다. 지금까지 사용해온 Orin N, J6E 같은 외부 칩을 점차 대체하는 것이 목표이며, 이는 원가 절감과 하드웨어-소프트웨어 통합 최적화를 동시에 노리는 전략이다. 4nm 공정 기반의 인포테인먼트 칩(BYD 9000)도 발표하며, 칩 설계 역량 확대를 보여주고 있다. 이러한 움직임은 Baidu, Huawei와의 차별점을 더욱 분명히 한다. Baidu는 로보택시 중심의 도시 단위 레벨4 기술을 추구하며, Huawei는 차량 생산 대신 자율주행 플랫폼과 칩을 OEM에 공급하는 기술 공급자 역할을 맡고 있다. 반면 BYD는 차량 제조를 기반으로, 자율주행 기능을 직접 차량에 내재화하면서 생산성과 상용화 속도를 앞세우는 전략을 이어간다. 완전한 수직 통합은 아니지만, 점진적인 기술 독립성과 내재화가 진행 중이다.
- 한편, 최근 주목받는 Synthetic Driving Data와 경량 LLM의 확산은 BYD 같은 구조에 유리하게 작용할 수 있을 것으로 기대한다. 실제 데이터를 수년간 축적하지 않아도, 생성 데이터를 활용한 AI 학습이 가능해지면서 칩 개발이 초기 단계인 기업도 정교한 기능을 구현할 수 있는 기반이 마련되고 있다. 이는 Tesla가 가진 수직 통합형 폐쇄 루프 구조의 우위를 일부 해소하며, OEM 중심 전략에 새로운 가능성을 제공할 가능성도 배제할 수 없다는 판단이다. BYD는 자율주행 기술을 별도의 수익 사업으로 보기보다는, 차량 경쟁력 향상과 점유율 확대를 위한 핵심 수단으로 활용하고 있다. 외부 기술 통합에서 시작해 자체 칩 개발로 확장되는 현재의 전략은, 중국형 전기차 기업들이 어떻게 AI 기능을 대중화해 나가는지를 보여주는 전형적인 사례로 볼 수 있다.

표 19. 중국 자동차 업체 간 자율주행 사업 비교

항목	BYD	Baidu	Huawei
정체성	완성차 제조사	로보택시 플랫폼 기업	차량 플랫폼/칩 제공자
핵심 전략	자율주행 기능의 내재화 및 대중화	레벨4 로보택시 기술 및 운영	자율주행 기술의 패키지와 OEM 공급
수익 모델	차량 판매 + 기능 경쟁력 향상	자율주행 서비스 수익화	자율주행 모듈/플랫폼 판매
칩/OS	외부 협력 (NVIDIA, Horizon, Huawei 등)	자사 칩 일부(Kunlun), SW 중심	MDC 자율주행 칩 + HarmonyOS
적용 범위	L2~L3 차량 중심	특정 도시 중심 로보택시	고급 차량 중심 기술 공급

자료: 업계 자료, 유안타증권 리서치센터

Waymo, 도시를 단위로 움직이는 로보택시 플랫폼-1

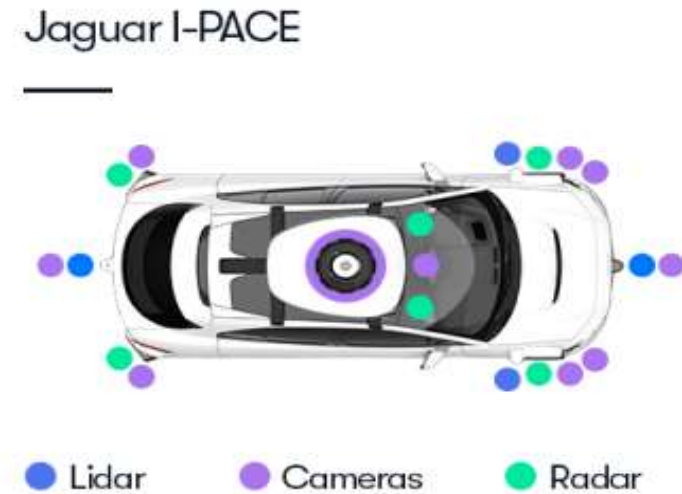
- Waymo는 Alphabet(Google)의 자율주행 자회사로, 기술 내재화보다 **서비스 중심의 자율주행 플랫폼 구축을 우선시**한다. 자율주행 기술을 차량에 내재화해 양산하는 Tesla나 BYD와 달리, 동사는 고도화된 SW 스택과 센서 융합 기반 알고리즘을 중심으로 도시 단위의 로보택시 서비스 상용화에 집중하고 있다.
- 현재 미국 피닉스와 샌프란시스코, 오스틴 등 일부 도심 지역에서는 운전자 없는 완전 자율주행 택시 서비스가 실제로 운영되고 있으며, 자율주행 기술 수준은 레벨4에 도달한 몇 안 되는 기업 중 하나로 평가받는다. Waymo는 라이다(LiDAR), 레이더, 카메라를 조합한 고정밀 센서 퓨전 기반의 자율주행 인식 구조를 채택하고 있으며, 차량 내 연산보다는 클라우드 중심의 후처리와 학습에 의존하는 중앙집중형 아키텍처를 갖추고 있다.
- 이는 운전자가 없는 완전자율 서비스를 구현하는 데 있어 인식 정밀도를 최우선 가치로 두는 설계 철학에 기반한 것으로, 데이터의 실시간성보다는 안정성과 통제력 확보에 유리한 구조다. 또한 차량을 판매하지 않고 직접 운영하는 **Fleet 중심의 서비스 모델 특성상, 연산 자원을 중앙 서버에 집중시키는 방식이 더 효율적인 전략으로 작용**하고 있다.

그림 22. Waymo의 로보 택시



자료: Google, 유안타증권 리서치센터

그림 23. Waymo의 작동을 보조하는 하드웨어 구성 예시



자료: Google, 유안타증권 리서치센터

Waymo, 도시를 단위로 움직이는 로보택시 플랫폼-2

- 칩셋은 NVIDIA나 Intel 계열 SoC를 사용하며, 자체 칩 개발보다는 **알고리즘의 정밀성과 시스템 안전성 확보에 더 많은 역량을 집중**하고 있다. 또한 Perception(주변 환경 인식), Prediction(주변 객체 움직임 예측), Planning(자차 경로 설정 및 제어 명령 생성 계획) 등 자율주행의 각 단계를 모듈화해 독립적으로 개선할 수 있는 구조를 기반으로, 도시 인프라와의 연계 가능성을 높이고, 범용 차량 양산보다는 제한된 공간 내에서의 완전자율 서비스 구현을 핵심 목표로 한다. Tesla의 폐쇄 루프형 자율주행 구조 및 BYD의 양산 최적화 전략과 비교하면, Waymo는 기술 소유보다 운영 효율성과 서비스 안정성에 초점을 맞춘 모델이다. 차량 제조는 외주(OEM)를 통해 조달하며, 기술의 최종 목표는 개별 차량이 아닌 플릿(Fleet) 단위의 자율 운행 네트워크 구축에 있다. 이는 완성차 제조사로서 자율주행 기술을 흡수하는 Tesla 또는 BYD와는 근본적으로 다른 방향성이다.
- 다만, 센서/지도 의존도가 높은 설계 특성상 차량 가격이 상승하기 쉽고, 적용 지역 역시 고정밀 지도 인프라가 완비된 일부 도시에 국한되는 한계도 존재한다. 게다가 최근 미국 내 자율주행 규제 강화와 안전성 논란으로 인해, 서비스 확장 속도는 기대만큼 빠르지 않은 상황이다. 그럼에도 불구하고 Waymo는 기술 성숙도 측면에서 자율주행 레벨4를 현실화한 대표 사례로, 도시형 자율주행 서비스의 초기 모델을 선도하고 있는 기업이다. 장기적으로는 차량 내 연산을 늘려 시스템 효율을 개선하고, **외부 제조사와의 협업을 통해 새로운 상용 Fleet 구조로 확장**해 나갈 것으로 기대한다.

표 20. 자율주행차 주요 3사의 전략 비교

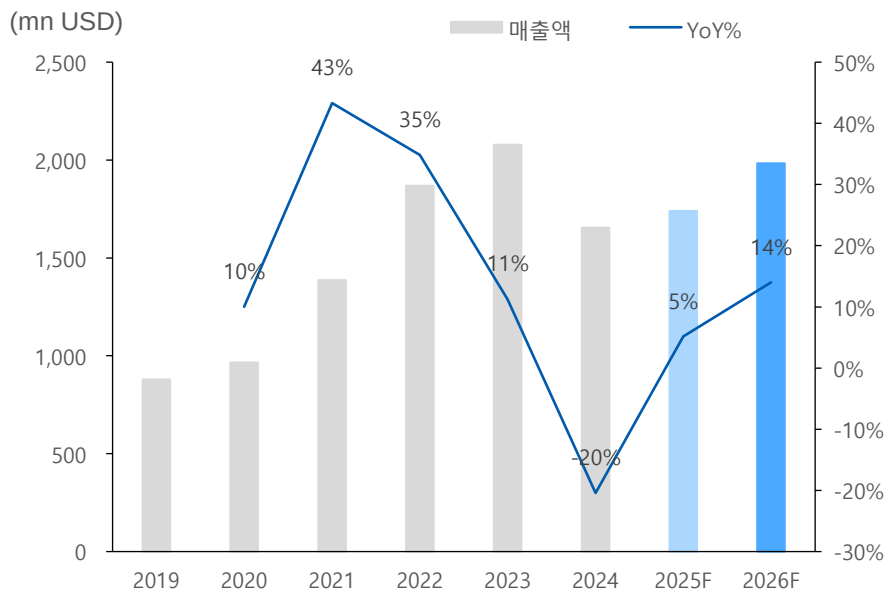
구분	Tesla	BYD	Waymo
기업 유형	완성차 제조사+ 자체 칩 설계	완성차 제조사(중국 최대)	플랫폼 기업(Alphabet 자회사)
자율주행 전략	자율주행 내재화(FSD + Dojo)	외부 플랫폼 통합 → 점진적 자체화	로보택시 중심, 도시 단위 서비스
주행 레벨	레벨2~레벨4 (FSD 베타)	레벨2~레벨3	레벨4(도심 일부 지역)
칩 설계	자체 설계(FSD 칩, Dojo)	외부 칩 사용 → 자체 칩 개발 중(80 TOPS)	외부 칩 사용(NVIDIA 등)
연산 구조	폐쇄 루프, 수직 통합 구조	분산형 구조, 일부 통합 시도	클라우드 기반 중앙 연산
서비스 범위	글로벌(미국 중심)	중국 전역(저가부터 프리미엄까지)	미국 도심(피닉스, 샌프란시스코 등)
하드웨어 통제력	매우 높음	보통(점진적 확대 중)	낮음(차량 외주, 칩 외주)
소프트웨어 구조	End-to-End 비전 기반, 폐쇄형	외부 통합 기반, HW-SW 조율 중심	모듈화된 인식-계획-제어 구조
상용화 방식	자체 차량에 탑재, OTA 방식	자사 차량에 빠르게 내재화	플릿 운영, 지도 기반 지역 확장
강점	데이터-학습-추론의 일체화	양산 속도, 가격 경쟁력	SW 정밀도, 레벨4 상용화
한계	규제 불확실성, 완전 자율화 미완성	AI 독립성 미흡, 기술 정밀도 약함	확장 속도 느림, 비용 구조 높음

자료: 유안타증권 리서치센터

Intel Mobileye, 통합 자율주행 플랫폼 외주 담당

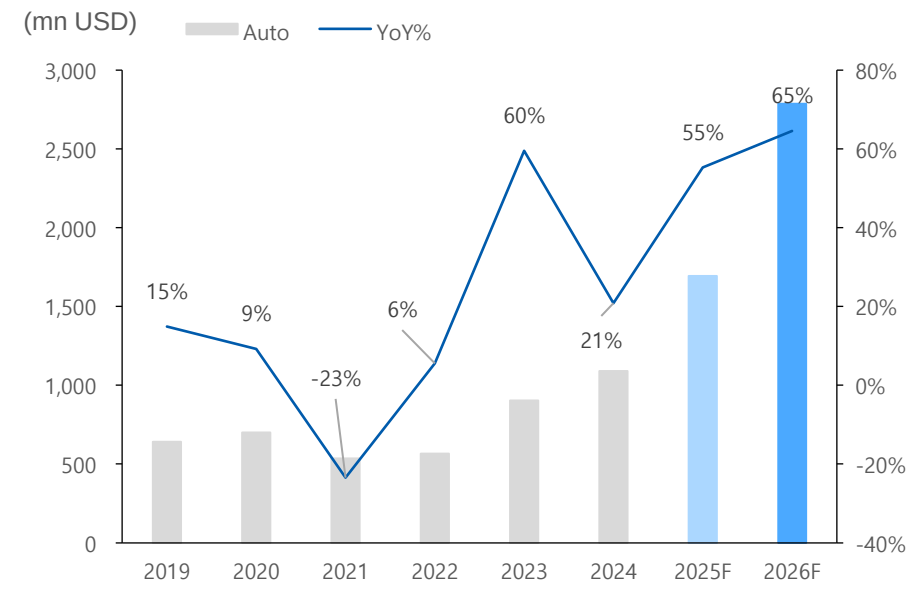
- Mobileye는 자율주행 시장에서 연산 주권 확보와 ASIC 전용화를 가장 선도적으로 추진해온 기업 중 하나다. EyeQ 시리즈를 중심으로 차량용 ADAS 및 자율주행 SoC를 지속적으로 개발해왔으며, 알고리즘-센서 처리-AI 추론을 통합한 하드웨어-소프트웨어 일체형 전용 칩 구조를 갖추고 있다. 특히 EyeQ5와 차세대 EyeQ Ultra는 고성능 NPU와 멀티비전/센서 융합 알고리즘이 내장된 구조로, 카메라 기반 자율주행 기능을 차량 내 SoC에서 직접 처리할 수 있도록 설계되어 있다. EyeQ Ultra는 최대 176 TOPS의 연산 성능을 제공하며, 완전 자율주행(Level 4)까지 단일 칩 기반으로 지원 가능하도록 구성된 것이 특징이다.
- 동사는 단순한 SoC 공급자가 아니라, 칩 위에서 실행될 ADAS 알고리즘, 센서 융합 로직, 예측 모델 등을 자체 개발하여 함께 제공하는 통합 자율주행 플랫폼 공급자로 작동한다. 이처럼 칩과 소프트웨어를 통합 설계/개발함으로써, 자동차 제조사들은 자체적으로 AI 모델을 개발하지 않고도 고성능 자율주행 기능을 빠르게 제품화 할 수 있다. 이러한 구조는 Tesla와 유사하게 연산을 외부에 위탁하지 않고 칩 내에서 완결하는 방식이라는 점에서, 자율주행 ASIC 시장에서 가장 완성된 형태 중 하나로 평가된다.

차트 32. Mobileye 2019~2026F Sales 및 YoY 증감율



자료: Bloomberg, 유안타증권 리서치센터

차트 33. NVIDIA Auto 사업부 2019~2026F Sales 및 YoY 증감율

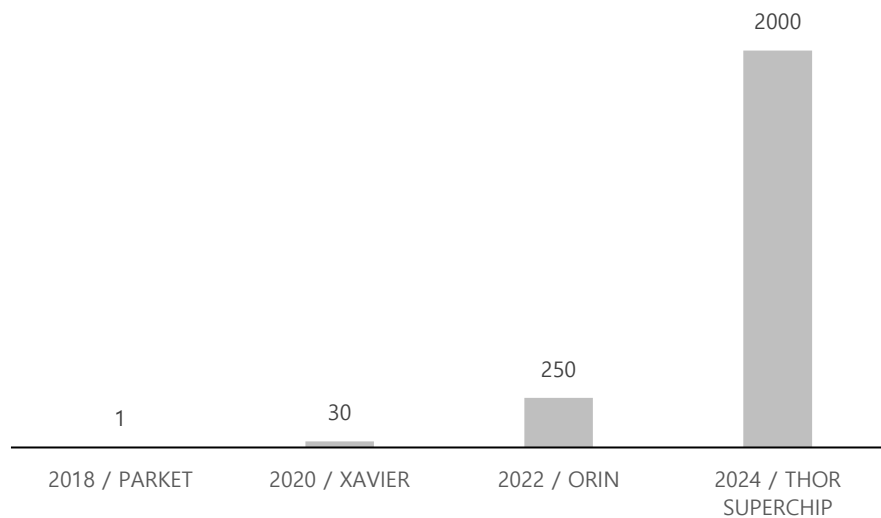


자료: Bloomberg, 유안타증권 리서치센터

NVIDIA, 자율주행 플랫폼 주권 확보를 위한 개방형 인프라-1

- NVIDIA는 자율주행 연산을 직접 내재화하기보다, 칩셋과 소프트웨어 툴체인을 함께 제공하는 개방형 연산 플랫폼 전략을 통해 전장 시장에서 독보적인 입지를 확보하고 있다. Orin과 차세대 Thor는 자율주행뿐 아니라 인포테인먼트, 운전자 모니터링 등 다양한 기능을 통합 처리할 수 있는 고성능 SoC로, 제조사들은 이 칩 위에 자율주행 모델을 직접 설계/개발할 수 있는 구조를 갖추게 된다.
- 최근 자율주행 시장에서는 단순히 알고리즘을 외주화해 빠르게 탑재하는 Mobileye식 구조보다, **제조사가 판단 로직과 데이터 흐름을 직접 통제할 수 있는 플랫폼을 선호하는 흐름**이 강화되고 있다. 이는 자율주행 시스템이 상용화될수록 OEM이 감당해야 할 법적 책임과 규제 대응 부담이 커지기 때문이다. 예를 들면, 동일한 알고리즘을 수천만 대 차량에 적용하는 방식은 각 국가의 도로 규제나 안전 기준을 반영하기 어렵고, 사고 발생 시 OEM이 내부 로직을 충분히 설명하거나 조정할 수 없는 구조적 리스크로 작용할 수 있다.

차트 34. NVIDIA 전장 SoC의 Computational Horse (TOPS)



자료: NVIDIA, 유안타증권 리서치센터

그림 24. NVIDIA THOR의 통합 지능형 ADAS SoC 특징



자료: NVIDIA, 유안타증권 리서치센터

NVIDIA, 자율주행 플랫폼 주권 확보를 위한 개방형 인프라-2

- 동사는 DRIVE OS, CUDA, TensorRT 등 AI 개발 툴과 시스템 소프트웨어를 함께 제공해, 제조사가 스스로 자율주행 모델을 개발하고 지속적으로 개선할 수 있는 기술 주권을 확보할 수 있도록 지원한다. Mercedes-Benz, NIO, XPeng, Volvo 등은 실제로 NVIDIA Orin 기반의 자율주행 하드웨어를 채택하면서도, 판단 로직과 주행 UX는 자체적으로 설계/운영하고 있는 대표 사례로 파악된다.
- 또한 NVIDIA는 고성능 제품군에 국한하지 않고, MediaTek과의 협력을 통해 스마트 캐빈/보급형 차량군까지 AI 기술을 확산시키는 전략도 병행 중이다. 고성능-보급형 양축 전략과 툴 중심 구조는, 향후 자율주행 시장이 기능 통제력과 규제 대응 유연성을 요구하게 될수록 점점 더 주목받는 포지션이 될 것으로 전망하는 바이다.

표 21. 주요 기업별 자율주행 모델 비교

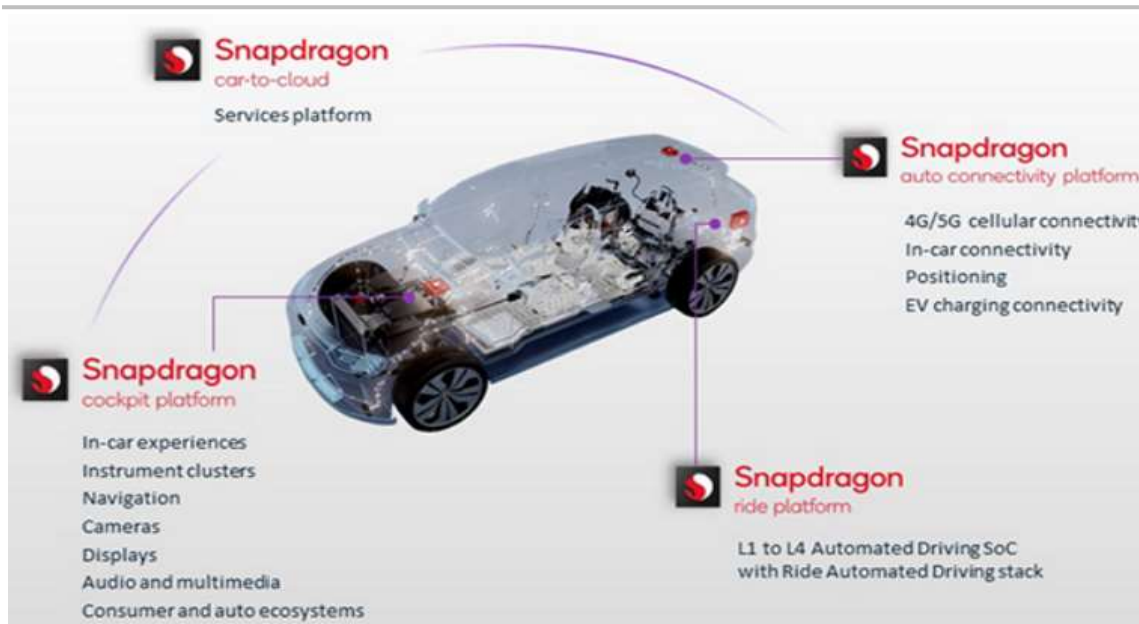
분류	구조 방식	대표 시스템/기업	장점	단점
End-to-End 모델	센서 입력 → 바로 조향/가속 등 제어값 출력	Tesla(초기), Commaai	단순 구조, 추론 속도 빠름, 학습 쉬움	설명력 부족, 일반화 어려움, 안정성 문제
모듈러 모델 (Modular)	인지 → 예측 → 계획 → 제어로 분리된 구조	Waymo, Mobileye, Baidu	설명 가능, 디버깅 용이, 안전성 확보 쉬움	설계 복잡, 각 모듈간 통합 어려움
BEV 기반 모델 (Bird's Eye View)	센서 데이터 → BEV로 투영 → 예측/계획	Tesla (최근), NVIDIA, Huawei	시야 명확, 공간 이해력 ↑, 주변차량 예측 용이	BEV 변환 비용, 고성능 센서 필요
Planner 중심 학습형 모델	지도/상황 기반 계획 + 강화학습 방식	Wayve, Ghost	전략적 의사결정 최적화, 행동 다양성	학습 데이터 많이 필요, 불확실성 대응 어려움
3D Occupancy 기반 모델	라이다 등으로 3D 공간 채움 → 의사결정	Tesla (Occupancy Network), Argo AI	정밀한 공간 이해, 구조화된 표현	연산량 많음, 계산 지연 발생 가능

자료: 업계 자료, 유안타증권 리서치센터

Qualcomm, 외부 파트너와의 협력 요구

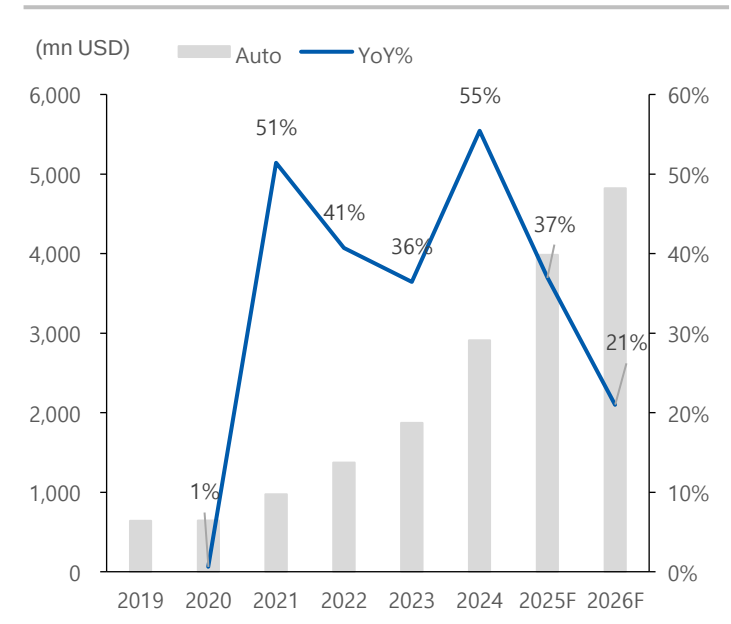
- Qualcomm(QCOM US)은 스마트폰 SoC 시장에서 축적한 저전력/고집적 설계 역량을 기반으로, Snapdragon Ride 플랫폼을 통해 자율주행 연산 시장에 진입했다. 이 플랫폼은 Level 2 ADAS부터 Level 3~4 고도 자율주행까지 대응 가능하며, 고성능 NPU와 센서 융합 기능을 갖춘 차량용 SoC를 제공한다.
- Qualcomm의 가장 큰 강점은 모바일 AP 기반의 에너지 효율성과 설계 최적화 경험을 전장에 이식했다는 점이다. 여기에 자사의 선택형 비전 스택(Vision Stack), 센서 융합 소프트웨어, 개발자 API 등을 모듈형으로 제공함으로써, Mobileye와 달리 연산 알고리즘을 고정하지 않으면서도, NVIDIA만큼의 풀스택 자유도는 요구하지 않는 **일종의 하이브리드형 구조를 제안하고 있다**.
- 현재 Snapdragon Ride는 BMW, GM, Honda 등 글로벌 OEM에서 중가형 EV를 중심으로 채택이 확대되고 있으며, 고성능보다는 원가 경쟁력과 통합 설계 유연성에 강점을 지닌 플랫폼으로 자리매김하고 있다. 다만, 대규모 AI 모델 추론이나 고성능 GPU 기반 학습 처리에서는 여전히 NVIDIA 대비 기술적 한계가 존재하며, 향후 멀티모달/LLM 기반 자율주행으로 진화할수록 외부 연산 파트너와의 협력 필요성이 더욱 커질 가능성이 높다.

그림 25. Qualcomm의 전장 SoC 플랫폼



자료: Qualcomm, 유안타증권 리서치센터

차트 35. Qualcomm Auto 사업부문 실적 추이

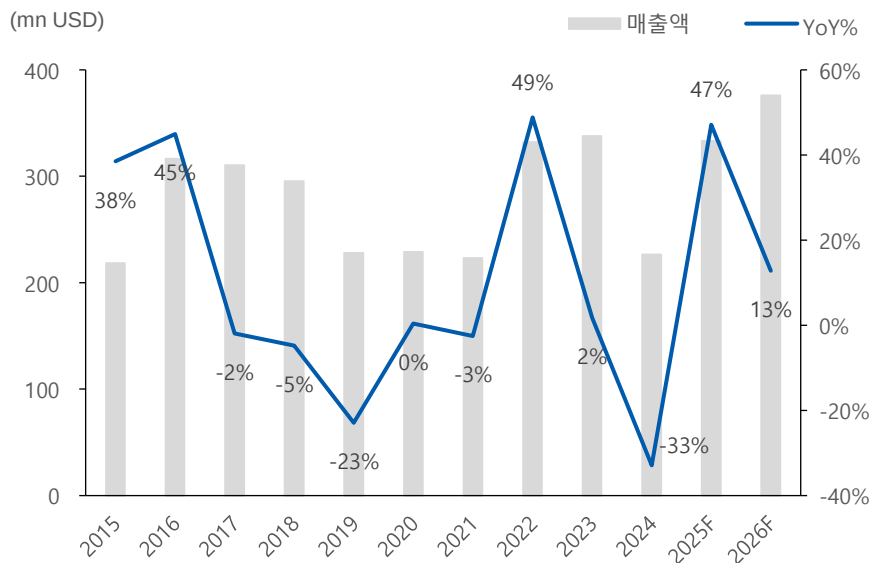


자료: Bloomberg, 유안타증권 리서치센터

Ambarella, 비전 특화형 플레이어로 자리매김

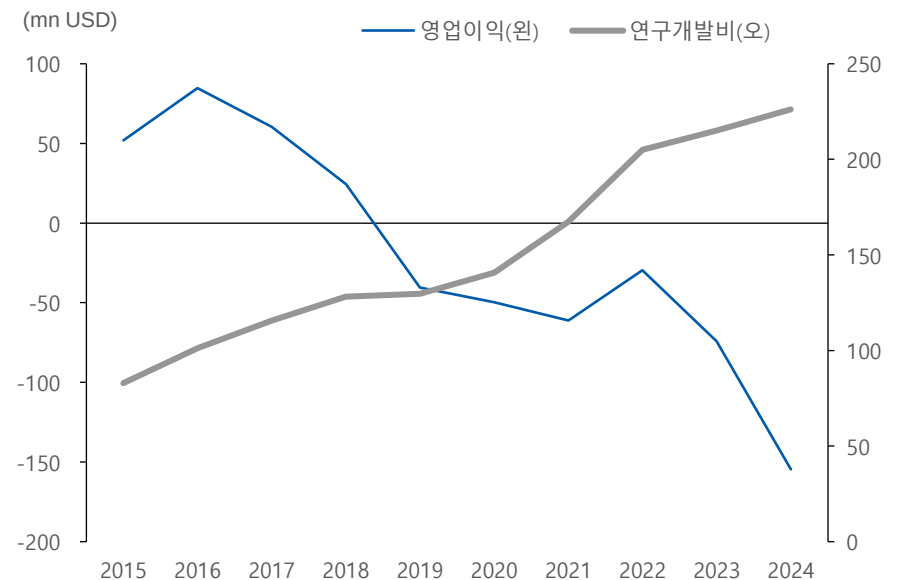
- Ambarella(AMBA US)는 영상처리 SoC에 특화된 미국 팹리스 기업으로, 자율주행 분야에서는 카메라 기반 인식 기능에 집중한 비전 전용 AI 칩셋을 공급한다. 드론/보안 카메라 제품군을 기반으로, 최근에는 자체 설계한 CVflow™ 아키텍처를 중심으로 CV 시리즈를 선보이며 ADAS 및 자율주행 영역으로 확장 중이다.
- CV 시리즈는 객체 탐지, 차선 인식, 신호 감지 등 시맨틱 세그멘테이션(Semantic Segmentation, 이미지 내 모든 픽셀을 분석하여 차선, 도로, 보행자 등 영역을 세분화하고 인식하는 기술) 기반의 고정형 영상 추론에 최적화돼 있으며, Bosch, Continental 등 전장 Tier1과의 협력을 통해 실차 검증도 진행되고 있다. 특히 전력 효율성과 소형화 강점을 바탕으로, 중저가 차량 또는 비Lidar 구조 중심의 비전 인식용 연산 모듈로 채택 가능성이 높아지고 있다.
- 다만, Ambarella는 Mobileye나 NVIDIA와 달리 자율주행 판단-계획-제어 전반을 아우르는 통합 플랫폼을 제공하지 않으며, **‘비전 레이어 전용 칩셋’에 특화된 모듈형 플레이어로서 포지셔닝했다**. 전체 자율주행 연산 플랫폼과는 보완적 관계라기보다는, 하위 기능에 특화된 독립 부품 공급자에 가깝다. 향후 영상 인식에 특화된 아키텍처와 Tier 1 기반 고객을 바탕으로, 다소 제한된 시장 내에서도 실용성 중심으로 독립적인 생존 기반을 구축해 나갈 필요가 있다는 판단이다.

차트 36. Ambarella 연간 실적 추이 및 전망



자료: Bloomberg, 유안타증권 리서치센터

차트 37. Ambarella 연간 영업이익 및 연구개발비 추이



자료: Bloomberg, 유안타증권 리서치센터

중국 전장 SoC, 국가 전략에 기반한 수직 계열화 성공적-1

- 중국은 전장 반도체 분야에서 연산 주권을 확보하기 위해 자국 내 ‘자율주행 SoC 생태계 구축’에 속도를 내고 있으며, 이는 국가 전략 차원의 산업 육성과 내수 중심의 확산 구조를 바탕으로 전개되고 있다. 대표적으로 Horizon Robotics(9660 HK), Black Sesame International Holding(2533 HK), Huawei(비상장) 등이 각기 다른 영역에서 AI 칩셋과 소프트웨어 플랫폼의 내재화를 추진 중이며, 주요 완성차 브랜드와의 협력을 통해 실제 차량 적용이 빠르게 이뤄지고 있다.
- **Horizon Robotics**는 자사의 Journey 시리즈를 통해 ADAS 및 자율주행용 추론 연산을 전용화하고 있다. BYD, Li Auto, Changan 등 중국 주요 전기차 업체에 공급 중인 것으로 파악된다. Journey 5는 128 TOPS 이상의 연산 성능과 16채널 센서 융합 기능을 갖춘 중간급 자율주행 SoC로, L2+ 수준 NOA(Navigation On Autopilot) 기능 구현에 충분한 성능을 제공한다. Mobileye EyeQ6보다는 상위, NVIDIA Orin보다는 하위 성능대에 위치하며, 가격 경쟁력과 국산화 이점 덕분에 BYD, Changan 등 중국 OEM 중심으로 빠르게 채택이 확산되고 있는 것으로 파악된다.
- **Black Sesame**은 Huashan 시리즈를 통해 L3~L4 대응 SoC를 개발 중이며, Huawei 및 FAW Group과는 칩 개발이 아닌 차량 플랫폼 단위의 상호보완적 협력 구조를 구축하고 있다. Huawei는 고급차 중심의 MDC 칩을 운용하는 반면, Huashan은 중저가 차량에 적합한 연산 성능과 비용 구조를 바탕으로, ADS 플랫폼과의 호환을 전제로 다양한 OEM에 병행 적용되고 있다.
- **중국 주요 테크 기업들도 자율주행 연산 생태계 내재화에 속도를 내고 있다.** Huawei는 Ascend 기반의 MDC 플랫폼을 통해 자율주행용 SoC를 상용화했으며, Alibaba의 T-Head, Baidu의 Kunlun 등도 AI 칩 설계 역량을 전장 영역으로 확장 중이다. 이들은 칩 설계부터 알고리즘, 추론 프레임워크, 운영체제까지 수직 계열화를 추구하고 있으며, 이는 미국/대만산 반도체에 대한 의존도를 줄이고 내수 시장 중심의 기술 자립도를 강화하려는 전략과 일맥상통한다.
- 비록 종합 플랫폼 완성도 면에서는 글로벌 팹리스 대비 아직 격차가 존재하지만, 정부의 정책 지원과 빠른 양산 피드백을 기반으로 추격 속도는 매우 빠르다. 특히 내수 시장 중심으로 칩-소프트웨어-차량 통합이 동시에 진전되고 있다는 점에서, 기술 성숙도보다 **상용화 속도에서 우위를 점해 나갈 가능성도** 배제할 수 없다는 판단이다.

중국 전장 SoC, 국가 전략에 기반한 수직 계열화 성공적-2

표 22. 글로벌 자율주행 팹리스 업체들의 현황 비교

구분	Intel Mobileye	NVIDIA	Qualcomm	Ambarella	중국내 (Horizon 등)
기업 유형	자율주행 팹리스 (인텔 자회사)	AI-GPU 팹리스 (자율주행 플랫폼 포함)	모바일-전장용 SoC 팹리스	AI 비전 반도체 팹리스	중국 내 자율주행 AI칩 팹리스
핵심 제품/칩	EyeQ 시리즈 (EyeQ5, EyeQ6 등)	Orin, Thor + DRIVE OS, Hyperion 플랫폼	Snapdragon Ride, Ride Flex, Cockpit 플랫폼	CV2, CV3 시리즈 (8nm 기반)	Journey 시리즈 (J3, J5, J6 등)
주요 고객사	BMW, Zeekr, Volkswagen 등	Mercedes-Benz, BYD, Xpeng 등	GM, BMW, Great Wall 등	Chnagan, Nio, Bosch 등	BYD, Changan 등
전략 포지션	ADAS부터 L4까지 일체형 플랫폼	고성능 연산+ 통합 SW 스택 제공	Cockpit + ADAS 통합형 SoC 전략	센서 퓨전 중심 경량 연산 솔루션	자국 생태계 대응 + 국산화 대체 전략
강점	시장 점유율 압도적, 소프트웨어 경쟁력 강함	TOPS 성능 압도적, End-to-End 스택 보유	통신-IVI 연계 강점, 원가 경쟁력 우수	전력 효율 높고 라이다 등 호환성 좋음	정책 수혜, 가격 경쟁력, 빠른 피드백
한계	고급 자율주행(L4) 확장성은 아직 제한적	비용 부담, 중저가 확산엔 제한적	고급 자율주행 영역에선 존재감 낮음	풀스택 연산이나 AD 레벨 확장성 제한	SW 스택 성숙도 낮고 국제 경쟁력 제한

자료: 업계 자료, 유안타증권 리서치센터

중국 전장 SoC, 국가 전략에 기반한 수직 계열화 성공적-3

표 23. 글로벌 자율주행 팹리스 실적 및 Valuation

	업체명	Intel	NVIDIA	Qualcomm	Ambarella	Horizon Robotics	Black Sesame	FAW Group	Alibaba	Baidu
	Ticker	INTC US Equity	NVDA US Equity	QCOM US Equity	AMBA US Equity	9660 HK Equity	2533 HK Equity	000800 CH Equity	9988 HK Equity	BIDU US Equity
	시가총액	89,639	3,239,399	161,812	2,678	12,810	1,493	4,990	289,563	29,475
2023A	Sales	54,228	26,974	35,820	338	219	44	9,084	126,788	19,007
	OP	93	4,224	7,788	-74	-281	-237	-122	14,647	3,086
	OPM%	0%	16%	22%	-22%	-128%	-538%	-1%	12%	16%
	NP	1,689	4,368	7,232	-65	-952	-686	114	10,623	2,869
	PER	143.3	78.7	14.5	-	-	-	47.1	-	16.5
	PBR	2.0	22.7	5.6	5.8	-	-	1.6	-	1.2
	ROE	1.6	17.9	36.5	-11.3	-	-	3.3	7.5	8.4
	EV/EBITDA	24.4	58.8	11.5	-	-	-	33.1	-	4.4
2024A	Sales	53,101	60,922	38,962	226	331	66	8,137	131,313	18,491
	OP	-11,678	32,972	10,071	-155	-299	-243	-164	15,815	2,954
	OPM%	-22%	54%	26%	-68%	-90%	-368%	-2%	12%	16%
	NP	-18,756	29,760	10,142	-169	326	44	86	11,163	3,300
	PER	-	50.7	20.5	-	6.6	22.6	64.8	-	10.1
	PBR	0.9	35.0	7.2	3.8	1.3	15.6	1.5	-	0.8
	ROE	-18.3	91.5	42.4	-29.1	-	-	2.5	8.1	9.1
	EV/EBITDA	19.1	42.1	15.5	-	-	-	42.3	-	1.5
2025F	Sales	50,531	200,788	43,442	333	492	118	9,911	148,320	18,841
	OP	2,076	126,723	15,053	-4	-326	-132	123	22,916	3,027
	OPM%	4%	63%	35%	-1%	-66%	-112%	1%	15%	16%
	NP	1,342	107,632	13,082	1	-292	-140	125	23,254	3,378
	PER	63.8	30.4	12.5	2,255.0	-	-	-	12.3	8.5
	PBR	0.8	19.4	5.8	4.8	8.6	9.0	1.3	1.8	0.7
	ROE	0.4	83.0	44.7	-10.0	-19.5	-138.1	3.9	13.5	7.8
	EV/EBITDA	10.1	25.1	10.2	-	-	-	20.1	7.0	1.1
2026F	Sales	53,386	248,922	44,081	376	823	195	11,063	160,882	19,868
	OP	5,134	162,134	14,746	3	-139	-73	184	26,079	3,752
	OPM%	10%	65%	33%	1%	-17%	-37%	2%	16%	19%
	NP	3,652	136,813	13,054	9	-121	-78	211	25,956	3,704
	PER	23.8	23.6	12.3	268.7	-	-	-	10.9	8.1
	PBR	0.8	11.8	5.4	4.8	9.0	15.6	1.3	1.7	0.7
	ROE	3.0	65.5	39.6	-13.0	-9.9	-279.1	5.2	13.7	7.6
	EV/EBITDA	7.5	19.5	10.1	-	-	-	16.2	6.3	1.0

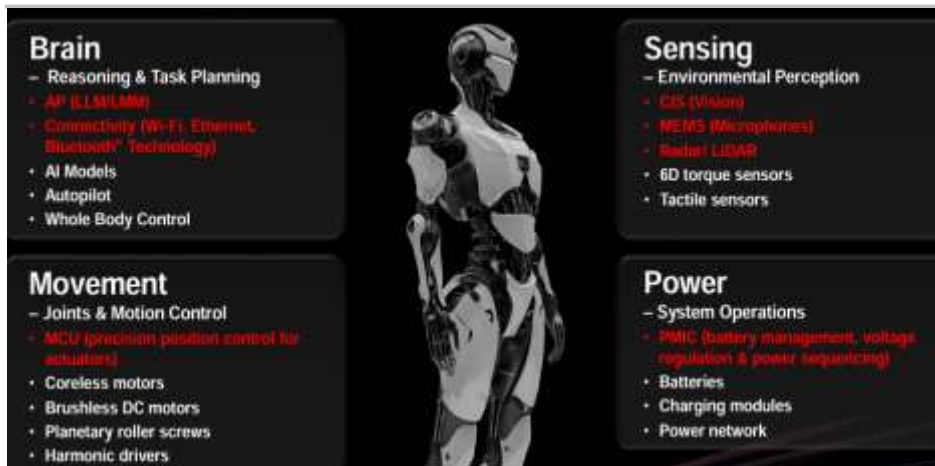
자료: Bloomberg, 유안타증권 리서치센터,

주1: 단위는 mn USD, %, 배 / 주2: 데이터는 5월 23일 종가 기준 반영

AI 연산 전용화, 엣지와 IoT까지 확장

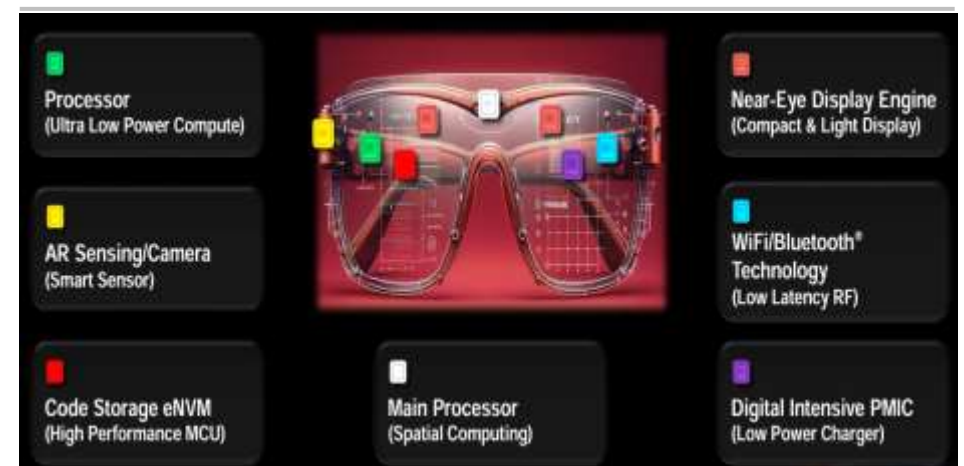
- AI 칩 전용화 흐름은 이제 서버와 모바일을 넘어 AR/VR, 웨어러블, 로봇, IoT 디바이스 등 새로운 형태의 경량 디바이스(Compute-light devices) 전반으로 빠르게 확산되고 있다. 이들 기기는 대부분 배터리로 작동하거나, 크기/전력/발열 등에서 극단적인 제약을 받기 때문에, 고성능보다는 초저전력 추론, 실시간 응답성, 칩셋 소형화가 핵심 기술 요건으로 부상 중이다. AR/VR 및 웨어러블 기기에서는 이미지 인식, 음성 명령 처리, 모션 트래킹 등 복합 센서 기반 AI 연산을 단말 내부에서 처리해야 하며, 이를 위해 Apple(S 시리즈), Meta, Qualcomm(XR 시리즈) 등은 전용 NPU와 센서 융합 구조를 갖춘 SoC를 채택하고 있다. 이는 모바일 AP의 파생형이 아니라, 기기 특성과 사용 시나리오를 반영한 목적기반 설계(Custom Purpose Design)의 흐름이라 할 수 있다. 특히 로봇, 드론, 산업용 장비 등으로 AI 연산 적용이 확대되면서, 각 디바이스별로 최적화된 소형 AI 칩 수요가 빠르게 늘고 있다. 이 영역은 수요가 세분화되어 있어 범용 플랫폼으로 수렴되기 어렵고, 그만큼 다양한 Customized chipset 설계 기회가 존재하는 점에 주목한다.
- NVIDIA는 Jetson Orin 시리즈로 로봇/드론용 엣지 AI 연산을 전담하고 있으며, Hailo, BrainChip 등은 특정 산업군에 특화된 모듈형 AI 칩을 통해 틈새 시장을 선점하고 있다. 구조적으로 단가가 낮은 대신 출하량과 고객사 다양성이 큰 이 시장은 고성능 반도체로 부상하고 있으며, 저전력 설계 IP, 고밀도 패키징, 응용처별 최적화 역량이 주요 경쟁력으로 작용할 것이라는 판단이다. 결국, AI 연산이 중앙 서버에 집중되던 구조에서 벗어나, 각 기기 단에서 자율적으로 처리되는 방향으로 전용화가 확장되고 있다. 이러한 변화는 프라이버시 보호, 네트워크 지연 최소화, 에너지 효율 등 디바이스 환경 고유의 요구사항과 맞물리며, 차세대 ASIC 생태계 내 또 하나의 성장 축으로 자리잡을 것으로 예상된다.

그림 26. 휴머노이드 로봇의 기능 안정화 및 고도화를 위해 필요한 차세대 실리콘 기술 영역



자료: TSMC, 유안타증권 리서치센터

그림 27. XR 디바이스의 엣지 기능 안정화를 요구하는 차세대 기술



자료: TSMC, 유안타증권 리서치센터



PART 2

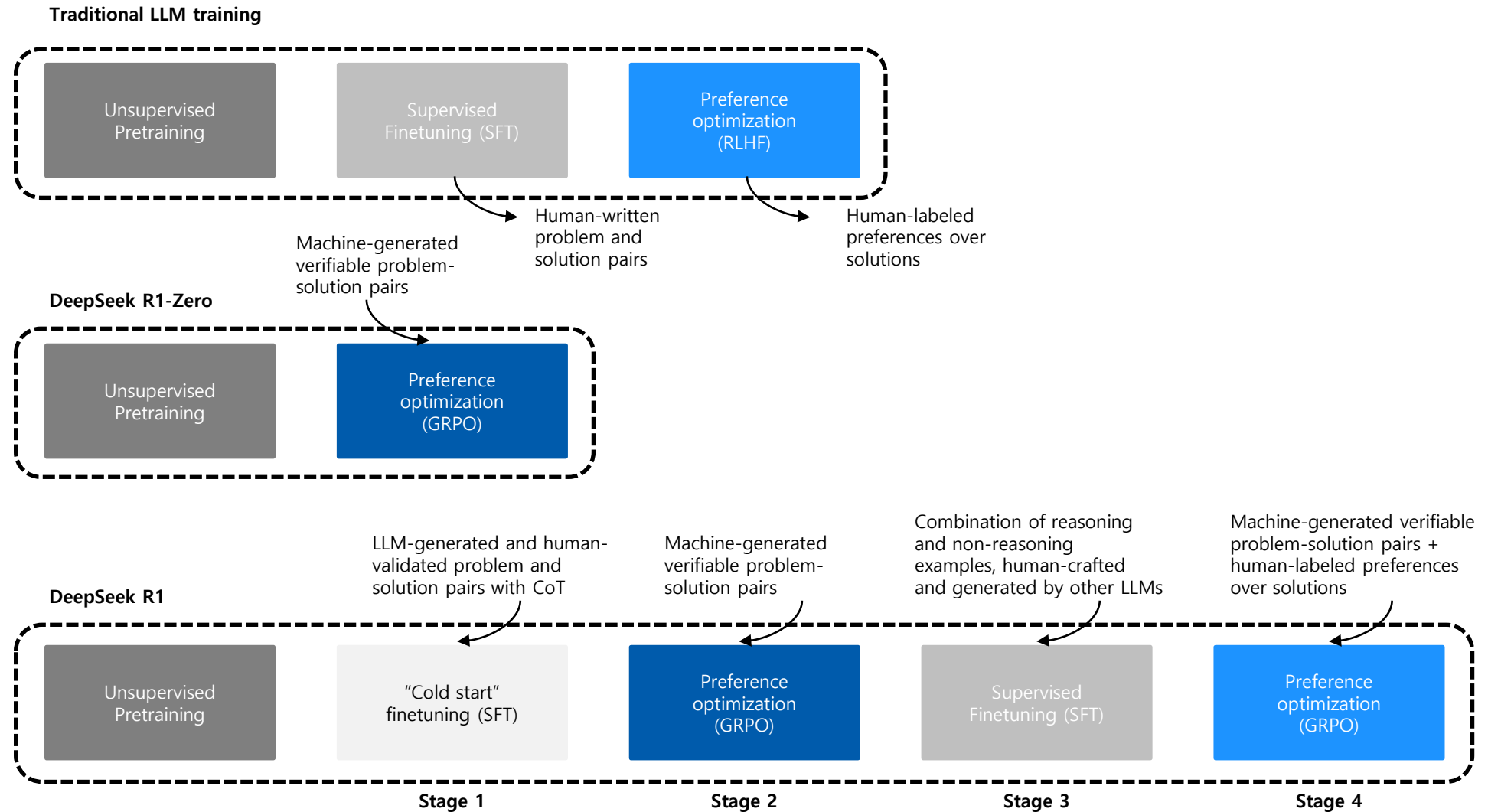
Computing 회로의 아키텍처 전환

DeepSeek, AI의 6th Sense

- 2025년 1월 DeepSeek R1의 공개는 단순한 모델 성능의 진화를 넘어, AI 학습 구조 전반에 대한 재검토와 기술 전략의 대전환을 촉발시켰다. 특히 DeepSeek는 AI가 스스로 사고의 경로를 설계하고 피드백을 통해 추론 구조를 재구성할 수 있다는 '자기학습(Self-Learning)' 아키텍처의 실현 가능성을 입증하며, 업계에서 'AI의 6번째 감각(Sixth Sense)'이라 불리는 직관(Intuition) 개념을 기술적으로 구체화했다. DeepSeek는 **기존의 정답 주입형 학습 방식(Supervised Learning)에서 벗어나, 스스로 학습 질문을 만들고(Self-Instruct), 응답을 생성한 뒤 이를 평가(Self-Evaluation)하고 수정(Self-Refinement)하는 구조를 통해 학습 경로 자체를 능동적으로 설계한다.** 이처럼 문제 해결 과정을 내면화하는 구조는 OpenAI, Google DeepMind, Anthropic 등 주요 기업들도 연구하고 있는 자기 피드백 기반 학습 루프와 맥을 같이하며, 추론기와 학습기의 경계를 허무는 새로운 형태의 AI로 진화하고 있다.
- DeepSeek의 구조적 혁신은 **학습 구조뿐 아니라 비용 구조에도 결정적인 영향을 미친다.** 특히 DeepSeek-MoE는 236B 파라미터를 보유한 초대형 모델이지만, Mixture-of-Experts(MoE) 구조를 채택해 실제 추론 시에는 약 26B 수준의 파라미터만 활성화된다. 이는 GPT-4, Gemini, Claude 등 기존 초거대 모델 대비 약 1/10 수준의 연산 비용으로 유사한 성능을 제공한다는 의미다. 결과적으로 DeepSeek는 고성능 AI를 훨씬 적은 자원으로 구현할 수 있는, 비용 효율성 면에서의 게임 체인저로 부상했다.
- 또한 DeepSeek의 학습 전략은 합성 데이터(Synthetic Data)의 활용을 핵심 기반으로 한다. 자율주행, 의료, 산업 자동화 등 고위험 분야에서는 실제 데이터를 수집하기 어렵기 때문에, DeepSeek는 가상의 시나리오를 설계하고 반복 훈련하는 방식으로 보지 못한 상황에 대한 추론 훈련을 가능하게 한다. NVIDIA의 Omniverse, Tesla의 도로 시뮬레이션 환경처럼, 고해상도 렌더링 및 물리 기반 합성 데이터를 활용한 반복 학습은 DeepSeek의 직관 학습을 가능케 하는 중요한 수단이다. 이러한 합성 데이터 기반 학습은 단순한 대체 수단이 아니라, AI가 경험하지 못한 상황을 디지털 공간에서 반복적으로 겪고 학습하는 '상상 훈련 데이터'로 작동한다. 특히 생성-학습-재생성이 반복되는 루프 구조는 기존의 고정형 텍스트 학습과는 전혀 다른 연산 흐름을 요구하며, 고차원 시뮬레이션과 다중 센서 데이터를 실시간으로 반영할 수 있는 유연한 하드웨어 아키텍처가 필요하다.
- 이에 따라, DeepSeek의 기술 구조는 단순한 AI 모델이 아니라 **새로운 형태의 인지 시스템으로 이해되어야 한다.** 추론기와 학습기의 통합, 온디바이스, 파인튜닝, 다층 메모리 구조, 이질적 연산 자원의 통합 등 **하드웨어적 뒷받침 없이는 구현이 어렵기 때문이다.** 특히 합성 데이터를 기반으로 한 비정형 학습 환경은 기존 GPU-NPU 기반 연산 파이프라인만으로는 한계가 분명하며, 그래픽 처리와 물리 시뮬레이션이 통합된 멀티모달 연산 아키텍처의 필요성이 커지고 있다. 결국 DeepSeek가 보여준 '6번째 감각'은 더 이상 추상적인 개념이 아니라는 판단이다. AI가 단순히 정답을 계산하는 기계를 넘어서, 스스로 판단하고 사고하며 경험을 내면화하는 존재로 진화하고 있음을 보여주는 것이며, **이 구조적 전환은 향후 AI 칩셋 설계, 메모리 계층 구조, 그리고 시스템 아키텍처 전반에 걸쳐 새로운 전략 좌표로 작용할 것이다.**

DeepSeek, AI의 6th Sense -2

그림 28. 전통 AI 모델 vs. DeepSeek 작동 원리



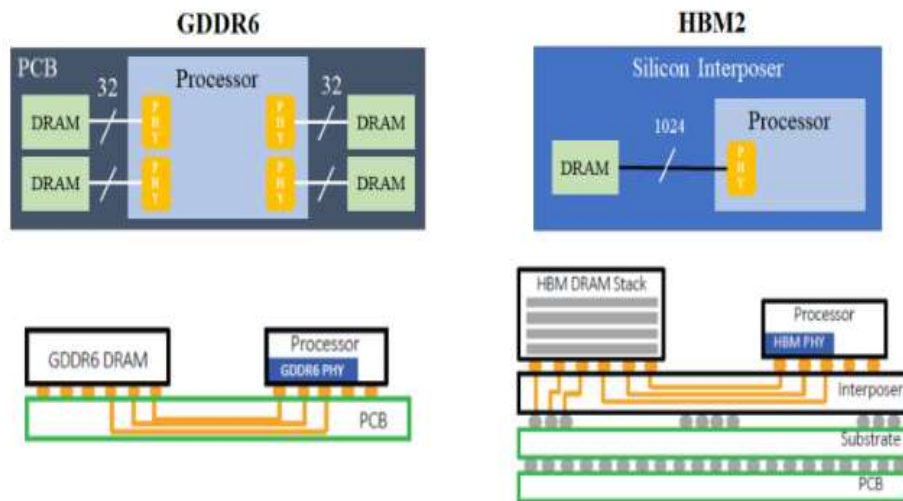
연산 효율을 설계하는 메모리-인터커넥트-시스템 통합

- AI 반도체의 성능은 이제 단순한 연산 유닛의 처리속도(TOPS)로는 설명되지 않는다. 초거대 모델의 학습과 추론 과정에서 발생하는 진정한 병목은 연산기 내부가 아니라, 데이터가 이동하는 경로, 즉 연산-메모리-I/O 간 연결 구조에서 발생한다. 이에 따라 AI 칩의 기술 경쟁력은 ‘계산을 잘하는 칩’이 아니라 ‘데이터를 잘 흐르게 만드는 시스템’에서 갈리고 있다. 이러한 변화 속에서 AI 반도체의 회로 구조는 세 가지 핵심 축을 중심으로 진화하고 있다.
- 첫째, **메모리의 파운드리화와 함께, 메모리 중심 아키텍처의 부각이 본격화**되고 있다. HBM과 같은 고대역폭 메모리는 더 이상 단순한 저장장치가 아니라 AI 연산의 일부로 통합 설계되는 SoC 구성 요소로 자리잡았다. 특히 연산기 인접에 배치되는 메모리는 패키징 수준에서 연산 속도와 대역폭을 결정짓는 요소로 작동한다. 동시에, CXL, PIM, SoCamm, LPCamm, SRAM 등 다양한 신형 메모리 아키텍처들이 등장하며, 서버부터 모바일까지 용도별로 최적화된 메모리 구조 재편이 빠르게 진행 중이다. 이 과정에서 연산을 메모리 근처 또는 내부에서 처리하는 Off-memory 연산(Processing Near/In Memory) 기술이 병목 해소의 핵심 솔루션으로 부상하고 있으며, 메모리 또한 연산-패키징-시스템 아키텍처와 유기적으로 통합되는 ‘설계 대상’으로 진화하고 있다.
- 둘째, **물리적 한계를 극복하기 위한 고밀도 패키징 기술이 핵심**으로 부상하고 있다. 데이터 전송 지연과 전력 소모를 줄이기 위한 해법은 회로 설계만으로는 충분하지 않다. CoWoS, PLP, SOIC 등 고집적 패키징 기술을 통해 연산기-메모리-I/O 간 거리를 최소화하고, 신호 무결성과 열 관리를 동시에 달성하는 방식이 일반화되고 있다. 이로 인해 패키징 자체가 반도체 성능을 좌우하는 결정적 요소로 재정의되고 있다.
- 셋째, **칩 간 통신 구조인 인터커넥트 아키텍처의 중요성이 빠르게 부각**되고 있다. 칩렛 구조와 이기종 연산의 확산은 개별 칩 간 연결 효율이 전체 시스템 성능을 결정짓는 요소가 되고 있다. UCIe, NVLink, Infinity Fabric, TPU Interconnect, AWS Nitro 등 다양한 인터커넥트 기술은 병렬 연산 최적화, 메모리 공유, 하드웨어 간 협업을 가능하게 하며 시스템 전체의 응답성과 확장성을 크게 좌우한다. 결국, AI 반도체는 단일 칩의 경쟁이 아니라 데이터 흐름 전체를 설계하는 시스템 레벨의 경쟁으로 전환되고 있다. 각 기술 영역의 혁신은 개별 기업의 역량만으로는 불가능하며, 메모리-파운드리-후공정-플랫폼 기업 간 유기적인 생태계 협업을 전제로 한다. 앞으로는 이 협업의 정밀도와 속도가 곧 산업 전체의 기술 진화 속도를 결정짓는 핵심 변수가 될 것이다.

초거대 AI 모델이 요구한 HBM -1

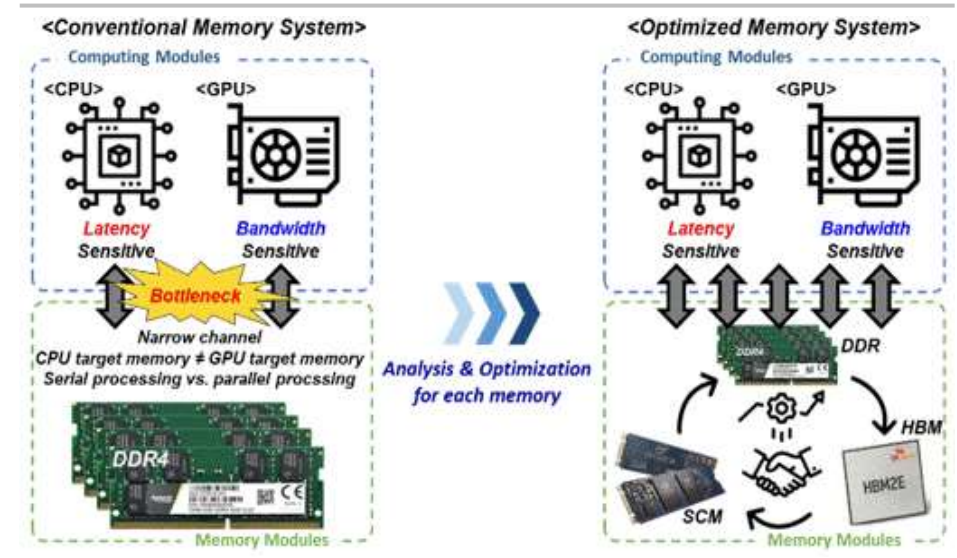
- AI 반도체에서 메모리는 더 이상 보조 저장 장치가 아니라, 연산 병목을 결정짓는 핵심 컴포넌트로 자리잡고 있다. 특히 초거대 모델의 학습과 실시간 추론 환경에서는 연산 유닛 자체의 성능보다 데이터를 얼마나 빠르게 불러오고 처리할 수 있는지가 전체 시스템 성능을 좌우한다. 이 같은 흐름 속에서, 고대역폭 메모리(HBM)는 AI 반도체의 필수 기반 기술로 부상하고 있다.
- HBM은 단순한 DRAM 적층을 넘어, 연산기와 메모리 간 연결 구조를 전면 혁신한 기술이다. 수직 적층된 DRAM 다이를 TSV(Through Silicon Via)로 연결하고, 이를 실리콘 인터포저를 통해 연산 유닛과 밀착 배치함으로써 데이터 전송 거리와 지연을 최소화한다. 이러한 구조는 수십 GB/s 이상의 대역폭을 제공할 뿐 아니라, 신호 무결성과 열 제어, 칩 정렬 정밀도 등 전방위적 패키징 기술이 결합되어야 실현 가능한 고난도 기술이다.
- HBM의 확산은 메모리 업체를 넘어 반도체 생태계 전반의 기술 재편을 촉발하고 있다. 고적층 구조에 적합한 방열 설계, 고속 신호 전달을 위한 인터포저 설계, 저저항 TSV 공정, 정밀 정렬 및 고속 테스트 장비 등 다양한 후공정 역량이 요구된다. 이에 따라 OSAT, 소재, 검사 장비 기업들의 기술 수준이 HBM 기반 AI 반도체의 품질과 수율을 결정짓는 핵심 경쟁력으로 부상하고 있으며, 공급망 협업의 중요성이 더욱 커지고 있다.

그림 29. 메모리반도체 배치 구조: GDDR6 vs. HBM2



자료: 업계 자료, 유안타증권 리서치센터

그림 30. 메모리 시스템 최적화 및 공급망 협업의 중요성



자료: VLSI, 유안타증권 리서치센터

초거대 AI 모델이 요구한 HBM -2

표 24. 글로벌 HBM 밸류체인 현황

				주가Performance (YTD)			EPS YoY Growth (%)				
		Ticker	시가총액	HBM 관련 사업	2023	2024	2025	2023	2024	2025F	2026F
IDM	SK하이닉스	A000660	1,433,437	HBM	89%	23%	13%	적전	흑전	51%	3%
	삼성전자	A005930	3,238,042	HBM	42%	-32%	3%	-74%	132%	-1%	18%
	Micron	MU US	105,979	HBM	71%	3%	9%	적전	흑전	872%	56%
Front-end	원익IPS	A240810	10,578	ALD	37%	-34%	-4%	적전	흑전	216%	26%
	디아이티	A110990	2,279	Annealing	244%	-32%	-4%	42%	120%	-	-
	케이씨텍	A281820	5,204	CMP/CMP Slurry	81%	-3%	-3%	-43%	66%	-14%	20%
	EBARA	6361 JP	7,501	CMP	84%	53%	-11%	11%	17%	-2%	10%
	Cabot	CBT US	3,978	CMP Slurry	30%	12%	-16%	64%	-20%	-18%	8%
	Veeco Instrument	VECO US	4,418	Annealing	28%	-23%	44%	-97%	2632%	15%	16%
	TEL	8035 JP	78,451	TSV Etch	102%	2%	-5%	-29%	46%	7%	18%
	LAM Research	LRCX US	5,427	TSV Etch	91%	-3%	14%	4%	-12%	33%	0%
	Applied Materials	AMAT US	128,817	CMP, TSV Etch/Deposition	69%	6%	-2%	9%	7%	11%	7%
	Back-end	한미반도체	A042700	74,944	Bonding	437%	34%	-2%	194%	-43%	137%
한화비전		A489790	105,604	Bonding	-	-	80%	-	-	359%	86%
이오테크닉스		A039030	128,817	Marker	130%	-9%	-8%	-52%	17%	23%	44%
BESI		BESI NA	78,451	Bonding	147%	-1%	-19%	-21%	3%	-3%	74%
ASM Pacific		522 HK	28,677	Bonding	34%	3%	-29%	-73%	-50%	141%	78%
Disco		6146 JP	15,769	Dicing	189%	28%	-22%	1%	32%	12%	19%
Towa		6315 JP	9,898	Molding	338%	-30%	-12%	-18%	1%	13%	22%
넥스틴		A348210	2,787	Inspection	39%	-26%	1%	-31%	21%	19%	51%
파크시스템스		A140860	25,312	Inspection	52%	22%	8%	-12%	74%	23%	21%
Camtek		CAMT US	787	Inspection	210%	22%	-20%	4%	47%	27%	9%
Onto		ONTO US	5,427	Inspection	124%	15%	-45%	-42%	67%	23%	15%
테크윙		A089030	15,972	Test Handler	103%	236%	-13%	적전	적지	흑전	126%
Advantest		6857 JP	2,964	Testing	134%	100%	-27%	-49%	140%	28%	16%
Teradyne		TER US	4,635	Testing	27%	21%	-38%	-34%	-24%	52%	42%
와이씨		A232140	12,551	Wafer Testing	78%	105%	-8%	-48%	-19%	300%	55%
피에스케이홀딩스		A031980	36,461	Packaging	293%	41%	-18%	5%	124%	-1%	9%

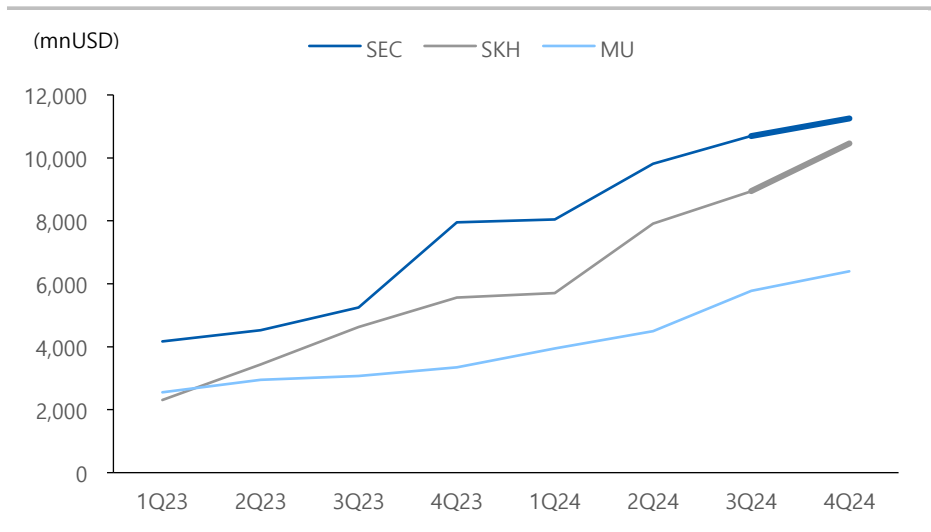
자료: Quantwise, Bloomberg, 유안타증권 리서치센터,

주1: 시가총액 단위는 100mnKRW, mnUSD / 주2: 데이터는 5월 23일 종가 기준 반영

2025년 HBM 시장, SK하이닉스 위주의 고부가 제품 공급 지속

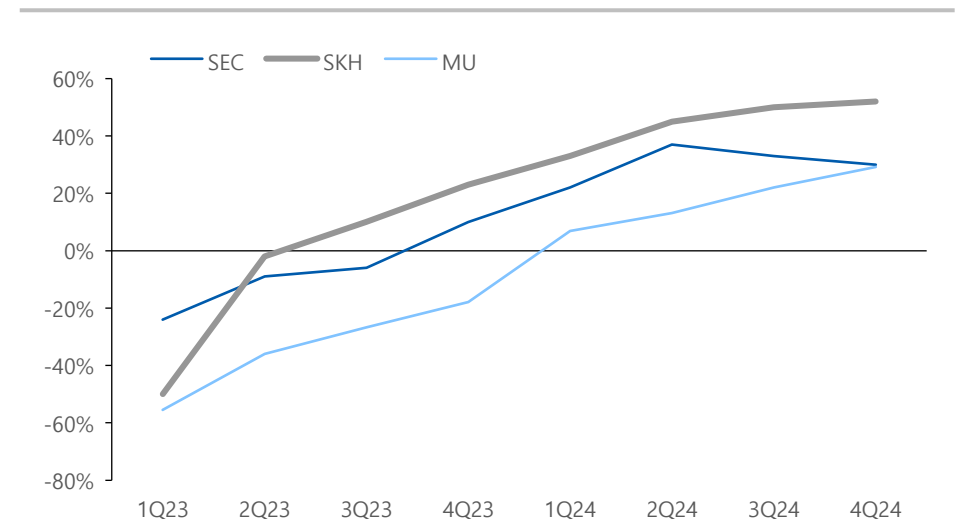
- SK하이닉스는 HBM3E 8단 및 12단 제품에서 압도적인 점유율을 기록하며, 주요 AI 고객사 중심으로 안정적인 공급망을 확보하고 있다. 수율 안정성, 전력 효율, 방열 설계 측면에서 타사 대비 우위를 보이며, 빠르게 시장을 선점한 점이 주목된다. 당사 리서치센터는 2025년 동사 HBM의 연간 예상 매출액과 영업이익을 각각 32.4조원(YoY +168%), 17.9조원(OPM 55%, YoY +181%)로 추정한다.
- 삼성전자는 HBM3E 12/16단 제품을 준비하고 있으며, 상대적으로 출시 일정이 지연되고 있는 것으로 파악된다. 2024년까지 TSV Capa 확장을 지속했던 모습과 다르게, 2025년에는 제품 신뢰성과 수율 확보를 우선순위에 두고 있는 것으로 파악된다. 또한 2025년 하반기부터는 HBM4 시험 생산을 시작할 계획이다. 다만 주요 AI GPU 및 ASIC 고객사의 인증 일정이 병행되어야 하는 만큼, 실제 공급 안정화에는 다소 시간이 소요될 것으로 예상된다.
- 마이크론도 후발주자임에도 불구하고 HBM3E 라인업을 기반으로 사업화를 시도 중이다. 동사는 2025년 HBM TAM(Total Addressable Market) 전망치를 350억불 이상으로 상향 조정하고, 이에 따라 올해 연간 HBM 매출액 가이드를 수십억불 규모로 제시했다. 연말까지 HBM 시장 점유율이 DRAM 점유율과 유사한 수준에 도달할 것으로 기대하며 공격적으로 사업화를 준비 중이다. 특히 대만 패키징 공정 내 수율 개선이 지연된다는 점을 고려하면 기존 Conventional Packaging 라인의 외주 비중을 적극적으로 확대할 것으로 예상된다.

차트 38. DRAM 3사 매출액 추이 비교



자료: Trendforce, 유안타증권 리서치센터

차트 39. DRAM 3사 영업이익률 추이 비교



자료: Trendforce, 유안타증권 리서치센터

차세대 HBM 기술 고도화 방향

- **첫째, 적층 수와 대역폭의 확장이 동시에 진행 중이다.** HBM3E는 기존 HBM3 대비 더 높은 속도와 적층 수를 지원하며, 단일 스택 용량 및 대역폭 모두에서 성능 한계를 끌어올리고 있다. 기존 HBM3는 12단 적층 기준 최대 24GB 수준의 용량을 제공했으나, HBM3E는 16단 이상으로 적층을 확대하면서 스택당 36GB 이상도 구현 가능해졌다. 또한 I/O 속도는 9.2Gbps에서 최대 9.8Gbps 수준까지 상향되어, 1024bit 인터페이스 기준 스택당 1.2TB/s 이상의 대역폭을 제공할 수 있다. 다만 JEDEC 규격의 패키지 높이 제한(예: 720~800 μ m)을 감안할 때, 고적층 구현을 위해서는 더 정밀한 다이 정렬, 방열 구조 고도화, 신소재 패키지 적용이 필수로 요구되며, 이에 따른 기술 장벽도 높아지고 있다.
- **둘째, 전력 효율과 열 제어가 주요 경쟁 요소로 부상하고 있다.** HBM은 구조적으로 고속 I/O 전력 소모와 중앙부 발열 집중이 심한 특성을 가지므로, 저전력 PHY 회로 설계, 온도 기반 리프래시 제어(DRMF: DRAM Refresh Management Function), 열전도 경로 최적화 등이 병행되고 있다. 최근에는 언더필을 제거해 내부에 공기층(Air Gap)을 형성하거나, 극박형 열전도성 소재를 도입해 방열 특성을 개선하는 시도가 이뤄지고 있다. 특히 16단 이상 적층 시, 방열 성능 확보 여부가 고속 동작의 안정성과 수율 확보를 좌우하는 핵심 변수가 되고 있다.
- **셋째, 공급사 간 기술 격차가 전방위적으로 확대되고 있다.** HBM은 단순한 메모리 사양 경쟁을 넘어, 패키징 정밀도와 시스템 레벨 신뢰성까지 포함한 종합 기술력의 경쟁으로 진화 중이다. 다이 간 정렬 정밀도, 인터포저 내 고속 신호 무결성 유지 역량, 패키지 높이 제한 내에서의 기계적 강성 확보 및 열 확산 구조 설계 등이 실제 제품 성능 차이를 만들어내고 있다. 이에 따라, HBM 시장은 공정 수율과 후공정 기술력을 모두 확보한 업체가 높은 점유율을 유지할 것이다.

표 25. HBM 세대별 사양 비교

구분	HBM	HBM2	HBM2E	HBM3		HBM3E			HBM4	
적층 수	4단	4단	8단	8단	12단	8단	12단	16단	12단	16단
용량	2GB	8GB	16GB	16GB	24GB	24GB	36GB	48GB	48GB	64GB
최대 대역폭	128GB/s	256GB/s	460GB/s	819GB/s	819GB/s	1.15TB/s	1.2TB/s	1.2TB/s	1.64TB/s	1.64TB/s
I/O속도	1Gbps	2 Gbps	3.6 Gbps	6.4 Gbps		9.8 Gbps			6.4 Gbps	
동작 전압 (VDD/VDDQ)	1.2V/1.2V	1.2V/1.2V	1.2V/1.2V	1.1V/0.4V		1.1V/0.4V			1.0V이하	

자료: 업계 자료, 유안타증권 리서치센터

2026년 HBM4 본격 양산 전망 -1

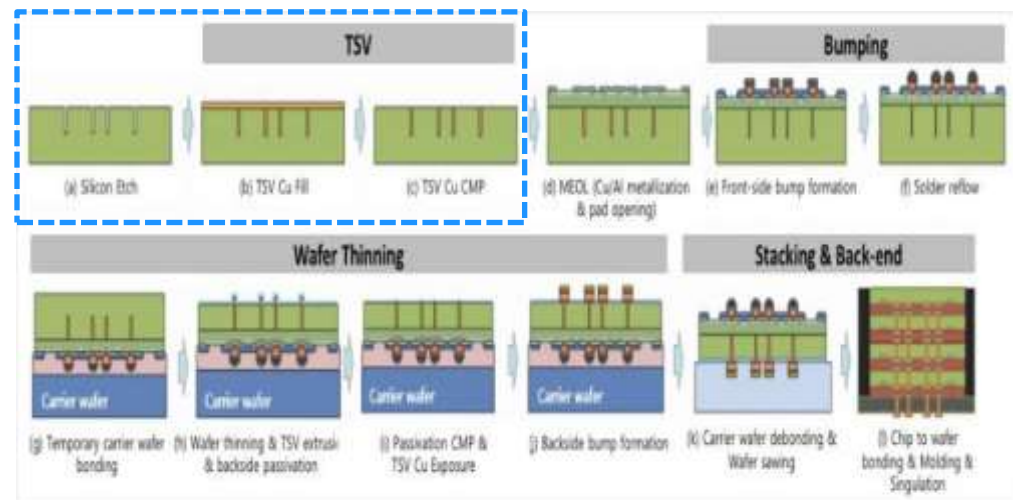
- 2025년 4월, JEDEC이 차세대 고대역폭 메모리인 HBM4의 공식 규격(JESD270-4)을 발표했다. HBM4는 2048비트 인터페이스에서 최대 8Gb/s 속도를 지원하며, 스택당 최대 2TB/s의 대역폭, 최대 64GB 용량 확장이 가능하도록 설계되었다. 특히 채널 수가 기존 HBM3 대비 두 배(16 → 32)로 확대되면서, 단일 패키지 내에서의 병렬 연산 처리 능력과 데이터 흐름 효율이 높아질 예정이다. 또한 다양한 전압 레벨 지원과 DRFM(Directed Refresh Management) 기능을 통해 전력 효율과 신뢰성도 함께 개선될 것이다.
- ①TSV 수의 증가와 함께 공정 및 패키지 구조의 정밀도를 높일 것으로 예상된다. 32채널 구성은 단일 DRAM 다이 내 TSV 수 증가로 이어지며, 이는 신호 간섭(Crosstalk), 전력 노이즈, 정렬 정밀도 등 다양한 물리적 제약 요인을 동반할 수 밖에 없다. TSV 간 간격이 좁아질수록 식각(Etching), 구리 도금(Cu Filling, Copper Fill), 평탄화(CMP, Chemical Mechanical Processing) 공정에서의 오차 허용 범위는 줄어들고, 이에 따라 양산 수율과 구조 신뢰성 확보를 위한 공정 기술 고도화가 필수적으로 요구될 것으로 예상된다.

표 26. HBM3와 HBM4 사양 비교

항목	HBM3	HBM4	호환성 관련
인터페이스 폭	1024비트	2048비트	컨트롤러가 2개, HBM3 채널처럼 병렬 구성하면 대응 가능
채널 수	16	32	기존 논리 채널 확장으로 수용 가능
적층 수	8/12단	12/16단	시스템 설계 시 물리적 높이 허용 범위 검토 필요
I/O 속도	6.4Gbps	6.4Gbps	SoC와의 통신 규격 일치할 경우 호환
전압 레벨	1.1V	1.0V 이하	동일 전압 범위 일부 유지
초기화/컨트롤 프로토콜	유사	유사	펌웨어/설계 재사용 가능성 ↑

자료: 업계 자료, 유안타증권 리서치센터

그림 31. HBM TSV 공정 모식도



자료: 업계 자료, 유안타증권 리서치센터

2026년 HBM4 본격 양산 전망 -2

- ②HBM4처럼 고속 인터페이스와 고적층 구조를 채택한 메모리는 **테스트 공정에서 복잡도가 크게 증가**한다. 펌에서 웨이퍼가 나온 뒤, 1차 테스트를 거쳐 다이를 수직 적층하고 나면, 다시 열/전기 신뢰성 검사를 수행한다. 이후 정상 동작이 확인된 '굿 다이(Good Die)'만을 선별해 SoC와 함께 TSMC 등의 파운드리에서 SiP(System-in-Package) 형태로 조립된다. 완성된 패키지는 시스템 수준의 검증(Custom Evaluation)을 위해 실제 데이터센터 랙 환경에서 테스트된다.
- 이러한 모든 공정 단계를 통과한 후 시스템에서 오류가 발생할 경우, HBM 단품이 아닌 패키지 전체를 초기 단계부터 다시 제작해야 한다. 이 전체 과정은 통상적으로 5개월 내외가 소요되는 것으로 파악되며, 두 차례 반복될 경우 연간 개발 지연으로 직결된다. 또한, 패키징 이후에는 내부 접점에 직접 접근(Probing)하기 어려워, 조립 이후 발생한 신호 무결성 문제는 외부 테스트 장비로 진단하는 것이 사실상 불가능하다. 일부 경계형 결함은 출하 전 테스트를 통과하더라도, 시스템 사용 중 온도/전력 스트레스 누적으로 고장 가능성도 배제할 수 없다. 이에 따라 최근에는 단순한 제조 테스트를 넘어, 시스템 구동 중에도 상태를 주기적으로 점검하는 **In-System Test 아키텍처의 내재화**가 필수적인 요건으로 부상하고 있다.

그림 32. HBM 4 구조(예상) - 1

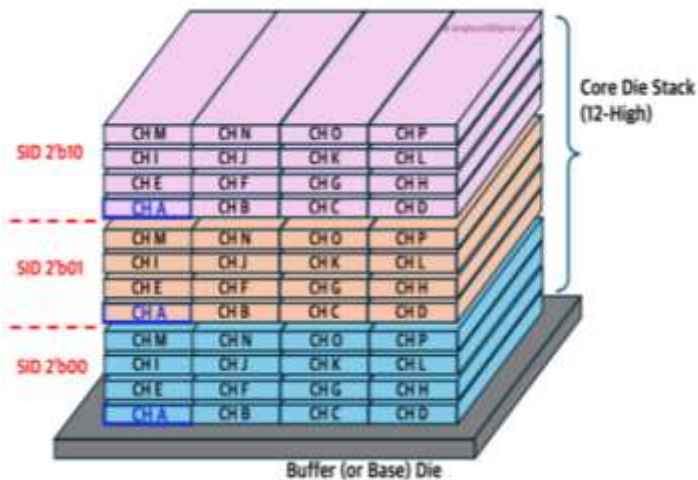
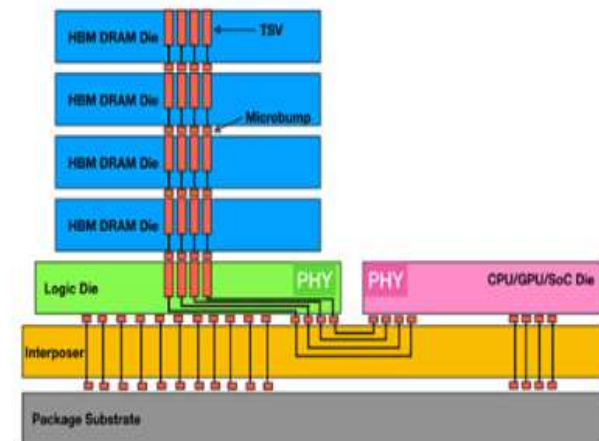


그림 33. HBM 4 구조(예상) - 2



2026년 HBM4 본격 양산 전망 -3

- ③HBM4에서는 제품 유형에 따라 **Base Die 설계 방식이 이원화**되고 있다. 기존 HBM3까지는 DRAM 업체가 DRAM 다이와 Base Die를 일괄 설계 및 생산하고, Base Die 내부에는 고정형 테스트 엔진이 탑재되는 구조가 일반적이었다. 그러나 HBM4에서는 Base Die를 표준 로직 공정(Standard Logic Process)으로 제조하는 사례가 늘고 있으며, 특히 Standard Type 제품을 중심으로 SoC 설계자(또는 시스템 기업)가 요구에 맞춰 BIST(Built-In Self-Test) 구조나 테스트 시나리오를 커스터마이징할 수 있는 설계 유연성이 부여되고 있다.
- 반면, Customized Type 제품은 여전히 DRAM 제조사가 Base Die부터 PHY 회로까지 전체를 일괄 설계/생산하는 구조가 유지되고 있으며, 고객사 요구에 따라 인터페이스, 전력, 타이밍 등을 최적화하는 형태로 제공된다. 즉, 고객의 개입 범위와 테스트 주체가 제품 유형에 따라 달라지는 것이다. 이처럼 **테스트 설계의 주체가 DRAM 업체에서 시스템 기업으로 일부 이동**함에 따라, HBM4는 테스트 유연성, BIST 최적화 범위, 커버리지 제어 등에서 새로운 경쟁 요소가 부상하고 있다. 한편, HBM4는 물리적 구조가 진화했음에도 불구하고, HBM3 컨트롤러와의 일정 수준의 하위 호환성을 유지하고 있어, 기존 시스템 설계 변경 없이도 빠른 채택이 가능하다는 점에서 실용적인 이점도 함께 제공하고 있다.

그림 34 . In-system Test 아키텍처 종류

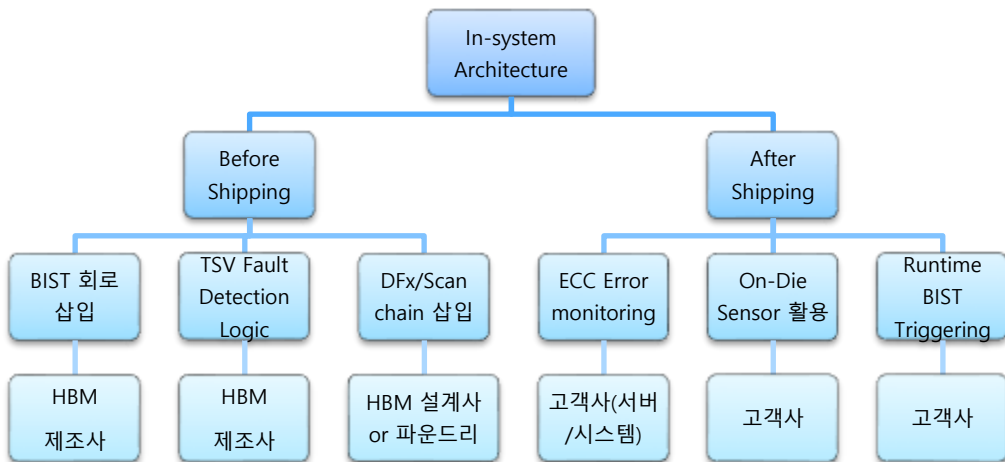


표 27. HBM4 제품 타입별 비교: Standard vs. Customized

구분	Standard Type	Customized Type
대표 고객사	NVIDIA, AMD, Broadcom, AWS, META, Google 등	Server ASIC 고객이 대부분
Base Die 설계 참여	Base die 모든 설계를 메모리 업체에서 진행.	Base die 내 메모리 Control 부분만 메모리 업체가 설계, GPU/PHY는 ASIC/PHY 업체에서 담당
테스트 구조	유연한 BIST 설계 가능, 시나리오별 테스트 조건 조절	고정형 구조 기반, 테스트 설계는 DRAM 제조사 주도
공정	Base/Core die 모두 메모리업체에서 제조	Base die는 파운드리에서 제조, Core die는 메모리업체에서 제조
목표 시장	AI/HPC용 고성능 GPU/ASIC에 최적화	범용 서버, 통신/자동차/엣지 AI 등 특수 목적
예상 채택 제품군	AMD MI400, AWS Trainium 4 등	다수의 ASIC 칩 위주

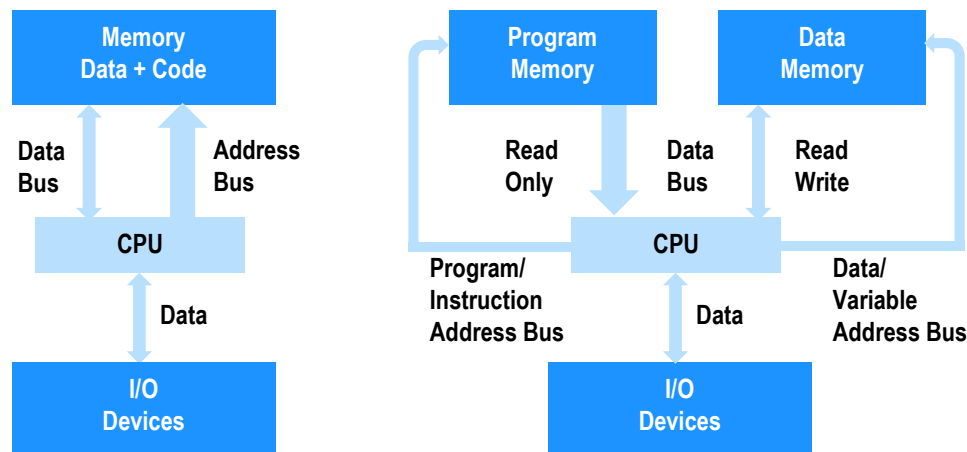
자료: 업계 자료, 유안타증권 리서치센터

자료: 업계 자료, 유안타증권 리서치센터

메모리반도체 중심의 아키텍처 부각

- AI 연산 수요가 증가하면서, 기존 DRAM 기반 메모리 체계가 데이터 전송의 병목 지점으로 작용하고 ‘Memory Wall’ 문제가 지속적으로 부각되고 있다. 이는 GPU, ASIC, NPU 등 연산 장치의 성능 향상 속도에 메모리의 속도/대역폭/확장성이 따라가지 못하는 구조적 한계를 의미하며, AI 반도체의 실질적인 성능을 제약하는 핵심 요인으로 작용하고 있다.
- 이러한 병목 현상의 근본 배경에는 컴퓨팅의 기본 구조인 폰 노이만 아키텍처(Von Neumann Architecture)에 있다. 이 구조는 연산 장치와 메모리가 **물리적으로 분리**돼 있어, 데이터를 사용할 때마다 반드시 이동이 발생하여, 대규모 AI 연산 환경에서는 이 이동이 **병목**으로 이어진다. 단순한 DRAM 성능 개선을 넘어서, 연산-메모리 간 병목을 **구조적으로 해소하려는 아키텍처 수준의 전환** 시도가 본격화되고 있다.
- 특히 GPU와 NPU 등 AI 가속기는 연산 성능은 빠르게 진화했지만, 대부분 고대역폭 메모리(HBM 등)와 같은 독립형 디바이스 메모리에 의존하는 구조다. 이로 인해 CPU와 GPU 간, 혹은 여러 가속기 간 데이터 공유를 위해서는 **사전 복사(Off-loading) 과정이 필수적**이며, 이 과정에서 **지연과 전력 소모**가 발생해 시스템 전반의 효율성이 저하되는 문제가 지속되어 왔다.

그림 35. 폰 노이만 구조와 하버드 구조 비교 -1



자료: 업계 자료, 유안타증권 리서치센터

주: 왼쪽 그림 = 폰 노이만 구조, 오른쪽 그림 = 하버드 구조 반영.

표 28. 폰 노이만 구조와 하버드 구조 비교 -2

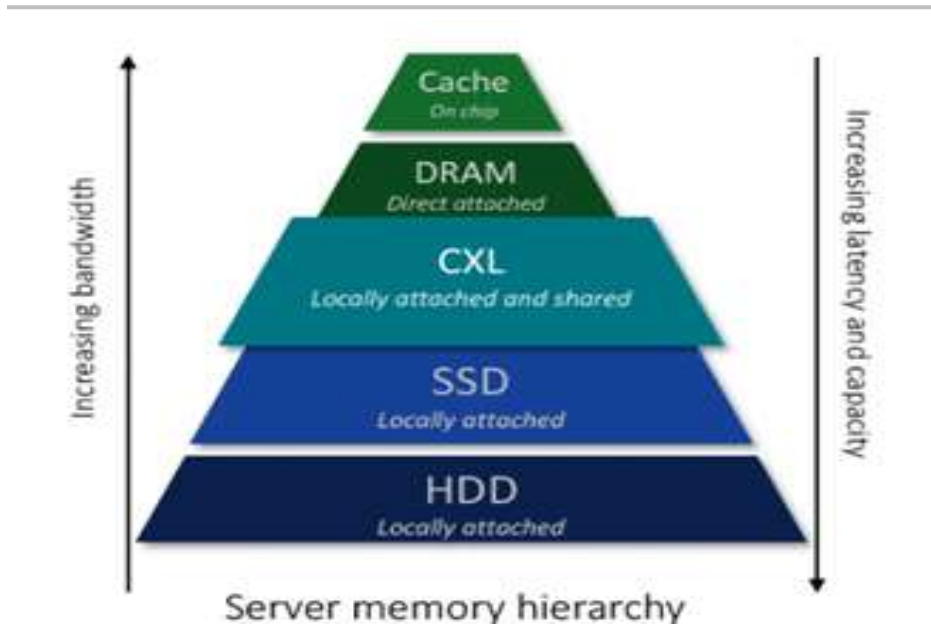
항목	폰 노이만 구조	하버드 구조
메모리 구성	명령어와 데이터를 같은 메모리 공간에 저장	명령어 메모리와 데이터 메모리를 분리 저장
명령어/데이터 저장 위치	RAM에 함께 저장됨	명령어는 ROM, 데이터는 RAM에 저장
버스 구조	단일 버스 (명령어/데이터 공유)	이중 버스 (명령어/데이터 분리)
동시 처리 가능 여부	명령어 fetch와 데이터 access가 번갈아 수행됨	고정된 명령어와 데이터를 동시에 접근 가능
장점	설계 단순, 범용 시스템에 적합	병렬 처리 효율 우수, 메모리 충돌 없음
단점	버스 병목(Memory Wall) 발생 가능	설계 복잡, 고정된 메모리 전제로 인한 비효율성
적용 사례	대부분의 CPU 아키텍처(x86, ARM 등)	MCU, DSP, 일부 AI 엣지 SoC

자료: 업계 자료, 유안타증권 리서치센터

기술 과도기적 플랫폼, CXL -1

- CXL(Compute Express Link)은 CPU, GPU, 메모리 등 이기종 장치를 고속/저지연으로 연결하기 위해 설계된 인터커넥트 표준이다. 기존처럼 각 가속기가 독립적으로 메모리를 구성하던 방식에서 벗어나 시스템 전체의 **메모리를 공유 풀(Pool) 형태로 구성**할 수 있게 한다. 이를 통해 CPU와 GPU, ASIC 등 다양한 프로세서가 특정 장치에 국한되지 않고 메모리 자원에 유연하게 접근할 수 있는 구조적 전환점으로 주목받고 있다.
- AI 연산 환경에서는 수백 GB 이상의 대용량 메모리가 요구되지만, 이를 전부 고비용의 HBM으로 구성하기에는 현실적인 한계가 존재한다. 이에 따라 최근에는 HBM, DRAM, CXL 메모리를 계층적으로 조합한 구조가 부상하고 있으며, 연산 빈도와 중요도에 따라 데이터를 구분 배치하는 방식이 실험적으로 적용되고 있다. 예를 들어, 고속 추론에 필요한 핵심 데이터는 HBM에, 빈도는 중간이나 용량이 큰 데이터는 DRAM에, **저빈도/대용량 데이터는 CXL 메모리에 배치**한다.

그림 36. 서버 메모리 계층도



자료: 유안타증권 리서치센터

표 29. 데이터 3가지 종류 분류

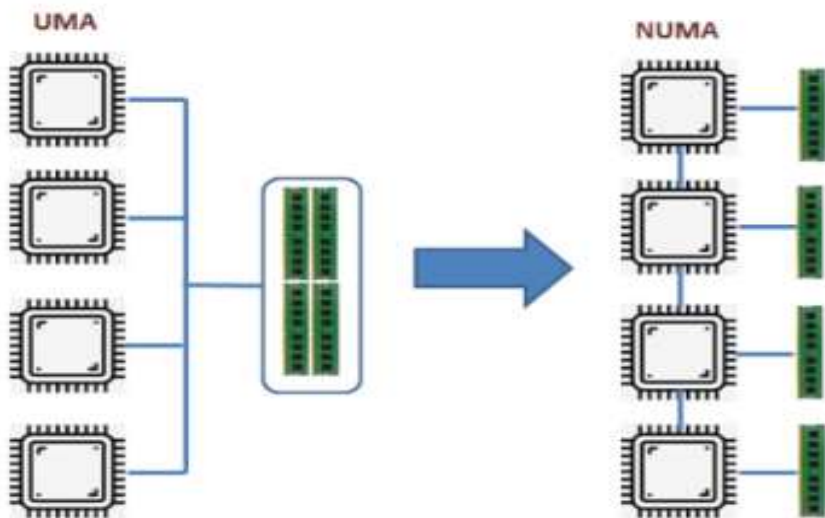
분류	의미	예시	메모리 저장 위치
Hot 데이터	자주 사용되고 즉각 처리되어야 하는 데이터	추론 연산 중 필요한 가중치, 활성화 값	HBM (고속, 저용량, 연산기 가까움)
Warm 데이터	자주까지는 아니지만 상대적으로 반복 접근되는 중간 데이터	중간 feature map, 모델 중간layer	DRAM (중간 속도/용량, 범용성 높음)
Cold 데이터	사용 빈도가 낮고, 불규칙하거나 대기 시간이 허용되는 데이터	이전 연산 결과, 로그, 히스토리	CXL 메모리 (대용량, 저속, 전력 효율 우선)

자료: 업계 자료, 유안타증권 리서치센터

기술 과도기적 플랫폼, CXL -2

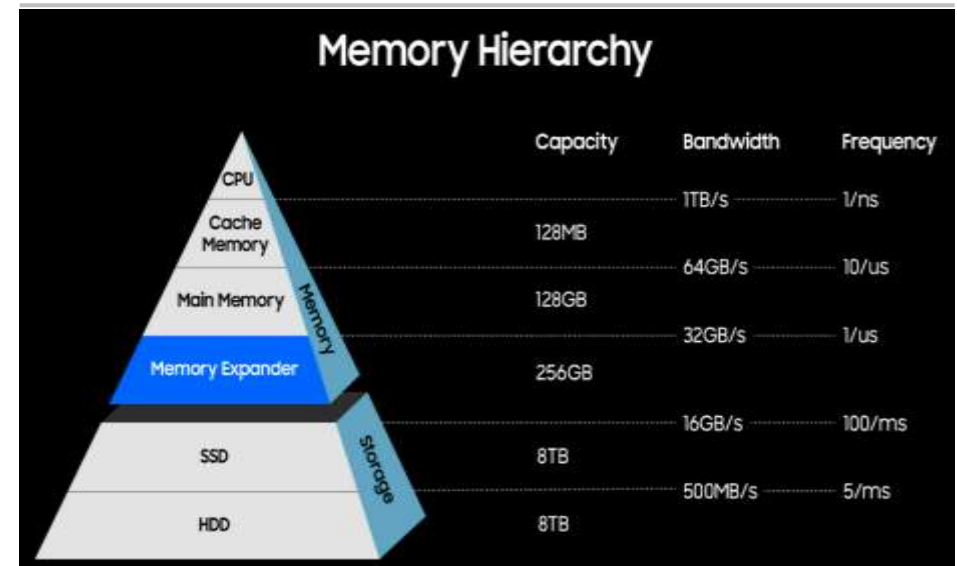
- 이러한 계층형 구조는 전체 시스템 메모리 용량을 유연하게 확장할 수 있는 장점이 있지만, 추가적인 기술 고도화가 수반될 필요가 있다. 우선, CXL 메모리는 NUMA(Non-Uniform Memory Access) 구조를 따르기 때문에 데이터의 물리적 위치에 따라 접근 지연이 발생할 수 있으며, 대부분의 애플리케이션은 이를 자동으로 고려하지 못한다. 또한, 효과적인 활용을 위해서는 운영체제나 하이퍼바이저가 각 메모리 자원의 위치와 속도를 인식하고, 그에 맞춰 데이터 배치와 이동을 최적화할 수 있는 매핑 전략과 제어 로직이 필요하다. 그러나 현재 대부분의 소프트웨어는 기존 DRAM 중심의 메모리 계층 구조에 맞춰 설계되어, CXL의 이점을 온전히 살리기엔 한계가 있는 상황이다.
- 이 밖에도, CXL 타입3 메모리 디바이스, 이를 지원하는 플랫폼(Intel Sapphire Rapids, AMD Genoa 등), BIOS 및 펌웨어 연동, 보안 격리 등의 인프라 요소가 복합적으로 요구되며, 이는 고객사 입장에서 초기 도입을 어렵게 만드는 요인으로 작용한다. 특히 Inference 중심의 AI 워크로드에서는 DRAM만으로도 충분한 성능을 확보할 수 있는 경우가 많아, 도입 비용 대비 체감 효용이 뚜렷하지 않을 수 있다. CXL이 제대로 작동하려면 하드웨어-운영체제-애플리케이션까지 전방위적인 공동 진화가 필요하며, 이에 단기간 내 시장 주류로 자리 잡기보다는 기존 DRAM과 고성능 메모리 사이에서 계층적 전환을 유도하는 과도기적 기술 플랫폼이라는 판단이다.

그림 37. CXL 메모리의 NUMA 구조



자료: 업계 자료, 유안타증권 리서치센터

그림 38. 메모리 계층도 내 Memory Expander

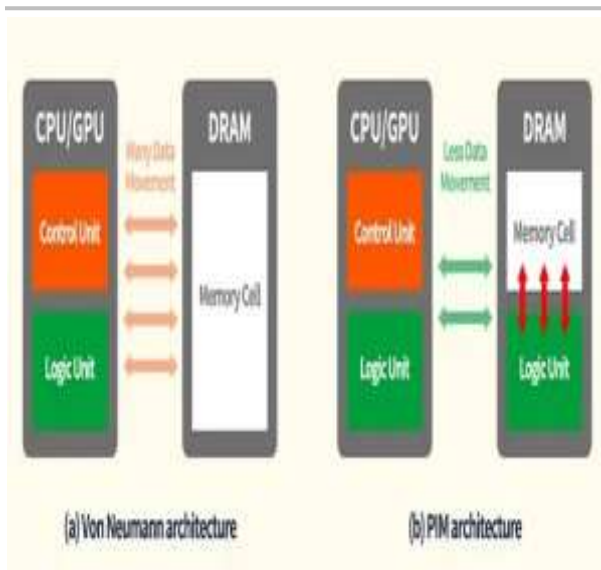


자료: 삼성전자, 유안타증권 리서치센터

시스템 주도권을 확보하려는 메모리 PIM -1

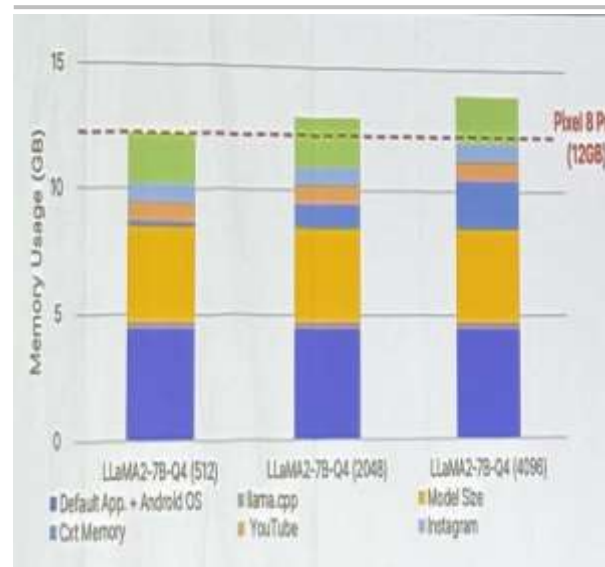
- PIM(Processor In Memory)은 메모리 내부에 연산 기능을 탑재해, 데이터를 외부로 이동시키지 않고 DRAM 내에서 직접 처리할 수 있도록 하는 구조다. 이는 AI 추론이나 분석처럼 대규모 데이터를 반복적으로 불러오는 워크로드에서 특히 유효하며, 데이터 이동에 따른 지연과 전력 소비를 크게 줄일 수 있는 대안으로 부각되고 있다. SK하이닉스는 HBM에 PIM을 결합한 ‘HBM-PIM’ 형태의 제품을 개발 중이며, 삼성전자 또한 유사한 구조를 가진 PIM-DRAM 솔루션을 선보이고 있다. 이들 제품은 DRAM 뱅크 내부에 단순한 연산 유닛을 삽입해, 데이터를 메모리 내 버퍼나 레지스터에 불러온 뒤 바로 처리하는 방식으로 동작한다. 그러나 PIM은 아직 상용화 초기 단계에 머물고 있으며, 여러 기술적 과제를 안고 있다.
- 먼저, 현재 구조는 주로 정형화된 반복 연산에 최적화되어 있어, 다양한 형태의 데이터나 복잡한 제어 흐름이 필요한 비정형 데이터 처리에는 제약이 있다. 또한, CPU나 GPU와 연산 자원을 나누어 사용하는 환경에서 발생하는 호환성 문제 역시 해결 과제로 남아 있다. 이는 시스템 내에서 메모리와 프로세서 간 연산 분담이 명확하지 않은 상황에서, PIM이 기존 연산 흐름에 자연스럽게 통합되기 어렵다는 점을 의미한다. 더불어, 해당 제품은 기존 DRAM 뱅크라는 제한된 공간 내에 연산 회로를 통합해야 하므로, 전력 소모, 발열, 회로 배치의 물리적 제약 등 설계 난이도 또한 상당히 높은 편이다.

그림 39. 폰 노이만 구조 vs. PIM 구조 비교



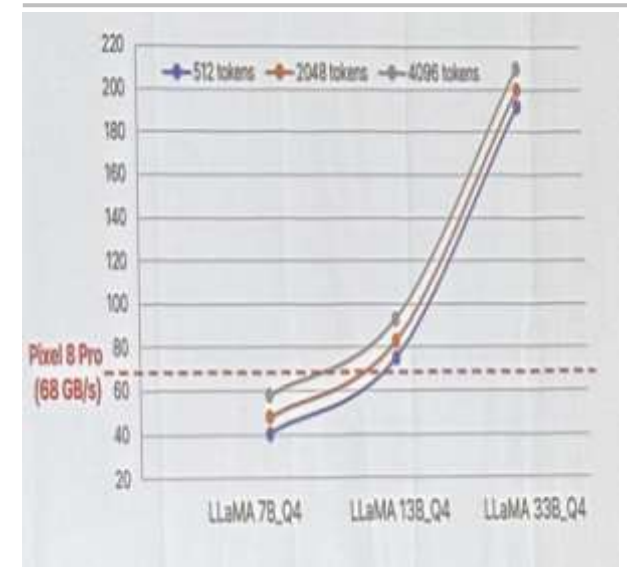
자료: 업계 자료, 유안타증권 리서치센터

그림 40. Context 길이 증가에 따른 메모리 요구량 증가



자료: SK하이닉스, 유안타증권 리서치센터

그림 41. 모델 크기 증가에 따른 메모리 대역폭 요구량 증가

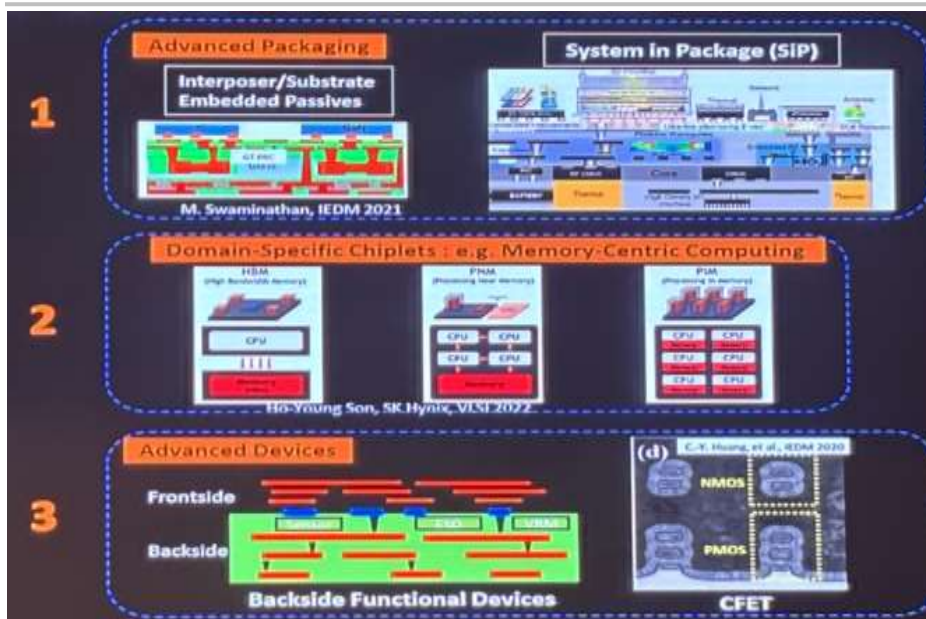


자료: SK하이닉스, 유안타증권 리서치센터

시스템 주도권을 확보하려는 메모리 PIM -2

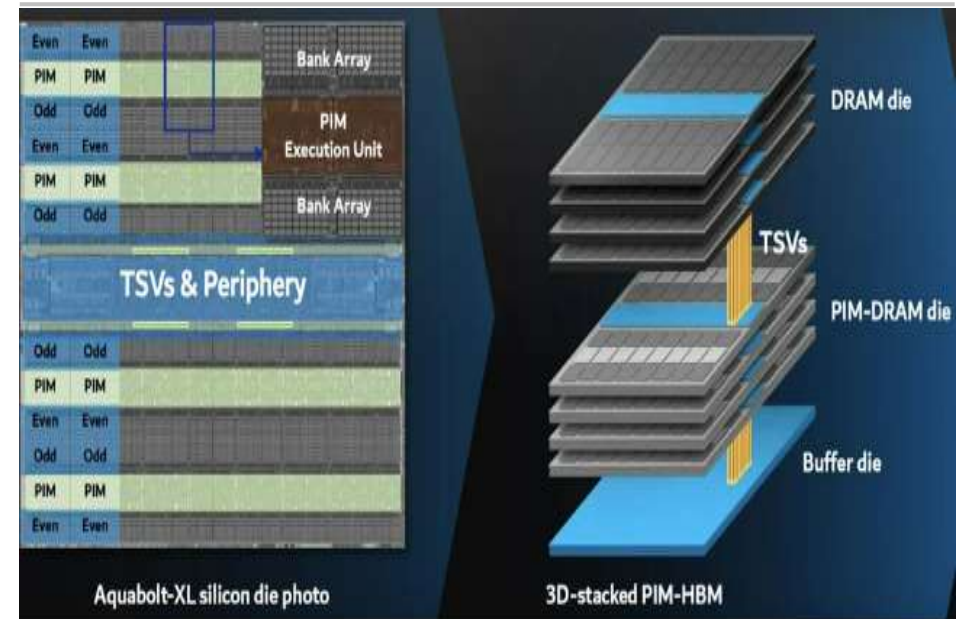
- 이러한 제약에도 불구하고, PIM은 고성능 AI 서버에서 연산 효율과 에너지 절감을 동시에 달성할 수 있는 수단으로 주목받고 있다. CXL(Compute Express Link)이 서버 업체 관점에서 메모리 자원을 유연하게 풀링하고 공유할 수 있게 하는 구조라면, PIM은 메모리 업체 입장에서 **자체 메모리의 연산 가치를 높이고, 시스템 주도권을 확보할 수 있는 구조에 가깝다.**
- 다시 말해, CXL은 서버나 CPU 업체가 메모리를 통제하는 구조로 이어질 수 있는 반면, PIM은 DRAM 자체의 역할을 확장해 시스템 내 존재감을 키우는 방향일 것으로 예상된다. 따라서 두 기술은 단순히 기능적으로만 다른 것이 아니라, AI 메모리 구조를 둘러싼 주도권 전략에서도 다른 지향점을 갖고 있다. 이는 향후 AI 서버 아키텍처 내에서 CXL과 PIM의 발전 여부에 있어 중요한 판단 기준이 될 것으로 예상된다.

그림 42. 중국 반도체 행사 내 Memory-centric Computing 중 PIM 언급



자료: 유안타증권 리서치센터

그림 43. TSV를 활용한 3D 적층 기반의 PIM-HBM



자료: 삼성전자, 유안타증권 리서치센터

고정형 메모리의 대안, SoCamm

- Micron과 NVIDIA은, 기존 GDDR 기반 메모리 구조의 발열 및 확장성 한계를 보완할 수 있는 새로운 시스템 메모리 아키텍처로 SoCamm(System on CAmM)을 검토한다. GDDR은 고속 동작을 위해 높은 클럭 속도를 사용하지만, 이로 인해 전력 소모가 크고 발열이 심해지는 구조적 제약이 있다. 특히 GPU 기판에 GDDR 칩이 다수 밀집 배치되는 방식은 열 배출이 어렵고, 전체 시스템 설계 난이도와 비용을 증가시키는 요인으로 작용한다. 또한 GDDR은 GPU 보드에 직접 납땜되는 고정형 구조를 채택하고 있어, 메모리 용량을 유연하게 확장하거나 교체하는 것이 어렵다. 고속 처리를 위해 다수의 병렬 채널을 구성해야 하므로 기판 설계의 복잡성도 증가한다.
- SoCamm은 이러한 과제를 해결하기 위한 시도로, 고집적 LPDDR 기반 DRAM을 모듈화한 탈착형 폼팩터로 설계되었다. 기존 SoDIMM 대비 얇고 면적 활용이 뛰어나며, 슬롯 기반 구조를 통해 용량 확장성과 열 분산 설계를 동시에 확보할 수 있다. 특히 납땜 없이도 고대역폭 메모리를 구성할 수 있다는 점에서, 모바일/서버용 LPDDR을 사용하는 고성능 워크스테이션, AI PC, 엣지 서버 등에서 활용 가능성이 점차 확대될 것으로 예상된다. 다만 GDDR을 직접 대체하는 기술은 아니며, 고속 GPU 연산이 요구되는 환경보다는 전력 효율성과 설계 유연성이 중요한 시스템 메모리 확장 영역에 적합한 구조다. HBM 대비 낮은 비용 구조와 유연한 설계와 탈착 가능성을 갖춘 폼팩터로, 고정형 고속 메모리와 교체형 고밀도 메모리 사이의 공백을 메우는 ‘중간 포지션’의 아키텍처이다.

표 30. 메모리반도체 주요 특징 비교: LPDDR vs. GDDR vs. SoCamm

	LPDDR	GDDR	SoCamm
주요 용도	모바일/노트북용 시스템 메모리	GPU 전용 고속 그래픽 메모리	서버/워크스테이션/AI PC용 시스템 메모리
설계 구조	SoC에 직접 납땜된 단일 DRAM 패키지	GPU 주변에 밀집 배치된 고속 DRAM	LPDDR 기반 고집적 모듈형 메모리
장착 방식	BGA 납땜형 (온보드 고정)	BGA 납땜형 (온보드 고정)	슬롯형 탈착식 (Camm2 인터페이스)
인터페이스	병렬 인터페이스	고속 직렬 인터페이스	병렬 인터페이스 (LPDDR 기반)
대역폭 (Gbps/pin)	6.4 ~ 8.5	16 ~ 24+	최대 8.5 (모듈 다중 채널로 확장)
전력 효율	매우 우수 (저전력 최적화)	낮음 (고속 동작으로 전력 소비 큼)	우수 (LPDDR 기반 설계)
발열 관리	모바일 기기 기준 수동 방열 설계	히트싱크, 팬 등 능동 냉각 필수	양면 방열판, 히트스프레더 적용 가능
확장성/업그레이드	불가능 (납땜형 고정)	불가능 (납땜형 고정)	가능 (슬롯 방식으로 교체 가능)
대표 적용 분야	스마트폰, 노트북, AI PC	GPU, AI inference 보드, 게임 콘솔	AI 서버, 워크스테이션, 엣지 장비

자료: 업계자료, 유안타증권 리서치센터

그림 44. SK하이닉스와 Micron의 SOCamm 실물



자료: Tom's Hardware, Micron, 유안타증권 리서치센터

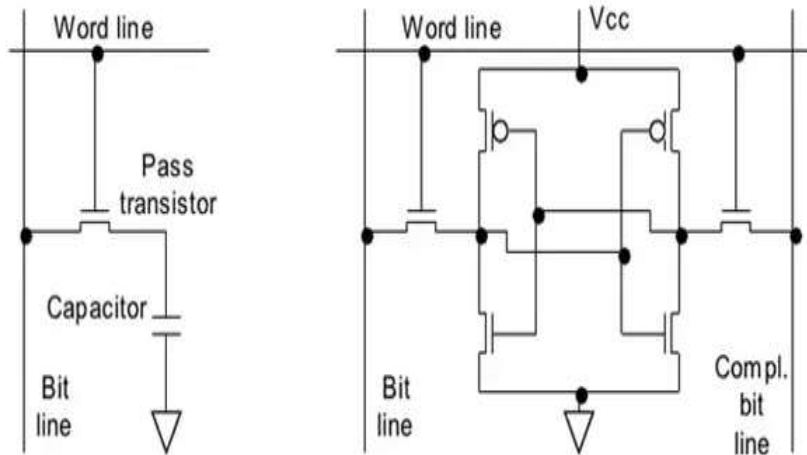
차세대 Consumer IT 플랫폼을 위한, LPCAMM

- LP-CAMM(Low Power CAMM)은, 기존 LPDDR 메모리의 납땜(Soldered-down) 구조가 갖는 확장성과 업그레이드의 한계를 극복하기 위한 차세대 저전력 메모리 모듈 규격으로, **노트북과 모바일 플랫폼을 중심으로 주목받고 있다**. 기존 모바일 SoC용 LPDDR은 기판에 직접 납땜되는 구조로 인해 교체 및 업그레이드가 불가능하고, 생산 단가 및 수율 측면에서도 유연성이 부족했다. 이에 따라 LP-CAMM은 JEDEC에서 2023년 공식 채택한 CAMM2 표준 기반으로 설계되었으며, LPDDR 기반 DRAM을 모듈형 폼팩터로 구현해 더 높은 용량, 속도, 유지보수 유연성을 제공한다. 특히 양면 실장 및 얇은 모듈 두께는 울트라슬림 노트북에서 고용량 저전력 DRAM을 안정적으로 구현할 수 있는 구조로 주목받고 있다.
- 다만 LP-CAMM은 아직 몇 가지 기술적 과제를 안고 있다. 초기 기계적 고정 구조는 나사(Screw) 기반이었으나, 이는 조립성과 양산 효율 측면에서 불리하고, 기판 휨(Warpage) 및 압력 불균형 문제를 유발할 수 있다. 이에 따라 업계에서는 툴리스(Tool-less) 방식으로 안정적인 체결력을 제공하는 고정 메커니즘이 요구되고 있다. 기존 DIMM은 슬롯에 꽂는 방식으로, 고속 신호 처리 시 커넥터 부위에서 신호 반사(Reflection), 지연(Skew) 등 전기적 손실 문제가 발생할 수 있다. CAMM2는 이와 달리, **메모리 모듈을 기판에 평면 밀착시키는 구조를 채택함으로써** 신호 경로를 단축하고, 전기적 무결성(Signal Integrity)을 높이기 위한 방향으로 진화하고 있다.
- 한편, LP-CAMM은 기존 납땜형 구조와 달리 메모리 모듈이 분리 가능한 구조이기 때문에, **전력관리칩(PMIC)의 위치와 전원 공급 경로의 재설계가 필요한 것으로 파악된다**. 이 과정에서 전압 손실, 노이즈 유입 등 전원 무결성(Power Integrity) 문제가 발생할 수 있으며, 안정적인 전압 분배를 위한 회로 설계 최적화가 요구된다. 현재 일부 제조사들은 LP-CAMM 설계에서 PMIC 통합 최적화, 발열 제어 문제에 대한 대응을 병행하고 있으며, 여전히 고성능 노트북에 안정적으로 적용하기 위한 검증이 진행 중이다. Apple은 현재까지 LP-CAMM 도입을 보류하고 있으며, 이는 설계 최적화와 패키징 수율, 품질 보증 기준의 복합적 이유에 기인한 것으로 추정한다. 현재 Dell, Lenovo 등 일부 고성능 노트북 제조사는 LP-CAMM(CAMM2)을 탑재한 제품을 출시하고 있으며, 향후 채택 범위는 점진적으로 확대될 것으로 전망한다. LP-CAMM은 기존 BGA 납땜 방식이 가진 구조적 한계를 넘기 위한 기술적 전환점에 있다.

주메모리로의 확장 가능성이 제기되는 SRAM - 1

- SRAM(Static Random Access Memory)은 전원이 공급되는 동안 데이터를 유지하며, DRAM과 달리 주기적인 리프레시 동작이 필요 없는 메모리 방식이다. 각 셀은 트랜지스터 4~6개로 구성되어 있으며, 구조상 액세스 시간이 매우 짧고, 안정적인 데이터 보존이 가능하다. 이러한 특성 덕분에 SRAM은 캐시 메모리(Cache Memory)와 같이 고속 응답이 요구되는 영역에서 널리 사용되어 왔다. 다만, 셀당 면적이 크고 집적도가 낮으며 제조 단가(5nm 이하 Logic 공정 활용)가 높기 때문에, 대용량 메모리 구현에는 제한이 있어 지금까지는 주로 L1~L3 캐시와 같은 제한된 용도로만 활용되어 왔다.
- SRAM은 과거에는 가격과 면적 측면에서 제약이 많았지만, 최근 엣지 AI 환경의 확산과 함께 다시 주목받고 있다. 엣지 디바이스는 서버와 달리 전력 소모가 제한되어 있고, 높은 응답성과 실시간성이 요구되기 때문에, 메모리의 속도와 전력 효율이 무엇보다 중요하다. DRAM은 높은 밀도와 저렴한 비용이 장점이지만, 주기적인 리프레시 동작과 비교적 높은 지연(Latency)이라는 한계를 갖는다. 반면 SRAM은 지연이 거의 없고, 짧은 응답 시간과 낮은 전력 소모를 기반으로 온디바이스 AI 연산에 적합한 대안으로 부상하고 있다.

그림 45. SRAM과 일반 DRAM 구조 비교



자료: 업계 자료, 유안타증권 리서치센터

표 31. SRAM의 종류와 특징

분류 기준	분류 체계	주요 특징	대표 활용처
NvSRAM (Non-Volatile SRAM)	전통 분류	전원 꺼져도 데이터 유지, EEPROM/Flash 통합 구조	산업 제어기, 계측기, 전력 장치, 네트워크 장비
Asynchronous SRAM	전통 분류	클럭 없이 주소 제어로 읽기/쓰기 동작	MCU, 저속 디지털 회로, 전자사전, 키패드 버퍼
Synchronous SRAM	전통 분류	클럭 동기화된 고속 동작, CPU 캐시 연동	CPU 캐시, 네트워크 라우터, GPU 캐시
Low Power SRAM	전통 + 아키텍처 기반	저전력, 누설 전류 감소, 모바일 SoC 최적화	스마트워치, 센서 디바이스, 모바일 SoC
ULSRAM (Ultra-Low Power SRAM)	아키텍처 기반	슬립 최적화, 5T/6T/8T 셀 구조, 전력 최소화	NPU, AI 칩 내부 SRAM, 엣지 디바이스
Register File SRAM	아키텍처 기반	초고속 연산 접근에 특화, 고정된 파이프라인 캐시 구조	TPU, Dojo, AI 매트릭스 연산용 캐시
CAM형 SRAM	아키텍처 기반	입력값 기반 직접 검색, 키 매칭 최적화 구조	AI 키-값 매칭, Transformer Attention 등

자료: 업계 자료, 유안타증권 리서치센터

주메모리로의 확장 가능성이 제기되는 SRAM -2

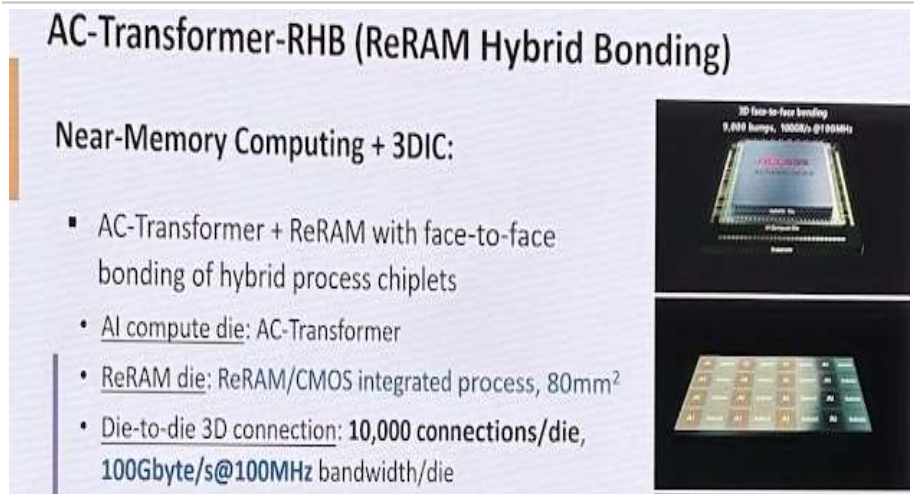
- 이러한 흐름을 가장 선명하게 보여주는 사례가 Google의 차세대 스마트폰용 SoC인 Tensor G5다. Tensor G5에서 기존 모바일 DRAM 기반 설계 대신, 자체 설계한 대용량 SRAM 캐시 구조를 채택한 것으로 파악된다. 이는 단순한 CPU 캐시 수준을 넘어, AI 연산에서 실제 주기억장치처럼 작동하는 고속/저지연 메모리 계층을 구현하려는 시도다. SRAM은 HBM이나 LPDDR 대비 집적도는 낮지만, 구조적으로 지연(Latency)이 거의 없고, 리프레시가 필요 없어 전력 효율이 뛰어난 장점이 있다. 특히 온디바이스 AI 환경에서는 클라우드 연동 없이도 모델 파라미터와 중간 연산 데이터를 빠르게 불러와야 하며, 이때 짧은 응답시간과 고속 액세스를 동시에 만족시키는 SRAM이 이상적인 대안으로 주목받고 있다.
- Google은 Tensor G5의 TPU 사이드에 대형 SRAM 풀을 배치해 AI 추론 기능을 온디바이스로 처리하도록 구성하고, Apple은 Neural Engine 주변에 SRAM 기반의 계층형 캐시 구조를 구성하고 있으며, Tesla의 Dojo는 DRAM 없이 SRAM 기반 레지스터 파일만으로 AI 학습용 연산 구조를 설계했다. 즉, **SRAM은 단순한 보조 캐시가 아니라, 연산에 밀착된 고속 메모리로서 '주 메모리화' 되는 방향으로 확장되고 있다.** XR 등 모든 저전력 연산 환경에서 Memory Wall을 해결하기 위한 핵심 전략으로 부각될 전망이다. SRAM의 고속성과 저지연 특성은 유지하면서, 집적도와 비용 효율을 개선할 수 있는 **대안 메모리 기술 개발도 병행되고 있다.** 대표적으로 MRAM, ReRAM과 같은 비휘발성 고속 메모리는 낮은 전력 소비, 셀 구조 단순화, 비휘발성 특성을 바탕으로 SRAM의 일부 역할을 대체할 수 있는 가능성 또한 배제할 수 없을 것이다.

표 32. RAM(Random Access Memory) 종류 비교

항목	SRAM	DRAM	ReRAM	MRAM	FeRAM
동작 원리	트랜지스터 6개로 플립플롭 구조 형성	트랜지스터+ 커패시터 구조	저항 상태 변화 (산화막 기반)	자기 터널 접합(MTJ)으로 비트 저장	강유전체 분극 이용
휘발성 여부	휘발성	휘발성	비휘발성	비휘발성	비휘발성
속도	매우 빠름 (나노초 수준)	빠름 (SRAM보다 느림)	빠름 (DRAM 수준 이상 목표)	빠름 (DRAM 수준)	빠름 (SRAM/DRAM 수준)
전력 소모	낮음 (리프레시 불필요)	중간 (리프레시 필요)	낮음	낮음	낮음
집적도/용량	낮음 (면적 큼)	높음 (고밀도 가능)	높음 (3D 적층 가능)	중간 (집적도는 DRAM 이하)	낮음 (용량 한계)
제조 공정	로직 공정 (FinFET, GAA 등)	전용 메모리 공정	신규 재료 공정 필요	CMOS 호환 가능	기존 CMOS 일부 호환
상용화 단계	광범위 상용화 (캐시 등)	광범위 상용화 (모바일, 서버 등)	초기 상용화 단계	상용화 진행 중 (eMRAM 포함)	제한적 상용화
대표 활용 분야	CPU 캐시, 엣지AI SoC	메인 메모리 (PC, 서버 등)	AI 가속기, MCU, 웨어러블 연구용	IoT, 자율주행, 산업용 제어	스마트카드, 의료기기, MCU

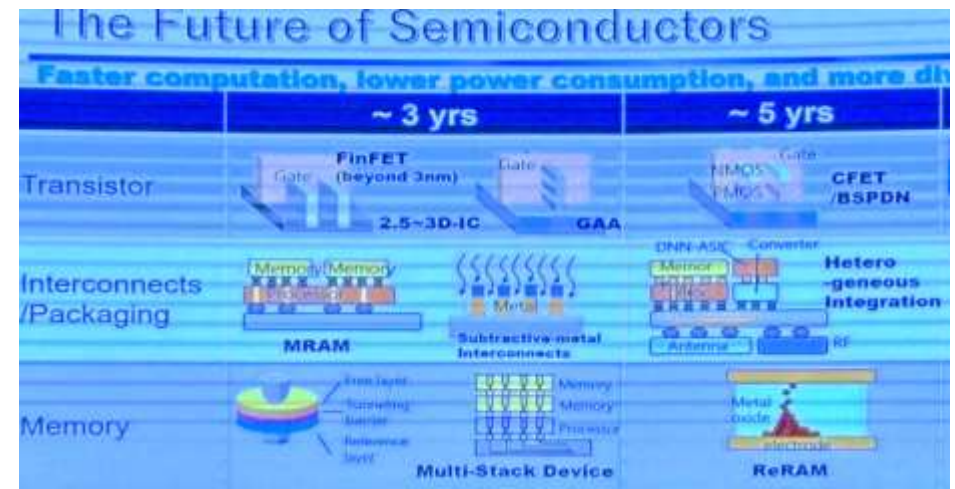
자료: 업계 자료, 유안타증권 리서치센터

그림 46. Near memory computing + 3DIC: ReRAM Hybrid bonding



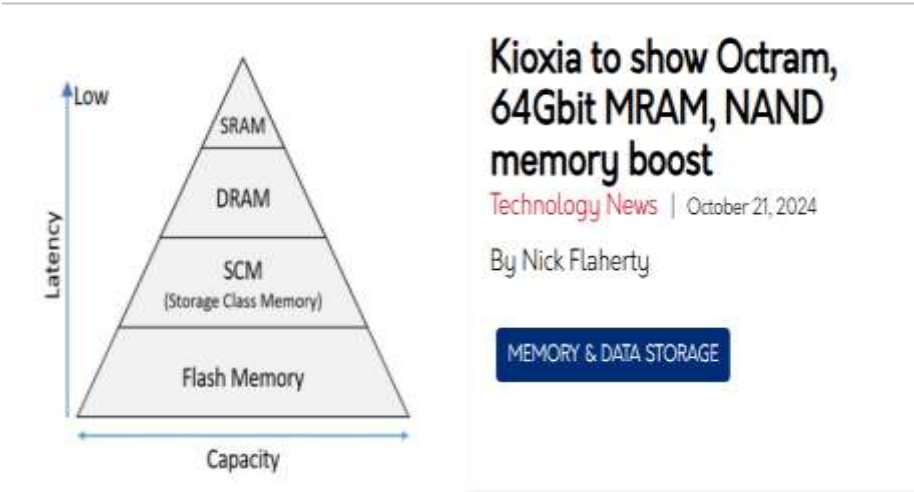
자료: 업계 자료, 유안타증권 리서치센터

그림 47. 차세대 메모리와 패키징 기술 by JSR China



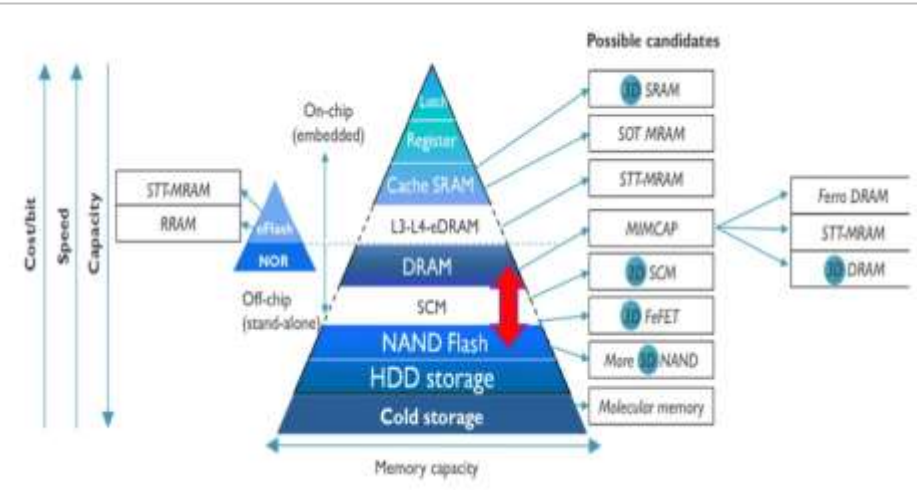
자료: Semicon China 2025, 유안타증권 리서치센터

그림 48. 일본 키옥시아가 차세대 솔루션으로 주목하는 MRAM 기술



자료: Kioxia, 유안타증권 리서치센터

그림 49. 차세대 메모리반도체 및 계층도 구분

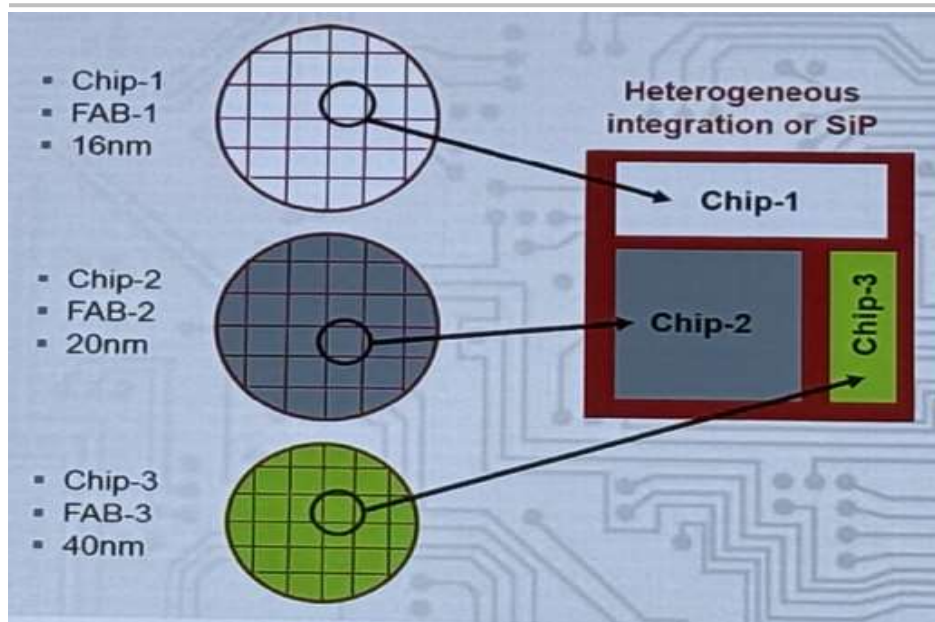


자료: 업계 자료, 유안타증권 리서치센터

Advanced PKG, 기술 진화의 전략 거점

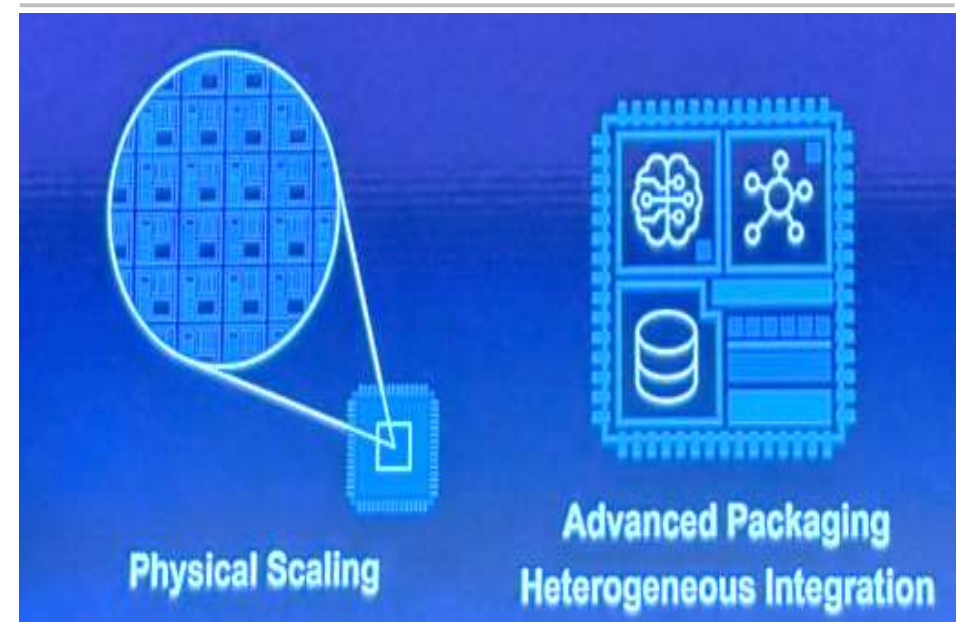
- AI 시대의 반도체 경쟁은 더 이상 연산기나 메모리 단독의 성능으로만 정의되지 않는다. 고성능 AI 칩과 이기종 SoC, 엣지 연산기 설계 전반에서, 칩 내 요소들을 얼마나 고밀도/저지연 구조로 연결할 수 있느냐가 시스템 효율성과 에너지 소비를 결정짓는다. 이 과정의 중심에는 첨단 패키징(Advanced Packaging) 기술이 있으며, CoWoS, PLP, SolC, Hybrid Bonding 등으로 대표되는 고집적 인터커넥트 기술은 연산기와 메모리 간 병목을 줄이는 것을 넘어 칩 설계 방식 자체를 변화시키는 핵심 축으로 부상하고 있다.
- 특히 CoWoS는 고속 인터포저 기반 2.5D 패키징을, PLP는 대형 패키지의 저비용 구현을, SolC와 Hybrid Bonding은 다이 간 직접 연결을 통해 초고밀도/저전력/고신뢰성 통합을 가능하게 한다. 이러한 기술은 GPU-HBM 통합을 넘어 CPU+NPU+메모리의 이기종 집적, 모바일/XR 기기의 추론 연산 구조 등 다양한 형태로 확산 중이다. 첨단 패키징은 이제 단순한 후공정이 아닌, 시스템 아키텍처를 결정짓는 설계의 출발점으로 진화하고 있다.

그림 50. 이종 칩 패키징 요구 확대



자료: ASMP China, 유안타증권 리서치센터

그림 51. 반도체 고도화 방식: Physical Scaling + Advanced PKG (Heterogeneous Integration)



자료: TEL China, 유안타증권 리서치센터

글로벌 AI 공급 지표 CoWoS -1

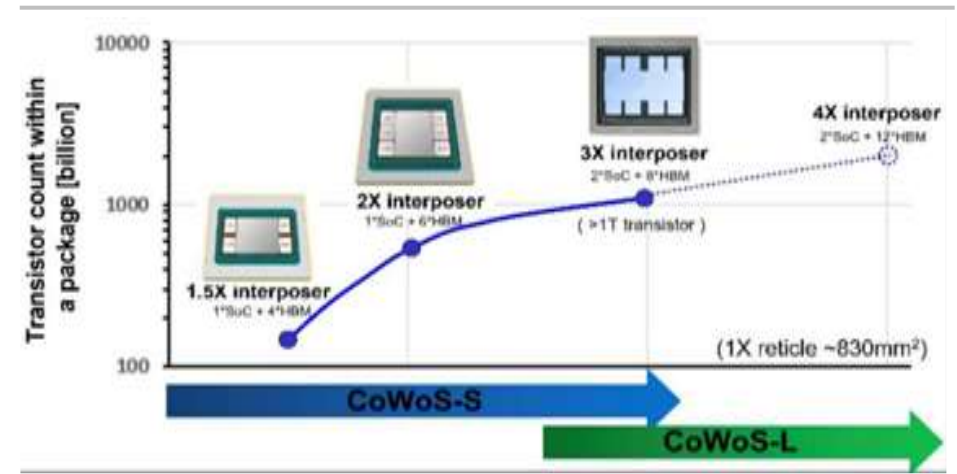
- CoWoS(Co-packaged on Wafer on Substrate)는 TSMC의 대표적인 2.5D 고급 패키징 기술로, 연산칩과 HBM를 하나의 패키지 내에서 고밀도로 집적할 수 있게 해준다. AI 인프라 공급망의 핵심 지표로 부상하고 있으며, 그중에서도 CoWoS-L 구조로의 전환이 빠르게 진행 중이다. CoWoS는 실리콘 인터포저 기반의 CoWoS-S, 유기물 RDL 기반의 CoWoS-R, 그리고 브릿지 다이를 활용한 CoWoS-L의 세 가지 구조로 구분된다.
- CoWoS-S는 실리콘 인터포저(Si Interposer)를 사용하는 전통적인 구조로, 열전도율과 신호 무결성이 뛰어나 고성능 AI 칩에 적합하다. 하지만, 인터포저 면적이 커질수록 노광 장비의 **레티클 사이즈(Reticle size)** 한계에 걸려 설계 유연성과 수율이 떨어지고, 이에 따른 비용 부담도 커지는 단점이 있다. CoWoS-R은 실리콘 인터포저 대신 유기물 기반 RDL(Redistribution Layer)만을 활용해 **제조 단가를 크게 낮춘 구조**다. 다만, 열전도율이 낮고 신호 간섭 가능성이 있어 고성능 연산에는 적합하지 않으며, 저전력/클라이언트형 패키징에 제한적으로 활용된다.
- 가장 주목받는 CoWoS-L은 다수의 브릿지 다이(Bridge Die)를 칩 사이에 삽입해 **실리콘 인터포저를 대체**하는 구조로, Reticle size 제약 없이 칩 수를 확장할 수 있는 것이 특징이다. 브릿지 다이는 소면적 실리콘 다이로, 리소그래피 효율이 높고 수율 리스크가 낮아 설계 유연성과 경제성을 동시에 확보할 수 있다. 또한, 브릿지 다이 구조는 수동소자(IPD, Integrated Passive Device)를 칩 근처에 내장하는 설계 유연성을 제공해, 전원 노이즈 억제와 신호 안정성 측면에서도 강점을 가진다. 이러한 구조적 이점 덕분에 CoWoS-L은 2개 이상의 HBM을 필요로 하는 최신 AI 칩과 고대역폭 연산 패키지에서 빠르게 채택이 확산되고 있다.

표 33. CoWoS-S와 CoWoS-L 비교

항목	CoWoS-S (실리콘 인터포저)	CoWoS-L (Bridge Die 다수)
실리콘 면적	1개 대형 인터포저 전체	다수의 소형 브릿지 다이
노광 부담	큼(Reticle size 제한)	작음(제한 회피 가능)
수율 리스크	높음(결함 시 전체 폐기)	낮음(모듈화로 리스크 분산)
단가	높음	상대적으로 낮음
확장성	제한적	높음 (칩 수 늘려도 브릿지만 추가)

자료: 업계 자료, 유안타증권 리서치센터

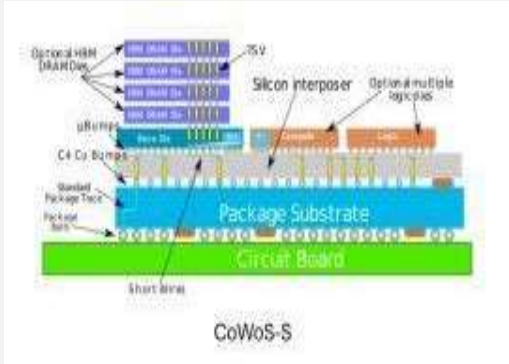
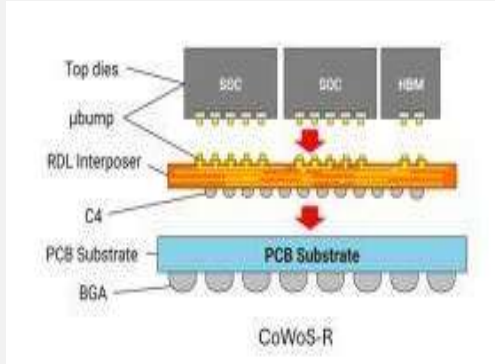
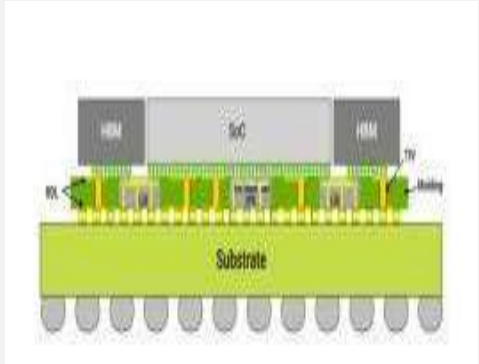
그림 52. CoWoS별 사용 인터포저



자료: 업계 자료, 유안타증권 리서치센터

글로벌 AI 공급 지표 CoWoS -2

표 34. TSMC CoWoS 아키텍처 비교

Key Items	CoWoS-S	CoWoS-R	CoWoS-L
모식도			
Cost	Highest cost	Least cost	Medium cost due to smaller bridge die
Process complexity	Lowest	Medium	Highest
Thermal conductivity	Best due to higher thermal conductivity of Si-interposer	Poor as organic RDL has worst thermal conductivity compared to silicon	Thermal conductivity lies between Si and organic RDL
Signal and Power integrity	Acceptable with longer routing lengths	Good, especially for clients and high speed datacom due to low RC interconnect, signal isolation	Very good with bridge die finer pitch
Advantages	HVM experience Better CPI due to Si-interposer as a stress buffer	Recticle limit for RDL	No reticle limit. Standalone IPD embedding
Limitations	Reticle size limited to 3.3x with > 4x reticle stitching challenges	Classical warpage risk limiting number of RDL layers	Classical warpage risk due to mold CTE mismatch to embedded dies and RDL

자료: 업계 자료, 유안타증권 리서치센터

글로벌 AI 공급 지표 CoWoS -3

- TSMC는 현재 CoWoS-S, CoWoS-R, CoWoS-L의 세 가지 구조를 모두 상용화하고 있으며, 특히 CoWoS-L 구조의 생산능력 확대에 집중하고 있다. 이는 TSMC 중심의 선단 패키징 생태계 강화뿐 아니라, 글로벌 OSAT(Outsourced Semiconductor Assembly and Test) 업체들의 대응 전략에도 영향을 미치고 있다. ASE Technology(SPIL 포함)는 자체 개발한 WoS(Wafer-on-Substrate) 공정을 바탕으로 고성능 SoC 및 AI inference용 ASIC 수요에 대응하고 있으며, 고객 다변화와 고밀도 실장을 위한 패키징 경쟁력을 강화하는 중이다. Amkor Technology는 미국 애리조나 신공장을 통해 선단 패키징 수요에 대응하고 있으며, 주요 AI 반도체 고객사와의 협업을 기반으로 시장 내 입지를 확대해가고 있다. 결과적으로, 고대역폭 연산 수요의 확산은 CoWoS-L 중심의 첨단 패키징 기술을 핵심 축으로 한 공급망 재편을 촉진하고 있으며, 소재/설계/후공정 전반에서 기업 간 경쟁력 평가 기준 역시 새로운 국면을 맞이하고 있다.
- 2025년 지나면서 CoWoS-L 수요 증가와 함께, OSAT 업체들도 점진적으로 TSV 기반 고대역폭 패키징 기술의 생산능력을 확대해 나갈 것으로 예상된다. 특히 ASE, Amkor, JCET 등은 고객사 요구에 대응해 CoWoS 유사 공정(WoS, SWIFT, SLIM 등)의 기술 완성도를 높이며, 고대역폭 인터커넥트 기술 고도화를 위한 강도 높은 투자를 이어 나갈 것으로 기대한다.

표 35. 글로벌 CoWoS 관련 기업의 주가 Performance 및 EPS 성장률 전망

					주가Performance(YTD)			EPS YoY Growth(%)			
		Ticker	시가총액	CoWoS 관련	2023A	2024A	2025A	2023A	2024A	2025F	2026F
Foundry	TSMC	2330 TT	851,502	CoWoS	34%	84%	-7%	-22%	37%	40%	15%
	Hon Hai	2317 TT	71,382	Server ODM	11%	80%	-16%	-17%	13%	31%	14%
Server ODM	Quanta	2382 TT	34,027	Server ODM	234%	38%	-6%	32%	45%	28%	18%
	Wistron	3231 TT	10,923	Server ODM	246%	14%	10%	-9%	39%	54%	25%
	Wiiwynn	6669 TT	14,139	Server ODM	135%	51%	-11%	-19%	74%	47%	13%
	Inventec	2356 TT	4,968	Server ODM	109%	1%	-18%	-1%	20%	25%	11%
OSAT	ASE	3711 TT	21,013	OSAT	54%	25%	-11%	-51%	-15%	80%	28%
	Amkor	AMKR US	4,622	OSAT	32%	-18%	-28%	-53%	-2%	-25%	40%
	KYEC	2449 TT	3,950	OSAT	146%	36%	-14%	-42%	6%	137%	-6%
부품/ 장비/ 서비스	TEL	8035 JP	74,944	TSV Etch	102%	2%	-5%	-29%	46%	7%	18%
	LAM Research	LRCX US	105,604	TSV Etch	91%	-3%	14%	4%	-12%	33%	0%
	BESI	BESI NA	9,898	Bonding	147%	-1%	-19%	-21%	3%	-3%	74%
	Chroma ATE	2360 TT	4,698	Testing	21%	95%	-16%	-19%	26%	54%	9%
	Kingslide	2059 TT	6,662	Parts	144%	76%	42%	-36%	120%	49%	19%
	Winway	6515 TT	1,163	Testing	110%	41%	-11%	-60%	145%	48%	7%

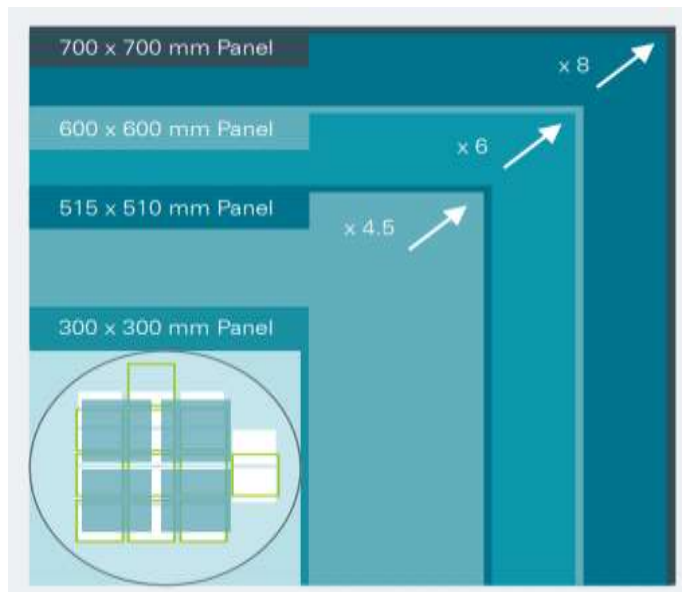
자료: Quantivise, Bloomberg, 유안타증권 리서치센터,

주1: 단위는 mn USD / 주2: 데이터는 5월 23일 종가 기준 반영

생산성의 한계를 보완해줄 PLP -1

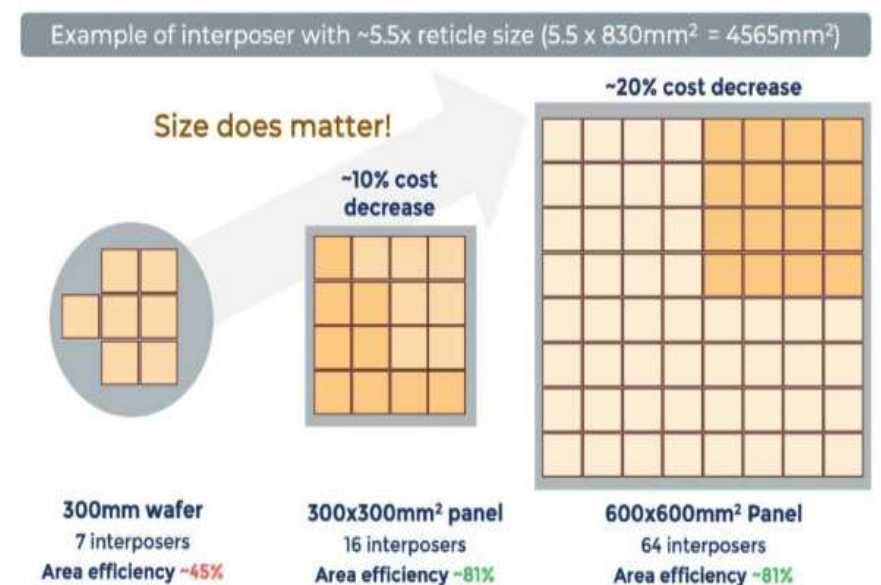
- PLP(Panel Level PKG) 기술은 고성능 AI 반도체의 패키징 수요가 폭발적으로 증가하는 가운데, 기존 웨이퍼 기반(CoWoS) 패키징의 생산성 한계를 보완할 수 있는 차세대 솔루션으로 부각된다. 특히 연산 칩의 크기가 커지고, HBM과 같은 고대역폭 메모리의 적층 수가 늘어남에 따라, 12인치 웨이퍼 한 장에서 확보 가능한 패키지 수는 급격히 줄어들고 있다. 칩 면적이 Reticle size 한계에 근접하거나 초과하면서 웨이퍼당 유닛 수는 30개 미만으로 감소할 것으로 예상되며, 이는 생산 단가 상승과 수율 저하를 유발하는 구조적 문제로 이어진다.
- 이러한 제약 속에서 PLP는 사각형 대면적 패널(300×300mm 또는 600×600mm)을 활용하여 생산 면적을 극대화하고, 칩 배열의 유연성을 확보함으로써 공정 효율성과 생산성을 동시에 끌어올릴 수 있는 대안으로 주목받고 있다. 웨이퍼 대비 소재 활용률이 높고, 병렬 배치 최적화를 통해 수율 개선이 가능하다는 점에서 실리콘 인터포저 기반 패키징의 한계를 보완할 수 있다.

그림 53. WLP vs. PLP 구조



자료: 업계 자료, 유안타증권 리서치센터

그림 54. Wafer level PKG 대비 Panel PKG 도입 시 비용은 약 20~30% 절감 가능



자료: Yole, 유안타증권 리서치센터

생산성의 한계를 보완해줄 PLP -2

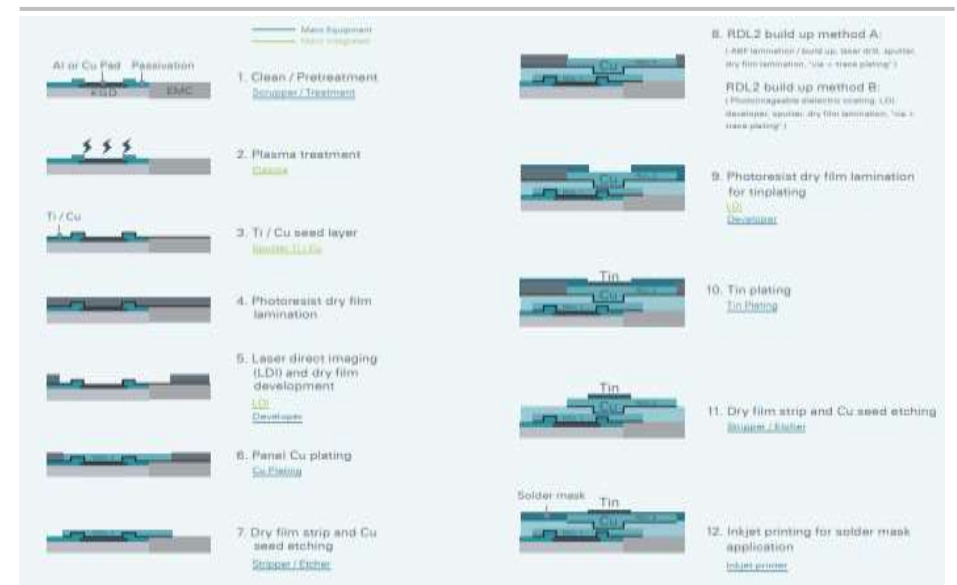
- PLP 도입에는 여전히 극복해야 할 공정상 과제가 적지 않다. 먼저, 대형 패널 위에 고밀도 배선을 형성하기 위해서는 기존 웨이퍼 공정보다 훨씬 정밀한 배선 균일성 제어가 요구된다. 이를 위해 건식 공정(Dry Processing)과 플라즈마 기반 장비, 저유전 신형 절연재 등의 기술적 기반이 필수적이다. 또한, 대면적 기판 특성상 칩 위치 오차(Die Shift) 및 초점 심도(Depth of Focus) 한계 문제가 빈번하게 발생하며, 이를 보정하기 위한 LDI(Laser Direct Imaging) 기술과 신형 감광제(Photoresist) 화학 조성이 핵심 대응 수단으로 부상하고 있다. 기판 자체의 휨(Warpage) 역시 주요 이슈다.
- 또한 크고 얇은 유연한 기판을 사용하기 때문에, 물리적 변형에 따라 증착 품질 및 후속 공정 정밀도에 영향을 미친다. 이를 해결하기 위해서는 대면적 패널에 최적화된 핸들링/열 제어 장비, 그리고 금속 증착 공정(PVD 및 도금)에서의 평탄도 확보(Coplanarity control) 가 함께 필요하다. 이처럼 PLP는 기존 웨이퍼 기반 공정과는 다른 기술적 요구 조건을 수반하며, 대면적 패널 처리에 최적화된 공정 장비, 소재, 증착 및 노광 기술의 전반적인 전환이 필요하다. 이러한 이유로 TSMC는 초기에는 310×310mm 수준의 소형 패널부터 적용하며 안정성을 확보하는 한편, 중장기적으로는 패널 대형화를 통해 생산성과 면적 효율을 극대화하는 전략을 추진 중인 것으로 파악된다.

표 36. PLP 기술의 이슈와 해결 방안

Challenges	Solutions
Scaling for higher density wiring over large panels	Dry processing Panel-capable plasma tools New dielectric materials for improved reliability and lower power
Die shift and DoF margin	Panel-capable laser direct imaging New photoresist chemistries
Warpage	Processing tools optimized for handling large flexible panels Optimized metal deposition - PVD and plating coplanarity
Particle Control	Scaling technology from front end processing

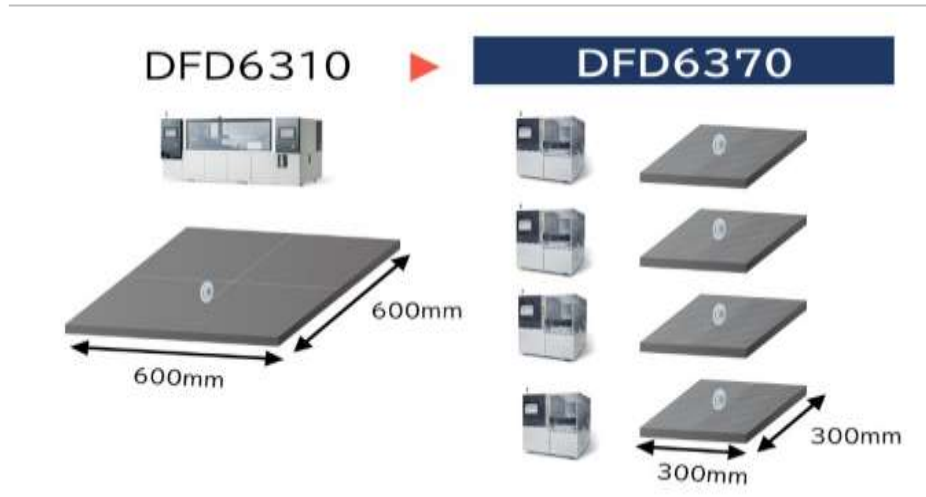
자료: 유안타증권 리서치센터

그림 55. Wafer 내 Known Good Die로부터 시작하는 Panel Level PKG 공정 모식도



자료: 업계 자료, 유안타증권 리서치센터

그림 56. 일본 Disco, A Dicing Saw for Package Singulation (Max 330mm*330mm)



자료: 유안타증권 리서치센터

그림 58. ASMPT, Advanced PKG 라인업 내 PLP 장비

Advanced Packaging
Continues to be Bright Spot, Fuelled Bookings Growth

Thermo-Compression Bonding ("TCB"):

- Logic:
 - Won orders from IDM and OSAT
 - Delivered tools to leading foundry for C25
 - Joint-development on next gen tools with leading foundry for C2W
- Memory:
 - Shipped a demo tool to another HBM customer
 - Preferred solution for 12/16H and above stacking requirements

Hybrid Bonding ("HB"):

- Won orders for 2 tools for logic applications

SMT Solutions:

- Bookings grew due to SiP tools, with demand from:
 - RF modules for high-end smartphones and wearables
 - PC and server related applications

Comprehensive Range of Advanced Packaging Solutions

Advanced packaging solutions for generative AI and HPC

자료: ASMPT, 유안타증권 리서치센터

그림 57. 일본 TOWA, PLP 장비 문의 및 주문이 증가하고 있는 것으로 파악

PLP (Panel Level Package)
Inquiries and Orders of Equipment for PLP are increasing

- Manufacturing process has been shifted from WLP to PLP to improve production efficiency.
 - Superiority of compression becomes even greater!

WLP → **PLP**

Superiority of Compression on PLP

With TOWA's original cavity down structure, it is possible to fill panel completely with resin even the four corners without leaving any gap!

The number of chip which could be molded at once increased. Production efficiency has improved significantly!

Compression equipment for PLP
Model: CPM1180
Work max size : 660x520mm

This material is the property of TOWA CORPORATION

자료: 유안타증권 리서치센터

그림 59. Nordson, 대만 PTI의 PLP 생산을 위한 Underfill 공정 양산 장비 안정화

PTI Advances PLP Underfill, Achieving Over 99% Yield

Solution Details

Optimizing the Configuration: The Vantage Series system was configured with dual Intelliflex valves mounted on independent heads to maximize maneuverability and provide real-time correction. If needed, the independent valves automatically adjusted for skewed parts and component height variation in the x and y-axes, allowing for the maintenance of high-speed, precise dispense accuracy over a large-area panel.

Managing Warpage and Optimizing Flow: The Nordson applications team applied vacuum suction, heat, and an additional clamping tool to accommodate a panel warpage of ±6 mm. Panels were pre-heated using a method that minimizes cycle time, eliminates warpage, and keeps them within a set temperature range throughout the process to optimize fluid flow.

Optimizing Cycle Time: The team identified that each package needed multiple dispensing passes and determined that the dispensing cycle time should not exceed one hour to prevent the material from curing during the process. To tackle this issue, they concentrated on optimizing



For this demonstration, the Vantage Series with Canvas fluid dispensing software was equipped with dual Intelliflex valves, RS-58F valve cartridges, high-flow vacuum tooling, a Nano1450 camera, a confocal laser height sensor, panel-level indexing capabilities, and a precision scale.

자료: Nordson, 유안타증권 리서치센터

수직 적층의 진화, SoIC로 구현되는 3D 시스템 아키텍처 -1

- TSMC가 CoWoS 시리즈를 넘어 본격적으로 추진 중인 차세대 고집적 패키징 기술이 SoIC(Silicon on Integrated Chip)이다. 기존 CoWoS-L이 인터포저 또는 브릿지 다이를 활용한 수평 연결(2.5D) 구조라면, SoIC는 연산 칩, 캐시, 메모리 등을 TSV(Through-Silicon Via) 기반으로 수직 적층(3D)하여, 신호 전달 거리 단축, 데이터 지연 및 전력 소모의 대폭 감소를 가능하게 한다. 즉, SoIC는 다이 간 연결을 수직 통합함으로써 연산 구조 자체를 재구성하는 접근이며, 고성능/고밀도 칩 설계에 최적화된 기술이다.
- 현재 TSMC가 상용 적용을 확대 중인 SoIC는 일반적으로 ‘Die-on-Wafer’ 방식 구조를 따른다. 이는 개별 다이를 서로 다른 다이 또는 웨이퍼 위에 정밀하게 정렬/적층하는 방식으로, 이기종 공정, 다양한 다이 크기 및 기능을 유연하게 통합할 수 있다는 점에서 웨이퍼 간 병렬 적층 방식인 SolC-X(Wafer-on-Wafer)와 구분된다. TSMC는 이 과정에서 TSV 외에도 하이브리드 본딩(Hybrid Bonding) 기반의 Cu-to-Cu Direct Bonding 기술을 병행 적용하고 있다. 이는 기존의 범프 기반 접합 대비 훨씬 낮은 저항과 더 높은 연결 밀도를 구현할 수 있어, 고속/고대역 I/O 연결, 초저지연, 소형화에 유리하다.

표 37. SolC-X와 일반 SolC 기술 비교

항목	SolC-X (Wafer-on-Wafer)	일반SolC (Die-on-Wafer/Die-on-Die)
기본 구조	전체 웨이퍼2장을 정렬 후 수직 적층	개별 다이를 다른 다이 또는 웨이퍼 위에 수직 적층
연결 방식	TSV + Cu-to-Cu Direct Bonding(대면적 정렬)	TSV + Cu-to-Cu Direct Bonding(부분 정렬)
적층 대상	주로 동종 다이(동일 크기/기능)	이기종 다이(크기/기능 상이 가능)
설계 유연성	낮음-대칭 구조 설계 필요	높음-다양한 프로세스, 사이즈 혼합 가능
공정 제약	수율 높은 노드, 동일 칩 크기 필요	칩별 수율/공정 최적화 가능, 유연함
적층 정렬 난이도	높음-웨이퍼 전체 정렬 정밀도 필요	중간-개별 다이 정렬, 리페어 가능
방열 설계 유연성	낮음-열 집중도 높고 일괄 설계 필요	높음-다이별 열 분산 및 개별 방열 구조 설계 가능
적용 분야	병렬 구조의 대규모 확장	고성능SoC, AI 칩,
	(예: SRAM ↔ SRAM, 로직 ↔ 로직)	로직 ↔ 캐시 ↔ 메모리 통합 등
적합 고객/제품	특정 기능의 고성능 칩	범용 고성능 칩 설계
	(대규모 병렬 컴퓨팅, 캐시 확장 등)	(HPC, 모바일, AI inference 등)

자료: 업계 자료, 유안타증권 리서치센터

표 38. CoWoS L 과 SolC 기술의 비교

	CoWoS (CoWoS-L 기준)	SolC (Die-on-Wafer 기준)	비교
연결 구조	수평 (인터포저 기반)	수직 (TSV + Cu-to-Cu)	면적 비효율 → 부피 절감, 패키지 소형화 가능
신호 경로	긴 수평 경로	짧은 수직 경로	지연 감소, 전력 효율 향상
연결 밀도	범프 기반 (제한적)	Cu-to-Cu bonding (고밀도)	대역폭 극대화, 고성능 AI/HPC 대응
적층 유연성	제한적 (2.5D 구조)	이기종 다이 적층 용이	칩렛 아키텍처 최적화, IP 재사용 증가
공정 비용	인터포저 및 기생 요소 ↑	정밀 정렬 공정 비용 ↑	단가는 아직 높지만, 장기적 수익성 우위 가능성
성숙도	성숙 (양산 적용)	초기 단계 (일부 고객 적용)	CoWoS는 현재, SolC는 미래 성장 투자 대상

자료: 업계 자료, 유안타증권 리서치센터

수직 적층의 진화, SoIC로 구현되는 3D 시스템 아키텍처 -2

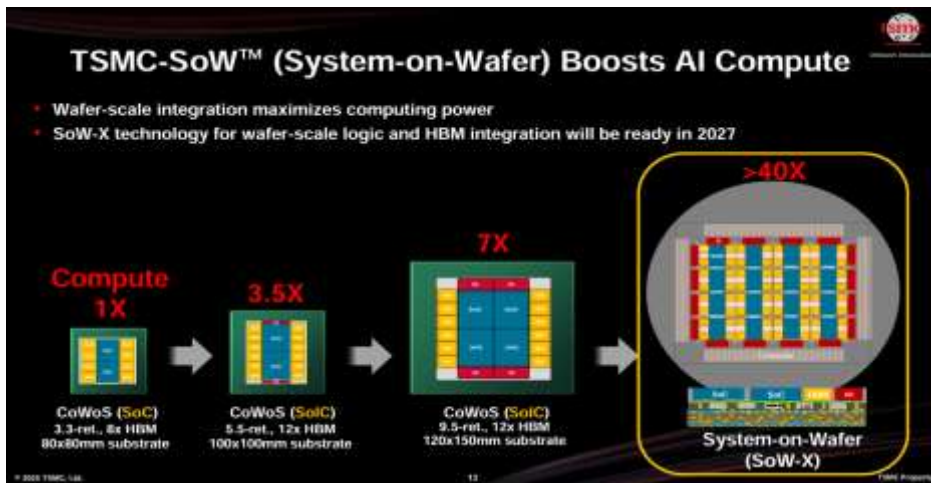
- 이러한 수직 적층 구조는 특히 AI/HPC 환경에서 요구되는 고대역폭/저지연 메모리 인터페이스 구현에 적합하다. 고속 캐시와 연산 유닛 간 지연이 중요한 HPC 칩, SRAM과 로직을 근접 배치해야 하는 모바일/엣지 AI 칩, LPDDR 계열 저전력 메모리와의 통합이 중요한 저전력 시스템 등에서 SoIC는 높은 집적도와 전력 효율을 동시에 달성할 수 있는 대안으로 부각되고 있다. Apple은 차세대 Mac용 SoC에 SoIC 구조 도입을 검토 중인 것으로 알려져 있으며, NVIDIA, AMD 등도 고성능 AI 칩의 연산-메모리 통합 요구에 따라 SoIC 적용을 확대하는 것으로 파악된다. 다만, 기술적 이점만큼이나 공정 난이도도 높다. 특히 수 μm 단위의 정밀 정렬이 요구되는 Cu-to-Cu Direct Bonding 공정은 단일 결함이 전체 적층 수율을 저하시킬 수 있어, 안정적인 정렬 공정 확보와 열 설계(Thermal Design)가 관건이다.
- TSMC는 SoIC를 포함한 고성능 패키징 기술을 내재화하면서, 웨이퍼 제조부터 패키징까지 포괄하는 수직 통합형(Value Chain Integration) 경쟁력을 강화하고 있다. 연산 효율 극대화를 위해 칩 설계 초기 단계부터 패키징과 파운드리 공정의 공동 최적화가 요구되는 구조가 형성되면서, 고객사의 TSMC 의존도는 점차 높아지고 있다. 이는 고성능 칩을 설계하는 팹리스 업체 입장에서 TSMC의 기술 채택이 성능 확보의 전제가 되는 한편, 단일 공급처 의존에 따른 협상력 약화 및 기술 종속 우려에 대한 가능성을 배제할 수 없을 것으로 추정한다. ASE 등 주요 OSAT 업체들은 SoIC와 같은 수직 적층 패키징 기술의 독자 개발이 아직 제한적이며, 일부는 삼성 파운드리, 인텔 등과의 연계를 통해 중간 성능급 시장 대응 및 고객 다변화 전략을 추진 중이다. 고부가가치 패키징 시장이 점차 파운드리 주도로 재편되고 있는 가운데, OSAT은 패키징 생태계 내 파트너십 중심의 포지셔닝 전략으로 성장을 추구해야 할 것이다.

표 39. 차세대 반도체 디바이스에 요구되는 Bonding 공정 기술

	Memory			Logic		
	3D NAND	HBM	Next Generation of Memory	SoC		DTCO
Device Stacking	NAND Block + Periphery	20+ Layer Stacking	Peri on ReRAM, MRAM 등	SoIC	SRAM + Logic	BSPDN
Bonding Process	W2W	C2W	W2W	W2W or D2W	W2W	W2W
	Hybrid	Hybrid	Fusion & Hybrid	Hybrid	Hybrid	Fusion
Maturity	HVM	R&D	R&D	Ramp Up	Ramp Up	Ramp Up

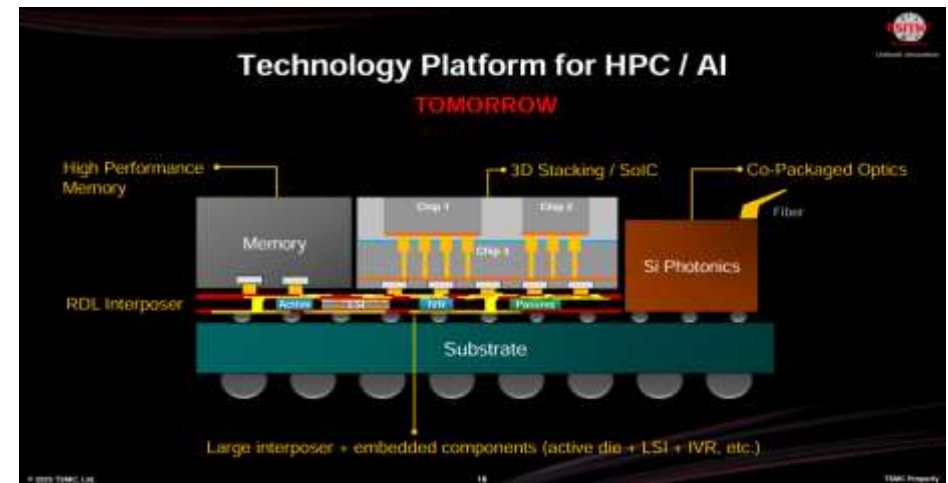
자료: 업계 자료, 유안타증권 리서치센터

그림 60. TSMC의 SoW 기술



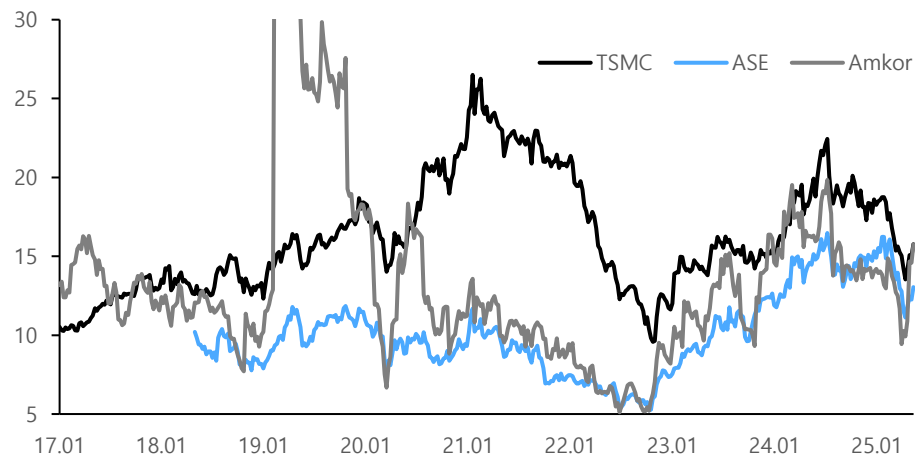
자료: TSMC, 유안타증권 리서치센터

그림 61. TSMC SoIC 구조



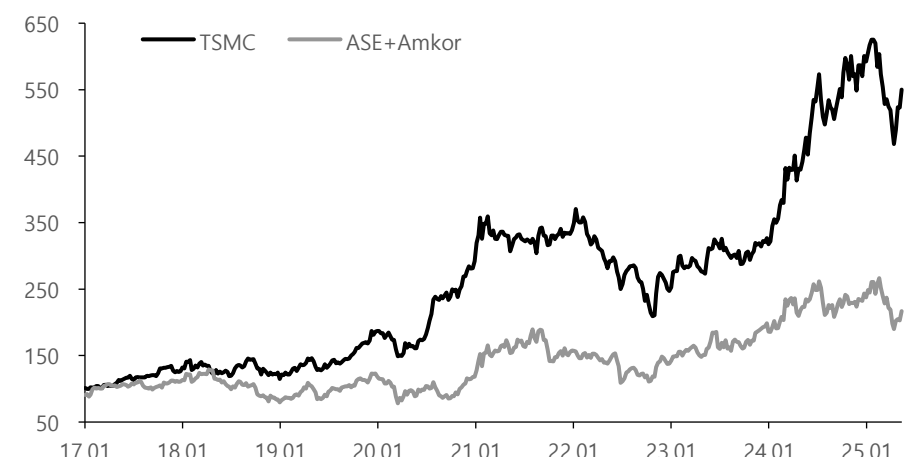
자료: TSMC, 유안타증권 리서치센터

차트 40. TSMC 및 주요 OSAT 업체 최근 5개년 12MF P/E 추이



자료: Bloomberg, 유안타증권 리서치센터,
주: 데이터는 5월 22일 종가 기준 반영

차트 41. TSMC 및 주요 OSAT 업체 최근 5개년 시가총액 추이

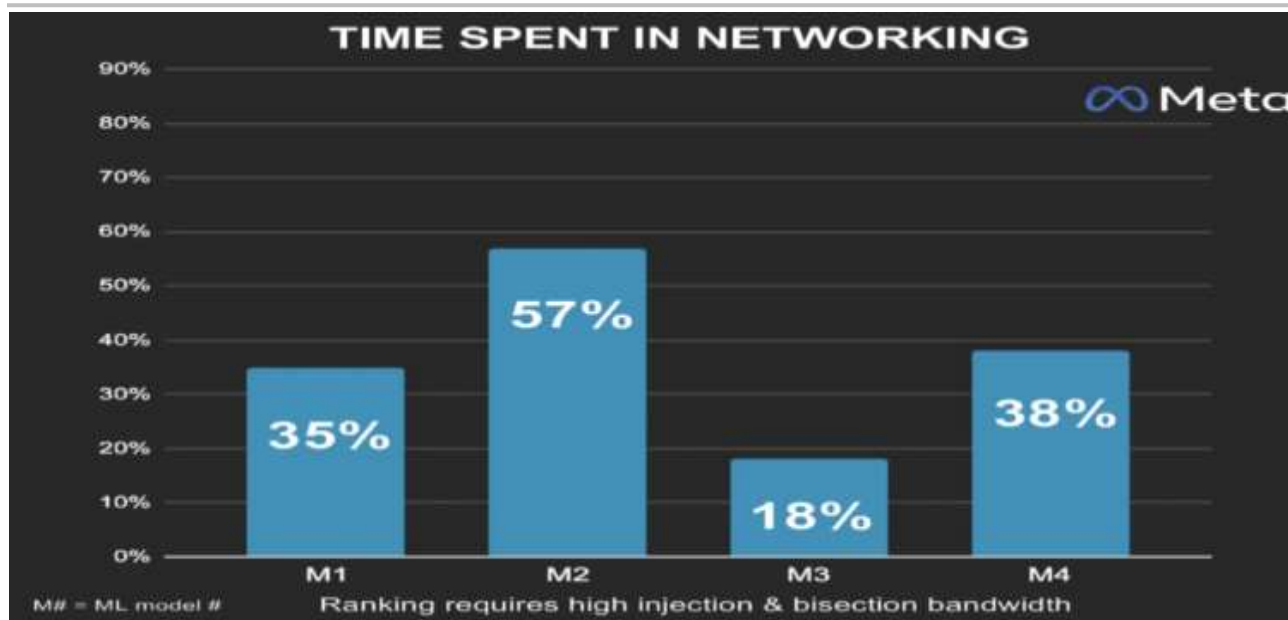


자료: Bloomberg, 유안타증권 리서치센터,
주: 데이터는 5월 22일 종가 기준 반영

Interconnect, 칩을 잇는 신경망

- AI 칩의 성능은 단일 Die의 능력만으로 설명되기 어려운 시대에 접어들고 있다. 특히 고도화된 AI 모델은 단일 반도체 칩이 감당할 수 있는 면적, 전력, 열 설계 한계를 넘어서는 연산량을 요구하고 있으며, 이에 따라 여러 개의 소형 칩(Chiplet)을 조합해 하나의 시스템을 구성하는 칩렛 기반 아키텍처가 빠르게 확산되고 있다. 이 과정에서 각 칩렛 간에 데이터를 고속으로 주고받을 수 있는 인터커넥트 기술은 시스템 전체의 성능 정합성, 확장성, 전력 효율을 좌우하는 핵심 인프라로 부상하고 있다.
- 인터커넥트는 물리적으로는 패키징의 일부에 포함되지만, 기술적으로는 칩 간 데이터 이동 경로와 전송 프로토콜을 설계하는 연결 기술로, 패키징과는 구분되는 개념이다. 특히 최근에는 다양한 IP 블록, 이기종 연산 코어, 고대역폭 메모리 등을 하나의 시스템으로 통합하려는 수요가 높아지면서, 인터커넥트 기술은 단순한 신호 연결을 넘어, 플랫폼 생태계의 범용성과 유연성을 결정짓는 전략적 요소로 자리 잡고 있다.

그림 62. 데이터 센터 내에서 데이터가 이동하는 데 소요되는 시간이 전체 처리에서 차지하는 비중



자료: Meta, 유안타증권 리서치센터

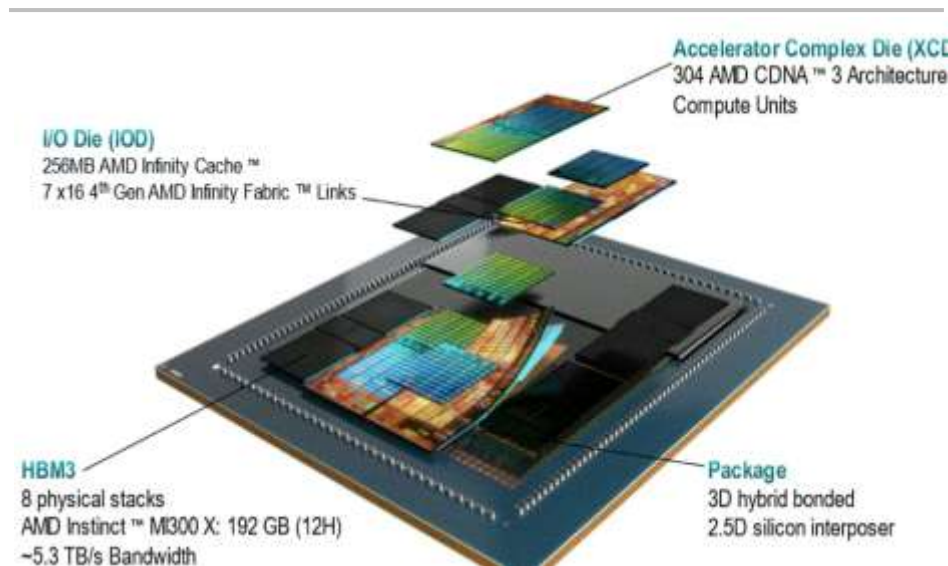
UCIe, 칩렛 시대의 인터커넥트 표준

- AI 칩 설계가 점차 ‘단일 다이’에서 ‘칩렛(Chiplet)’ 구조로 전환됨에 따라, 서로 다른 기능을 수행하는 다수의 칩을 어떻게 연결하고 통합할 것인지가 새로운 기술 과제로 부상하고 있다. 이 과정에서 칩 간 통신을 위한 **고속/저지연 인터페이스의 표준화가 핵심 이슈**로 떠올랐으며, 이러한 문제를 해결하기 위해 2022년 UCIe(Universal Chiplet Interconnect Express)가 출범했다. UCIe는 기존의 각 기업/칩셋마다 제각각이던 칩 간 연결 방식을 통일함으로써, 칩렛 생태계의 범용성과 확장성을 크게 높여주는 역할을 한다. 기존에는 CPU, GPU, NPU 등을 한 개의 거대한 Die에 모두 통합하거나, 특정 업체가 자체 인터페이스를 설계해야 했지만, UCIe를 통해 서로 **다른 파운드리에서 제조된 칩들 간에도 통신이 가능한 구조를 구현**할 수 있게 되었다. 이는 칩 설계의 유연성은 물론, IP 모듈의 재사용성, 공급망 다양성 확보 측면에서도 큰 장점을 제공한다.
- 특히 이 표준을 주도한 Intel은 UCIe를 통해 파운드리 생태계 내 영향력 확대를 노릴 것으로 예상된다. 자체적으로 모든 기능을 설계/생산하던 방식에서 벗어나, 고객이 설계한 일부 칩렛만 수주하거나 타사의 칩렛과 연동되는 플랫폼형 전략을 통해, 시스템 수준의 통합 서비스를 제공하려는 것이다. Intel은 UCIe 표준을 자사의 Foveros 패키징 기술과 결합해 고객 맞춤형 2.5D/3D 통합 칩 생산을 제안하고 있으며, 이는 단순 제조에서 설계/통합까지 포괄하는 ‘플랫폼 파운드리’ 모델에 가까운 접근이라 할 수 있다. 다만, 현재는 AI 및 고성능 연산용 첨단 공정 시장에서는 TSMC가 사실상 독점적 지위를 점하고 있어, Intel이 주도하는 칩렛 플랫폼 전략이 하이엔드 시장의 판도를 단기간에 바꾸기는 어렵다. 다만 전력 효율성과 비용 최적화가 중요한 Mid-low end 칩 시장에서는, 다양한 업체가 설계한 칩렛을 조합하는 방식이 하나의 대안으로 부상할 수 있다.
- UCIe는 TSMC의 향후 사업에 중립적인 변수일 것이다. 칩렛 기반 설계의 확산은 기존의 단일 칩 수주 중심에서 기능별 칩렛 단위로 생산이 분화되는 변화를 가져오지만, 이는 TSMC에 구조적 위협을 주기보다는 제한적인 영향을 미치는 수준에 그칠 것이다. 현재 TSMC는 고성능 연산 칩 시장에서 사실상 독점적 위치를 차지하고 있으며, 3nm 이하 공정 및 CoWoS, SoIC 등 첨단 패키징 기술에서도 확고한 기술 우위를 확보하고 있다. 또한 TSMC는 UCIe 컨소시엄의 창립 멤버로서, 칩렛 기반 고성능 시스템 설계 수요 증가에 맞춰 패키징과 파운드리 서비스를 통합 제공하는 전략을 강화하고 있다. 이를 통해 단순한 파운드리를 넘어, 고성능 AI/HPC 플랫폼의 통합 생산 파트너로서 중추적인 역할을 수행할 수 있다.
- 한편 이러한 트렌드는 **파운드리 중심 수직계열과는 별도로 OSAT 업체들의 역할을 전략적으로 확대**시킬 수 있는 계기가 될 수 있다는 판단이다. TSMC에 대한 공급망 의존도를 완화하려는 고객들이 중립적 패키징 파트너를 찾는 움직임이 중장기적으로 확대될 가능성이 높기 때문이다. 결론적으로, UCIe는 칩렛 기반 설계 시대를 위한 기술적 연결망이자, 반도체 산업 전반의 생산/공급 방식 자체를 변화시키는 표준 플랫폼으로 자리잡고 있다. 향후에는 메모리, 인터커넥트, I/O 블록 등 다양한 기능의 칩렛들이 서로 다른 업체에서 설계되고, UCIe를 통해 하나의 패키지로 통합되는 방식이 보편화될 것으로 전망한다.

AMD Infinity Fabric & NVIDIA NVLink

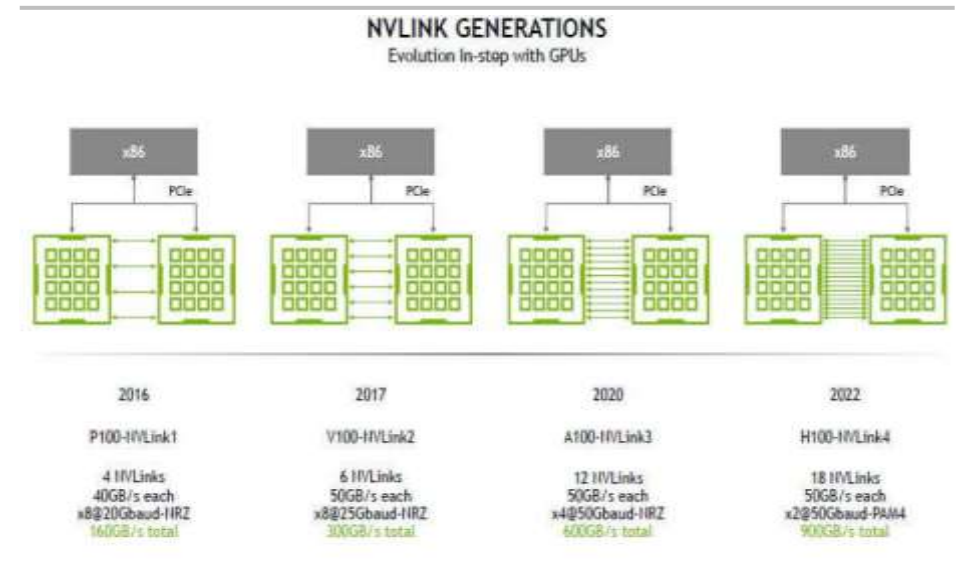
- AMD의 Infinity Fabric은 CPU, GPU, NPU, 메모리 등 다양한 컴포넌트를 고속으로 연결하는 내부 통합 인터커넥트 구조로, 칩 내 연산 요소뿐 아니라 다이 간, 칩렛 간 데이터 흐름까지 유연하게 구성할 수 있도록 설계되었다. 최근 AMD는 MI300 시리즈와 같은 AI 칩에서 이 구조를 통해 CPU와 GPU, HBM을 하나의 패키지 내에서 효율적으로 연결하며, 서버-AI-HPC용 SoC 통합의 근간으로 활용하고 있다. Infinity Fabric은 향후 UCIe와의 호환성 확보를 전제로 범용 칩렛 생태계로 확장될 가능성도 존재하지만, AMD는 자사 칩 구조에 최적화된 폐쇄형 구조로 우선 시 하고 있는 것으로 파악된다.
- NVIDIA의 NVLink는 고성능 GPU 간 대역폭 병목을 해결하기 위해 개발된 독자 인터커넥트 기술로, GPU-GPU 간의 초고속/저지연 연결을 가능하게 한다. 최근에는 NVSwitch라는 스위칭 허브를 중심으로 수십 개의 GPU를 하나의 고성능 네트워크로 묶고 있으며, NVLink-C2C(Chip-to-Chip) 구조를 통해 GPU와 CPU, GPU와 메모리 간의 연결도 더욱 유연해지고 있다. 이 NVLink 기반 구조 위에는 CUDA 플랫폼, NVMe over NVLink, Grace Hopper Superchip 등 하드웨어-소프트웨어-I/O 전반이 수직 통합되어 구성된다. 이는 단순한 인터커넥트를 넘어서 완결된 AI 인프라 생태계를 구축하려는 NVIDIA의 전략을 보여준다. 결과적으로, 두 회사는 모두 자사 연산 생태계에 최적화된 독자적인 인터커넥트 구조를 보유하고 있으며, 이는 오픈 표준인 UCIe와는 구별되는 폐쇄형 수직 전략에 기반하고 있다. 각 사의 구조는 칩 간 연결 성능뿐 아니라, 플랫폼 통합 방식과 칩 개발 주도권을 결정짓는 요소로 작용하고 있다.

그림 63. AMD Infinity Fabric



자료: AMD, 유안타증권 리서치센터

그림 64. NVIDIA NVLink

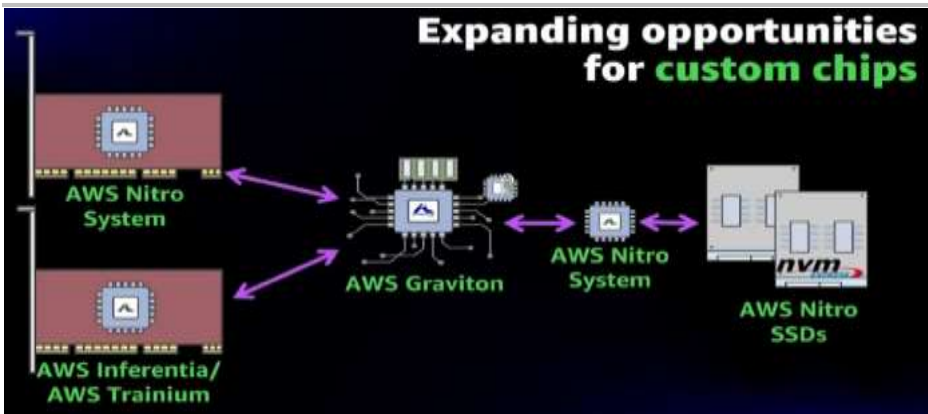


자료: NVIDIA, 유안타증권 리서치센터

클라우드 사업자의 공유 인터커넥트 전략과 칩 벤더의 한계 극복 방안

- Google과 AWS는 AI 연산 인프라에서 칩 수준을 넘어 서버-랙-데이터센터 전반을 아우르는 상위 계층의 통합 설계 능력을 강점으로 내세우고 있다. Google은 TPU Pod 기반의 대규모 병렬 학습 인프라를 구축하면서, TPU 간 전용 고속 네트워크(Interconnect)를 통해 수천 개의 연산 유닛이 하나의 논리적 처리 장치처럼 작동하도록 구성한다. AWS 또한 Nitro 시스템을 통해 네트워크/보안/가상화 리소스를 전담하는 전용 하드웨어 블록을 운용하며, Nitro Interconnect를 통해 GPU 서버 간 통신과 AI 연산 부하 분산을 최적화하는 독자적 아키텍처를 구축하고 있다. 이러한 접근은 앞서 언급했던 NVLink, Infinity Fabric와는 근본적으로 성격이 다르다. 후자들은 주로 SoC 내부 또는 패키지 수준에서 고성능 연산 효율을 극대화하는 데 초점을 맞추는 반면, Google과 AWS는 전체 시스템 수준에서의 연산 자원 통합 및 분산 최적화에 집중하고 있다. 이는 단순한 인터커넥트 기술 차이를 넘어, 플랫폼 지배 구조와 워크로드 통제 권한의 방향성이 다르다는 점을 시사한다.
- 이와 같은 구조적 차이는 NVIDIA가 2025년 5월 공개한 NVLink Fusion을 통해 일정 부분 대응되고 있다. NVIDIA는 기존에는 GPU 중심의 수직 통합 생태계를 고수해왔지만, AI 가속기 시장의 다변화와 고객 요구의 이질성을 반영하여, 외부 파트너가 설계한 ASIC/TPU/CPU 등을 자사 NVLink 컴퓨팅 패브릭에 통합할 수 있도록 선별적 개방에 나섰다. 이는 자사 중심 생태계를 유지하면서도, 클라우드 및 시스템 고객과의 연결성을 확장하려는 하이브리드 전략으로 해석된다. 결국 AI 인프라 전략은 특정 칩이나 계층에 국한되지 않고, 시스템 전체의 연결성과 통제 구조를 설계하는 방향으로 진화하고 있다. 그리고 이 과정에서, AMD와 NVIDIA는 고성능 연산 아키텍처를 제공하는 기술 기반 기업, Google과 AWS는 이를 통합해 AI 인프라를 운영하는 시스템 지휘자로 각기 다른 역할을 수행하며, 서로 다른 방식으로 플랫폼 주도권을 확대하고 있다.

그림 65. AWS Nitro as a system



자료: AWS, 유안타증권 리서치센터

그림 66. NVIDIA NV Link Fusion (2025년 5월 Computex 공개)



자료: NVIDIA, 유안타증권 리서치센터



PART 3

중국 반도체 산업, 그리고 한국

중국 반도체 '생태계 확장' 과정 -1

- 중국 반도체 산업은 비교적 늦게 본격적인 산업화를 시작했다. 1980~90년대까지만 해도 중국 내 반도체는 소규모 국영 연구소나 군수 목적의 생산에 머물렀으며, 상업적 생태계는 거의 존재하지 않았다. 그러나 2000년대 들어 세계의 제조기지로 부상하면서, 스마트폰과 가전, 자동차 등 첨단 제품 생산에 필수적인 반도체 수요가 급격히 증가했다. 이 시점부터 중국 정부는 '반도체를 사오는 나라에서 만들어내는 나라'로의 전환 필요성을 절감하게 된다. 2014년은 중국 반도체 산업의 전환점이다. 이 해 중국 국무원이 '국가 집적회로 산업 발전 추진 요강'을 발표하고, 'IC Big Fund' (국가 반도체 산업투자펀드) 런칭을 통해 대규모 정책 자금을 조성하고 반도체 자립화에 본격적으로 나선 것이다. 이 전략은 단순한 산업 육성 차원을 넘어서, 기술 주권과 안보, 국가경쟁력 확보를 위한 국가적 프로젝트로 인식되었다.
- 비슷한 전략은 이미 중국의 전기차 산업과 디스플레이 산업 육성 과정에서도 확인된 바 있다. 내연기관차 시대에 기술 격차를 좁히기 어려웠던 중국은, EV 시대의 도래와 함께 배터리/전력계통 중심의 신기술에 직접 진입하며 글로벌 리더로 부상했다. BYD, CATL, NIO 등은 외국 기술을 단순히 수입하는 데 그치지 않고, 국가 주도의 대규모 투자, 내수시장 기반 확대, 기술 내재화 전략을 통해 기술력과 생산역량을 빠르게 끌어올렸다. 또한 디스플레이 산업에서도 BOE, CSOT 등이 대표적으로 정부 자금과 산업정책을 바탕으로 LCD/OLED 분야에서 한국/일본 기업과의 격차를 빠르게 좁혔다. 특히 BOE는 한때 적자 기업이었으나, 대규모 CAPEX와 내수 수요 유도를 통해 현재는 글로벌 LCD 패널 1위 기업으로 자리 잡았다. 이 과정에서 정부 보조금, 지방정부 유치경쟁, 금융기관의 정책 자금 동원 등 반도체와 유사한 육성 메커니즘이 총동원되었다.
- 중국은 반도체 산업에서도 이와 유사한 전략을 차용하고 있다. 초기에는 외국 기업과의 합작, 기술 도입, M&A 등을 통해 기반을 마련했고, 동시에 스마트폰, 통신장비, 자동차 등 내수 수요를 자국 반도체 기업에 우선 배정하는 구조를 만들어냈다. HiSilicon(Huawei), SMIC, JCET, YMTC, CXMT 등은 이러한 전략 하에서 급성장한 대표 기업들이다. 여기에 더해, 2014년부터는 'IC Big Fund'를 중심으로 한 중앙정부 주도의 자금 지원 체계가 산업 전반에 본격 투입되며 자립화의 속도가 붙었다.
- 하지만 반도체는 자동차나 디스플레이에 비해 기술 장벽이 훨씬 높고, 핵심 기술과 장비에 대한 미국 중심의 글로벌 공급망 의존도가 절대적이라는 점에서 현재는 근본적인 한계가 존재한다. 그러나 이러한 '구조적 제약'이 오히려 중국 정부로 하여금 반도체 자립화를 촉진시키는 요인이다. 특히 2020년 이후 미국의 수출 규제 강화는 단기적으로는 기술 확보의 어려움을 드러냈지만, 동시에 중국 내부에서는 전략 산업으로서의 반도체 육성 필요성에 대한 공감대를 공고히 하며, 민관이 결집하는 계기로 작용하고 있다.

중국 반도체 생태계 확장 과정 -2

표 40. 중국 정부의 산업 육성 계획: 디스플레이 vs. 자동차

구분	디스플레이 산업	자동차 산업
육성 시기	2008년 이후 본격화	2009년 이후 NEV 시범사업 시작
핵심 정책	'패널 굴기(面板崛起)' 전략적 산업으로 LCD/OLED 지정	'10대 도시 1,000대 시범사업' 'Made in China 2025' 핵심산업 지정
정책 수단	지방정부 보조금 국유은행 설비 투자 용자 장비/소재 국산화 유도 해외 기술자 유입, M&A	전기차 구매 보조금 번호판 우선 발급 현지화 비율 의무 충전 인프라 구축 지원
중앙 자금	지방정부 유치경쟁 통한 직접 보조 전략적 산업펀드 일부 지원 (비공식)	중장기 보조금 예산 매년 책정 NEV 기술개발 R&D 지원
대표 기업	BOE, CSOT, Tianma, Visionox 등	BYD, CATL, NIO, XPeng, SAIC 등
육성 전략	대규모 CAPEX 유도 내수 중심 시장 형성 삼성/LG 설비 매입 저가 제품 통해 점유율 확보	정책 기반 초기 수요 창출 배터리~완성차 수직계열화 국산 기술 기반 고도화
결과	LCD 세계 1위 생산국 OLED 일부 점유율 확보 글로벌 패널 공급 과잉 주도	세계 최대 전기차 생산/소비국 CATL 글로벌 배터리 점유율 1위 수출 확대 중
한계/리스크	수익성 저하 공급과잉 유발 OLED 경쟁력은 아직 제한적	보조금 의존도 높음 품질/브랜드 이미지 격차 해외 규제 리스크 증가

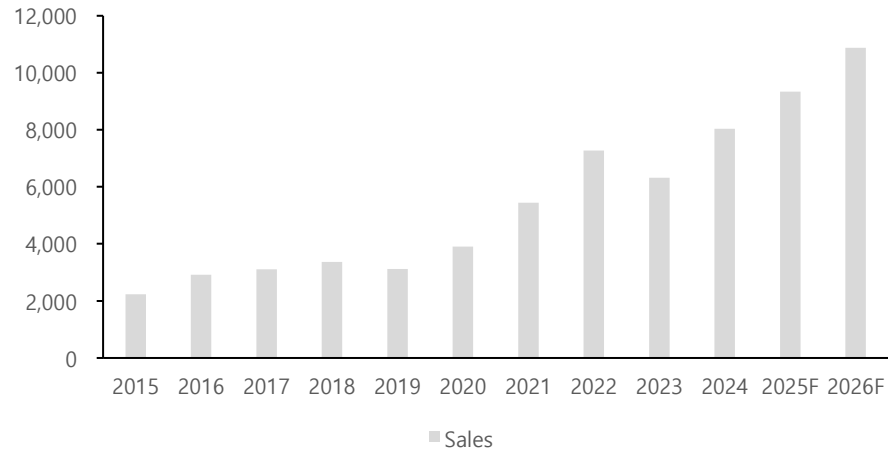
자료: 유안타증권 리서치센터

표 41. 중국 정부의 IC Big Fund 1기와 2기 비교

항목	1기 (2014~2020)	2기 (2019~현재)
조성 시점	2014년 설립	2019년 설립
운영 기간	약 6년	현재도 운용 중 (종료 시점 미정)
조성 규모	약 1,380억 위안 (약 220억 달러)	약 2,000억 위안 (약 290~300억 달러)
주요 출자자	중국 재정부, 국가개발은행, CICC 등	동일 (1기 출자자 대부분 재참여)
운용 주체	중국 집적회로산업투자펀드 Co., Ltd.	중국 집적회로산업투자펀드 Co., Ltd.
주요 투자 대상	SMIC, HuaHong, JCET 등 제조/후공정 중심	YMTC, CXMT, 장비, 설계 IP, EDA 등 고부가 분야
전략 초점	기반 인프라 구축 중심 (파운드리, 패키징)	기술 자립화 및 고도화 중심 (메모리, 설계, 장비)
투자 방식	지분투자 + 정부 보조금 연계	지분투자 + R&D 보조 + 리스크 분담 구조 강화
효과	중국 반도체 생태계 초기 기반 조성	고부가 가치 분야 중심의 기술 국산화 시도
한계	수익성 낮은 기업 중심 투자, 회수 어려움, 관리 미비	일부 투자 실패 및 부패 조사 등 투명성 이슈

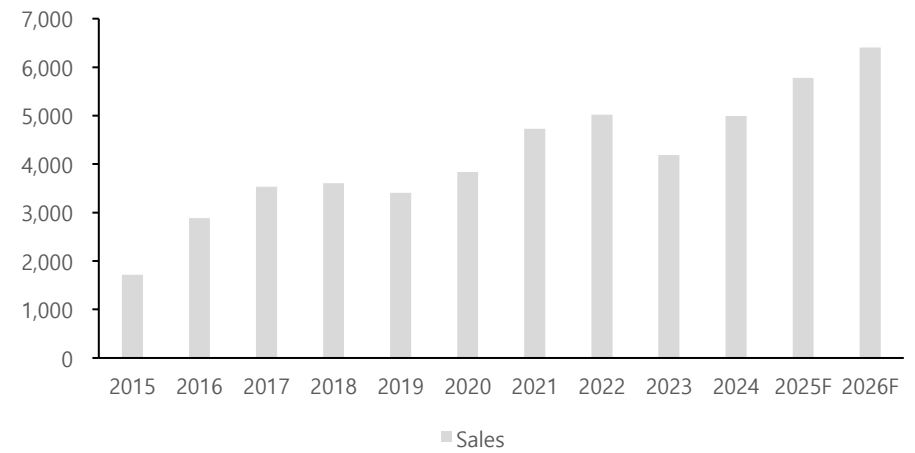
자료: 유안타증권 리서치센터

차트 42. SMIC 연간 매출액 추이 및 전망



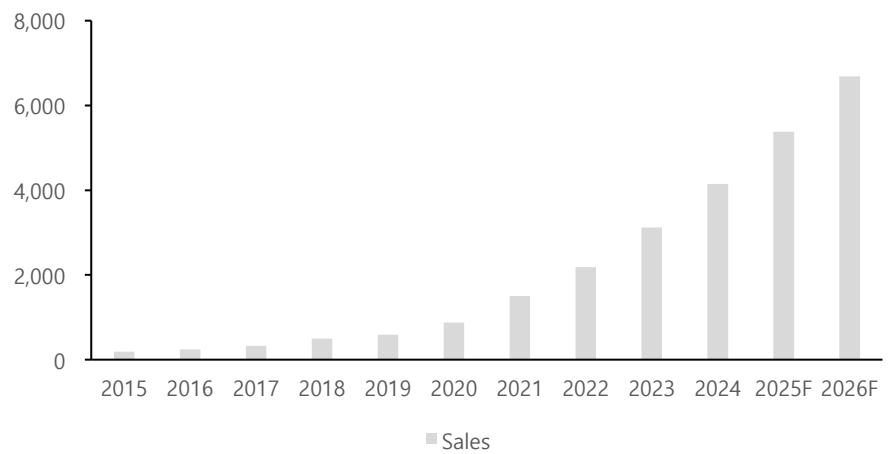
자료: Bloomberg, 유안타증권 리서치센터, 주: 단위는 mnUSD 기준

차트 43. JECT 연간 매출액 추이 및 전망



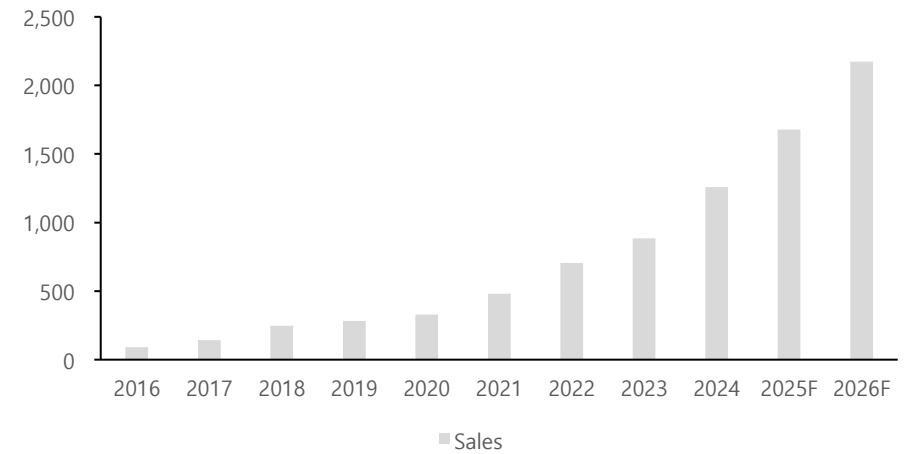
자료: Bloomberg, 유안타증권 리서치센터, 주: 단위는 mnUSD 기준

차트 44. Naura Technology 연간 매출액 추이 및 전망



자료: Bloomberg, 유안타증권 리서치센터, 주: 단위는 mnUSD 기준

차트 45. AMEC 연간 매출액 추이 및 전망



자료: Bloomberg, 유안타증권 리서치센터, 주: 단위는 mnUSD 기준

중국 반도체 '생존 경쟁 가속화' 전망 -1

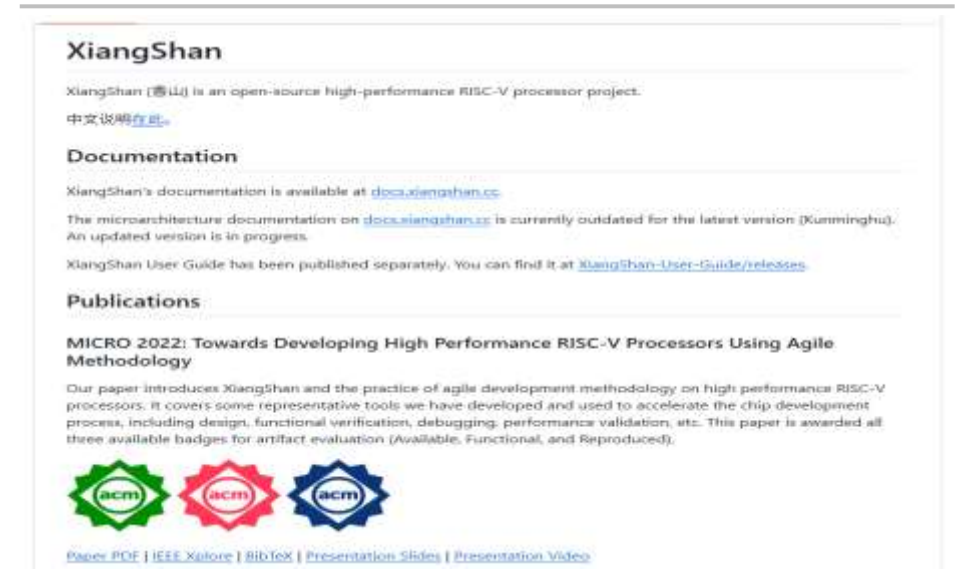
- 2024년 5월, 중국 정부는 IC Big Fund 3기(총 자본금 3,440억 위안)를 공식 출범시켰다. 단순히 생태계를 확장하는 데 그쳤던 1기와 2기와는 달리, 선별적 투자와 기술 중심 자립화를 명확한 기조로 내세우고 있다. 과거 1/2기는 파운드리, 후공정, 소재, 패키징 등 산업 전반에 걸쳐 자금을 광범위하게 분산하여 제조 기반 확대와 생태계 구축에 중점을 뒀다면, 3기는 **전략적 선별주의를 표방**하는 것으로 파악된다. 기술력과 수익성이 입증되지 않은 기업은 추가 지원 없이 퇴출되거나 M&A를 통한 구조조정 대상으로 간주되며, 반도체 장비/소재 기업들 중심으로는 200개 이상 업체를 10개 내외로 통합될 가능성도 제기되고 있다.
- 또다른 핵심 초점은 **기술 병목 구간에 대한 국산화 투자**다. 특히 EDA 툴, 반도체 설계 IP, HBM, 반도체 장비 국산화, RISC-V 기반 칩 개발 등이 우선 투자 영역으로 지목된다. 이는 미국의 수출 규제 이후, 장비/설계/소재 분야에서의 해외 기술 봉쇄에 대응하기 위한 기술 내재화 전략이 보다 현실화된 것이다. 참고로 2024년 기준 중국의 장비/재료 국산화 목표률은 각각 65%, 85%로 파악된다. 또한 **오픈소스 기반 설계 생태계의 전략적 육성**을 강조한다. RISC-V를 중심으로 하는 오픈 칩 개발 플랫폼을 국가 전략으로 흡수하고 있으며, 산학연이 참여하는 Xiangshan 프로젝트와 BOSC(开源芯片联盟) 등은 실제 칩 개발과 플랫폼화를 요구한다.

그림 67. 2024년 5월, 중국 국가집적회로산업 투자기금이 3차 펀드 65조원 펀딩 조성 완료



자료: 언론 종합, 유안타증권 리서치센터

그림 68. 중국의 XiangShan 프로젝트 현황



자료: Github.com, 유안타증권 리서치센터

중국 반도체 '생존 경쟁 가속화' 전망 -2

표 42. 주요 중국 반도체 장비사 현황 및 전망

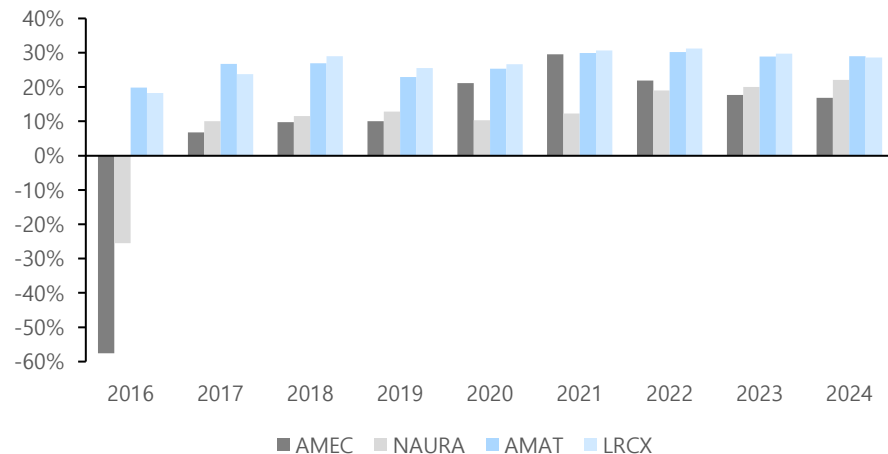
Company Name	Ticker	Market Cap	Main Business	Sales Growth		EPS Growth		12MF PER		12MF PBR	
				2025F	2026F	2025F	2026F	2025F	2026F	2025F	2026F
Naura Technology (北方华创)	SZ002371	2,246	Etcher, CVD, PVD, ALD 등	30.1	24.4	34.6	27.6	26.8	21.2	5.4	4.4
AMEC (中微公司)	SH688012	1,097	Etcher, MOCVD 등	33.7	29.3	47.9	39.0	39.5	29.1	4.7	4.1
ACM Research (盛美上海)	SH688082	448	Cleaning, Electroplating 등	23.5	24.5	33.6	28.3	25.9	21.5	4.3	3.6
Piotech (中科飞测)	SH688072	416	ALD	35.1	29.8	41.9	42.2	36.2	26.0	6.0	4.9
Jingsheng Mechanical & Electrical (晶盛机电)	SZ300316	377	실리콘 웨이퍼 성장 장비, 사파이어 결정 성장	-7.8	-1.6	14.5	-6.7	13.5	14.0	1.9	1.7
Hwatsing (华海清科)	SH688120	362	CMP	36.1	26.0	32.0	25.8	24.3	19.7	4.3	3.6
Changchuan Technology (长川科技)	SZ300604	276	반도체 테스트 및 측정	22.9	24.4	74.1	29.7	30.9	27.2	6.3	4.9
Skyverse Technology (中科飞测)	SH688361	242	반도체 품질 관리 장비, 결함 검사	44.1	41.4	1,832.5	100.6	78.5	48.4	8.7	7.5
Kingsemi (芯源微)	SH688037	190	포토리소그래피 공정 장비, 웨이퍼 클리닝	28.1	31.9	59.1	43.7	50.2	36.0	6.2	5.4
Huafeng Test & Control (华峰测控)	SH688200	187	자동화 테스트 시스템, 아날로그 및 혼합 신호 IC 테스트	27.4	22.3	35.9	28.8	37.0	29.5	4.6	4.1
Jingce (精测电子)	SZ300567	160	디스플레이 검사 시스템, 반도체 검사	32.1	21.9	376.9	53.0	48.9	34.3	3.9	3.6
Shanghai Wanye Enterprises (万业企业)	SH600641	131	반도체 장비 개발 및 판매	102.4	42.5	87.6	30.9	56.9	42.5	1.6	1.5
PNC Process Systems (至纯科技)	SH603690	97	습식 세정 장비, 고순도 가스 처리 시스템	24.9	17.0	964.5	48.5	32.2	24.1	1.8	1.7

자료: Bloomberg, 유안타증권 리서치센터,
주1: 단위는 100mnCNY로 반영 / 주2: 데이터는 5월 22일 종가 기준 반영

중국 반도체 '생존 경쟁 가속화' 전망 -3

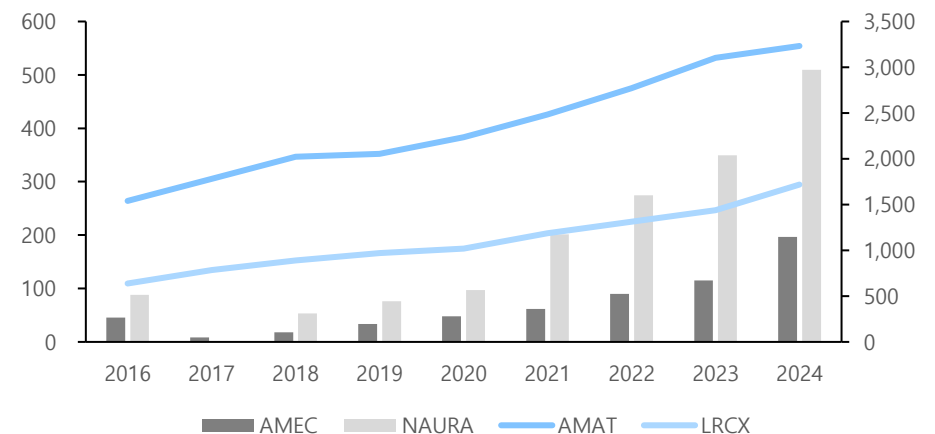
- 이러한 전략적 변화는 **중국 반도체 산업의 구조와 성장 동력을 근본적으로 재편하는 계기**가 될 것으로 전망한다. 특히 장비/소재 분야를 중심으로 한 자국 내 기술자립 강화 흐름은 더욱 가속화될 전망이다. NAURA, AMEC 등 선두 장비 기업들은 이미 각각 Deposition, Etch 등 주요 공정 장비에서 14nm 이하 공정 대응력을 확보하고 있으며, 일부 장비는 5nm 대응 가능성까지 열어두고 있다. 여기에 더해 이들 기업은 최근 몇 년간 매출 규모뿐 아니라 수익성 면에서도 미국 주요 장비 기업들과의 격차를 빠르게 좁혀왔으며, **이를 바탕으로 자체 R&D 투자를 공격적으로 확대할 것으로 예상한다.**
- IC Big Fund 3기의 자금이 고도화된 장비 개발에 집중 투입될 경우, 중국은 기존의 저가 양산형 장비에서 벗어나, **고부가 공정 장비 시장으로의 본격 진입**을 노릴 수 있게 된다. 이는 단기적으로는 국내 수요(특히 SMIC, CXMT, YMTC 등)의 내수 매칭을 통해, 중장기적으로는 일부 동남아 및 신흥국 시장에서의 대체 공급자 포지션 확보로 이어질 수 있다는 판단이다. 동시에 기존에 수입 의존도가 높았던 장비 부품 및 소재 분야에서도, 정부 주도의 투자와 기업 간 M&A를 통해 기술 내재화 속도가 한층 더 빨라질 것으로 예상된다. 한편, 반도체 설계 및 오픈 생태계 측면에서도 RISC-V 기반 칩 개발과 오픈소스 툴체인 확보를 통해 중국은 자체적인 IP 생태계를 구축하려는 시도를 이어가고 있다. 이는 **단순한 기술 국산화를 넘어, 설계/개발 비용을 구조적으로 절감하고, 팹리스 생태계의 재정착을 유도하려는 전략**과 맞물린다. 다만, 시스템 반도체 시장 주도권 확보까지는 시간이 다소 필요하며, 단기적으로는 장비 및 후공정 분야에서의 빠른 성과 도출이 정책 효과의 핵심 지표가 될 것으로 예상된다.

차트 46. 미국/중국 주요 장비사의 최근 10년간 영업이익률 추이 비교



자료: Bloomberg, 유안타증권 리서치센터

차트 47. 미국/중국 주요 장비사의 R&D Expense 추이 비교



자료: Bloomberg, 유안타증권 리서치센터,

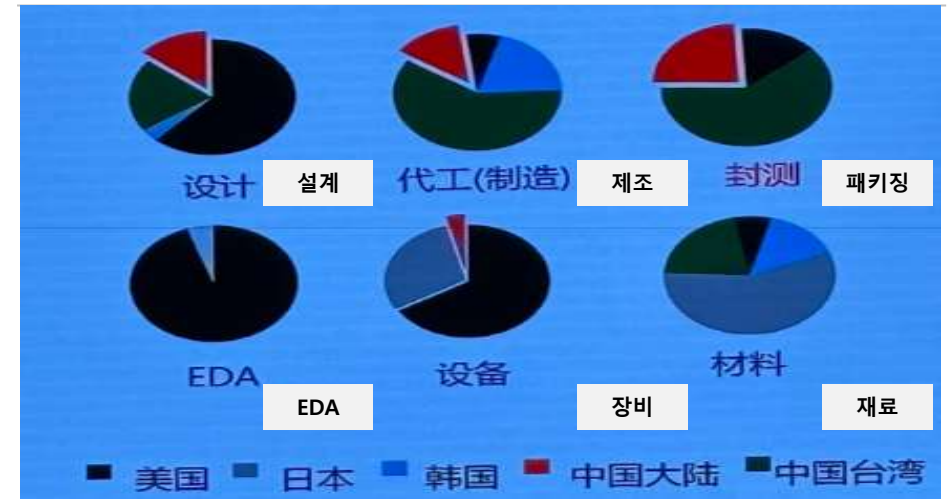
주1: 단위는 mnUSD 기준, 주2: AMAT/LRCX는 우측, AMAT/NAURA는 좌측 적용

그림 69. 중국 산학연 패널 간담회 (2025년 3월)



자료: Semicon China, 유안타증권 리서치센터

그림 70. 반도체 주요 시장별 국가 점유율 (2022년 기준)



자료: Semicon China, 유안타증권 리서치센터

표 43. 중국 시장 내 반도체 공급 내재화율 (2025년 3월 기준)

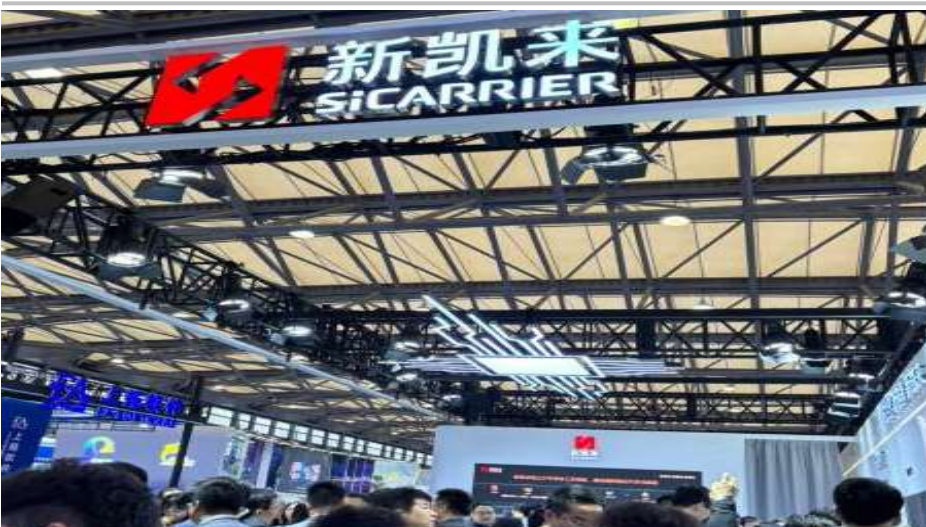
Category	2022	2023	2024	2025	2026	2027	2028	2029	2030
Display driver	8	13	20	29	38	47	58	67	74
SiC MOSFET	-	1	5	15	28	42	55	66	74
MCU	10	14	19	25	32	41	50	58	67
General-purpose analog	7	12	15	22	28	39	48	57	66
GaN power	-	-	1	4	10	19	31	46	58
NAND	9	15	21	29	38	46	54	62	70
DRAM	7	11	14	17	21	26	31	36	42
Image sensor	6	9	12	15	19	24	30	36	42
5G chipset	12	12	13	14	14	16	17	18	20
MPU	3	6	9	12	16	21	27	33	40
Accelerator	2	5	7	18	19	26	32	40	51

자료: 업계 자료, 유안타증권 리서치센터

EUV 없는 중국 반도체의 향후 방향에 대한 고민

- 미국 정부의 수출 규제에 따라 중국은 추가적인 EUV 노광장비를 확보하지 못한다. 이는 첨단 반도체 공정으로의 진입에서 가장 결정적인 제약 요인으로, 5년 이상의 장기 시계열로 봤을 때 중국 반도체 산업의 진화 경로를 좌우할 구조적 변수로 작용할 가능성이 크다. 중국은 중단기적으로는 Multi-Patterning 스텝 증가와 소재 공정 정밀화, 검사/계측 장비 수요 확대 등을 통해 기술 공백을 메우려는 시도를 이어갈 것으로 전망한다. 이로써 주변 공정의 미세화 정밀도를 극대화하는 방식으로 5nm급 이하 제품을 생산하려는 시도가 진행되고 있다. 그러나 이러한 접근은 공정 난이도, 수율 관리, 생산 효율성 측면에서 한계가 분명하다는 판단이다. EUV 기술의 부재는 결국 향후 생산 단가와 품질 안정성에서의 구조적 열위를 의미하며, 글로벌 선두 기업과의 경쟁력 격차를 좁히는 데 결정적인 제약 요인으로 작용할 수밖에 없기 때문이다.
- 한편 중국 반도체 장비 기업 Shenzhen SiCarrier(비상장)는 Semicon China 2025에서 'EUV 없이도 DUV 기반으로 선단공정 대응이 가능하다'는 새로운 장비 라인업을 공개했다. 아직 해당 장비의 기술적 완성도나 실효성은 검증되지 않았지만, 이는 중국 내에서 EUV 부재를 전제로 한 '대체 노광 생태계' 구축 시도가 필수적이라는 인식이 부각되고 있음을 보여주는 사례이다. 참고로 SiCarrier는 과거 Huawei 반도체 사업 인력들이 설립한 회사로, Huawei와의 공식적 연결성은 현재는 없지만 사실상 전략적 배경이 연결된 회사로 파악된다. 최근에는 업계 우수 인재 확보를 통해 Naura, AMEC 등 기존 강자들에 도 영향을 주고 있는 기업 중 하나이다.

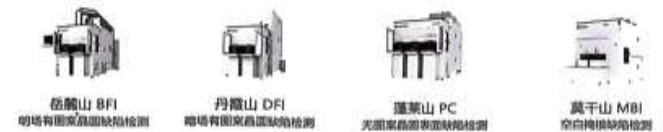
그림 71. Semicon China 2025 부스 내 SiCarrier



자료: 유안타증권 리서치센터

그림 72. SiCarrier의 Optical 관련 장비 라인업

■ 光学检测产品 Optical Inspection



■ 光学量测产品 Optical Metrology



자료: SiCarrier, 유안타증권 리서치센터

그림 73. YMTC의 Hybrid bondin을 활용한 232단 NAND: CMP 공정 중요도 증가



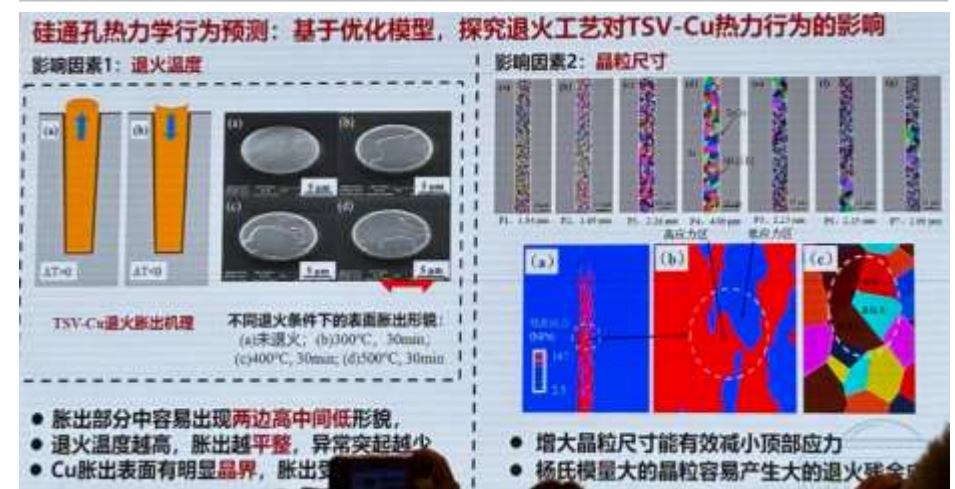
자료: Semicon China, 유안타증권 리서치센터

그림 75. 개방형 생태계를 지향하여 중국 중심의 반도체 산업 성장 가속화 계획 -1



자료: Semicon China, 유안타증권 리서치센터

그림 74. TSV 기술 안정도를 위해 어닐링 공정 고도화 요구 증가



자료: Semicon China, 유안타증권 리서치센터

그림 76. 개방형 생태계를 지향하여 중국 중심의 반도체 산업 성장 가속화 계획 -2



자료: Semicon China, 유안타증권 리서치센터

2026년 중국 메모리반도체 Capex 확대 전망

- 2025년 하반기 지나면서 중국 메모리 반도체 산업은 또 한 번의 설비 투자 확대 사이클에 진입할 것으로 전망한다. 메모리반도체에서 그간 수출 규제와 기술 제약으로 지연되었던 공정 전환과 생산 Capa 증설이 순차적으로 재개될 것으로 예상하기 때문이다. DRAM의 경우 1α 이하 공정 도입을 위한 신규 라인 투자와 Fab 신설 검토가 가시화되고 있으며, NAND 역시 232단 제품의 수율 개선과 함께 후속 세대 기술 개발 및 생산설비 투자 논의가 병행되고 있다. 중국 CXMT의 IPO 가능성이 제기되는 점도 고려해야 한다는 판단이다.
- 이러한 설비 재개 흐름은 단순한 생산라인 증설을 넘어, ‘초기 Fab 설계 단계에서부터 국산화 가능성’과 ‘투자 효율성까지 고려한 전략적 전환’이라는 점에서 주목된다. 최근에는 에칭, 증착, 세정, CMP 등 핵심 공정에서 국산 소재/장비의 적용 비중이 점차 확대되고 있으며, 이에 따라 메모리 제조사의 설계 주도권과 선택적 투자 권한 역시 강화되고 있는 흐름이다. 또한 일부 글로벌 장비사들조차 중국 현지 저가 부품업체와 협력하여 Low-end 영역부터 부품 내재화를 시도하고 있는 것으로 파악된다는 점을 주목한다. 이는 단순히 중국의 정책 주도 자립화를 넘어, 시장 주체 간 기술 내재화의 필요성이 자발적으로 확산되고 있다는 신호로 해석되며, 중국 부품/소재 생태계의 질적 성장 가능성에 대한 외부 시장의 인식 변화도 반영된 것으로 해석한다.

차트 48. 중국 CXMT DRAM Capa 추이 및 전망

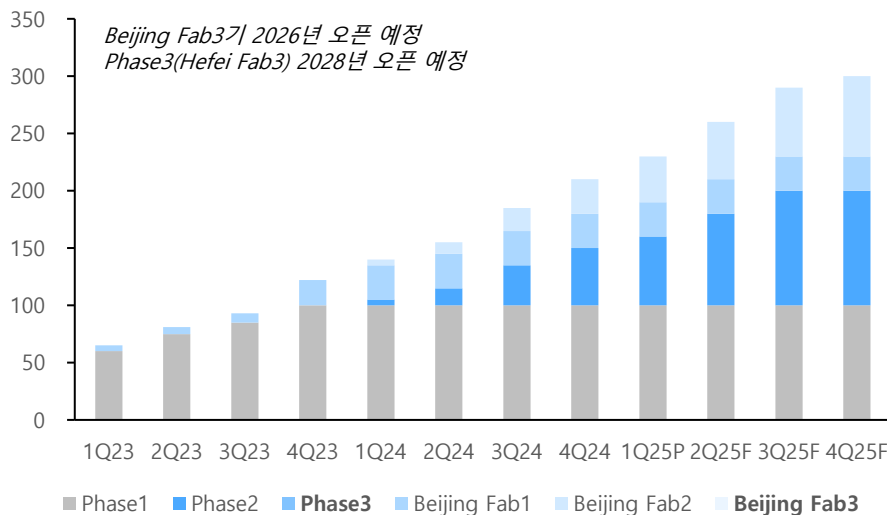
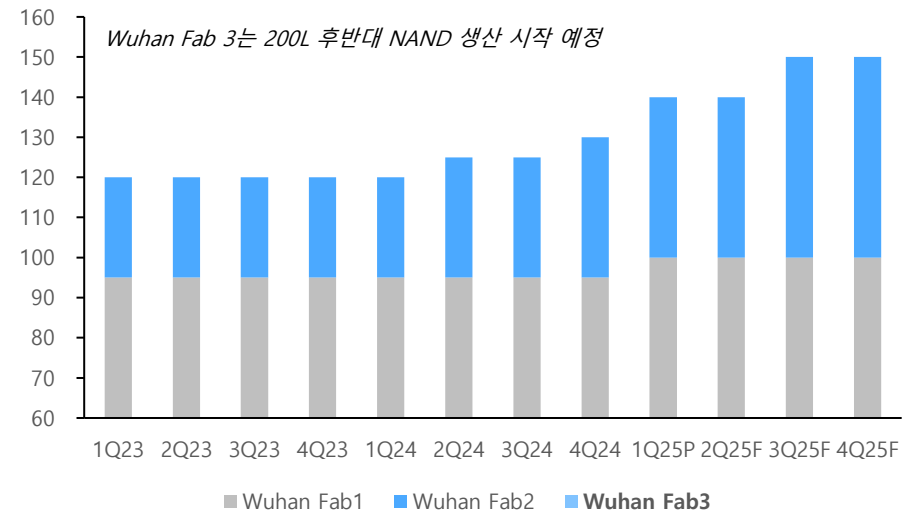


차트 49. 중국 YMTC NAND Capa 추이 및 전망



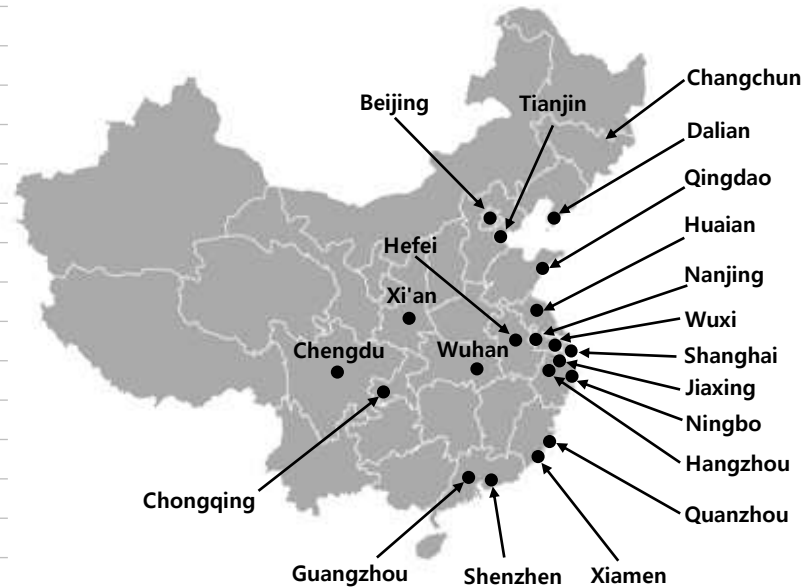
자료: 업계 자료, 유안타증권 리서치센터, 주: 단위는 K Wafer/Month

자료: 업계 자료, 유안타증권 리서치센터, 주: 단위는 K Wafer/Month

2026년 중국 메모리반도체 Capex 확대 전망 -2

그림 77. 중국 내 12인치 공장 현황과 향후 계획 (2025SUS 3월 기준)

지역	팩	단계
Dalian	SK하이닉스 Fab	계획
Xiamen	Silan Phase II	계획
Huaian	Huaxin Jiechuang Fab	계획
Tianjin	SMIC Xiqing Fab	건설
Qingdao	SiEn Fab	건설
Qingdao	Silergy Fab	건설
Beijing	SMIC Jingcheng Fab	건설
Beijing	YDME Fab	건설
Beijing	BEIC Fab	건설
Hefei	CXMT Fab 2	건설
Xi'an	삼성전자 2.5기 M-Fab	건설
Chengdu	HLMC	건설
Chongqing	Chipsemi 1기	건설
Shanghai	SMIC Dongfang Fab	건설
Shanghai	GTA 6 Fab	건설
Shanghai	Wingtech Fab	건설
Hangzhou	Fuxin Microelectronics Fab	건설
Hangzhou	HFC Fab	건설
Jiaxing	HicoreTech	건설
Dalian	SK하이닉스 Fab	가동
Beijing	SMIC Beijing Fab	가동
Beijing	SMIC Beifang Fab	가동
Beijing	CXMT	가동
Hefei	Nexchip N1	가동
Hefei	Nexchip N2	가동
Hefei	CXMT Fab 1	가동
Xi'an	삼성전자 1기	가동
Xi'an	삼성전자 2기	가동



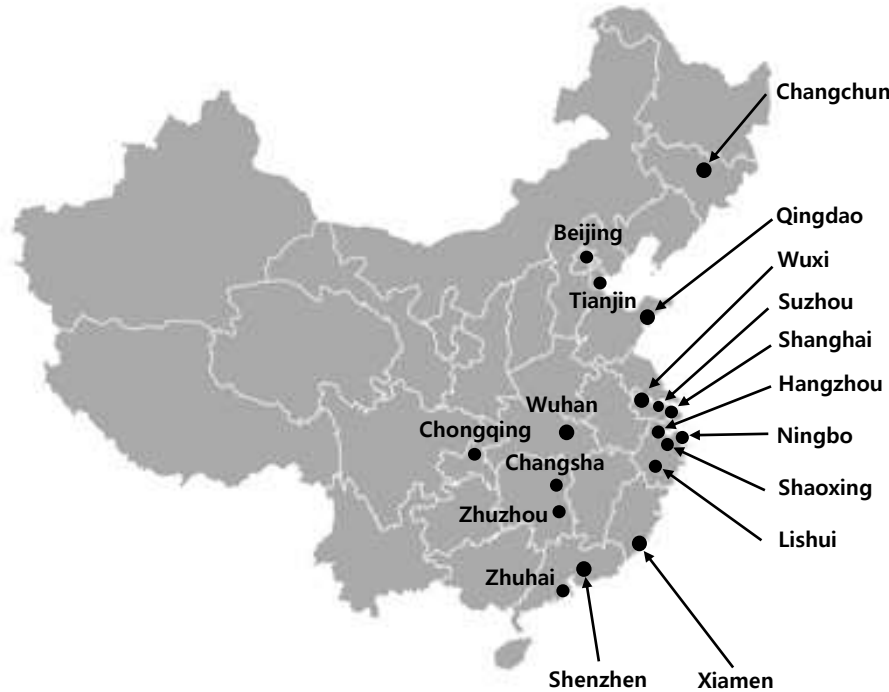
지역	팩	단계
Wuhan	XMC Fab	가동
Wuhan	YMTC Fab 1	가동
Wuhan	YMTC Fab 2	가동
Wuhan	YMTC Fab 3	가동
Chongqing	AOS Fab	가동
Chongqing	CR Micro Fab	건설
Guangzhou	CanSemi Fab	가동
Guangzhou	CanSemi 3기	가동
Guangzhou	Zensemi Fab	가동
Shenzhen	SMIC Fab 16	건설
Shenzhen	Runpeng	건설
Xiamen	UMC Fab	가동
Xiamen	Silan Fab	가동
Quanzhou	JHICC Fab	건설
Nanjing	TSMC Fab 16	가동
Huaian	Rongsemi Fab	가동
Wuxi	SK하이닉스 HC1	가동
Wuxi	SK하이닉스 HC2	가동
Wuxi	Huahong Fab 7	가동
Wuxi	Huahong Fab 9	가동
Shanghai	SMIC S2A/B	가동
Shanghai	SMIC SN 1	가동
Shanghai	SMIC SN 2	가동
Shanghai	HLMC Fab 1	가동
Shanghai	HLMC Fab 2	가동
Shanghai	Galaxycore Fab	가동
Shanghai	Shanghai ICRD Fab	가동
Changchun	YCMEC	가동
Ningbo	Rongsemi Fab	건설

자료: 업계 자료, 유안타증권 리서치센터

2026년 중국 메모리반도체 Capex 확대 전망 -3

그림 78. 중국 내 8인치 공장 현황과 향후 계획 (2025년 3월 기준)

지역	팩	단계	지역	팩	단계
Zhuhai	ASAIR Fab	계획	Suzhou	UMC HeJian Technology Fab	가동
Lishui	Wangrong Fab	계획	Suzhou	Innoscence Fab	가동
Tianjin	SMIC Fab x	건설	Shenzhen	SMIC Fab 15	가동
Chongqing	RadRock Fab	건설	Shanghai	SMIC S1	가동
Chongqing	Aosong Electronic	건설	Shanghai	HHGrace Fab 1	가동
Xiamen	Silan	건설	Shanghai	HHGrace Fab 2	가동
Tianjin	SMIC Fab 7-P1	가동	Shanghai	HHGrace Fab 3	가동
Tianjin	SMIC Fab 7-P2	가동	Shanghai	TSMC Fab 10	가동
Beijing	YDME Fab	가동	Shanghai	GTA Fab	가동
Beijing	Sai Microelectronics Fab 3	가동	Hangzhou	Silan Fab 2	가동
Qingdao	Texas Instruments Fab	가동	Wuxi	SK하이닉스 JV Fab	가동
Wuhan	YANXIMC Fab	가동	Ningbo	SMIC Fab	가동
Chongqing	CSMC Fab	가동	Ningbo	SMIC Fab 2	가동
Chongqing	UMEC Fab	가동	Shaoxing	SMIC JV Fab	가동
Changsha	BYD Fab	가동	Shaoxing	SMIC JV Fab II	가동
Zhuzhou	CRRC Fab	가동	Changchun	YCMEC	가동
Zhuhai	Innoscence Fab	가동	Lishui	Unicmicro	가동



자료: 업계 자료, 유안타증권 리서치센터

2026년 중국 메모리반도체 Capex 확대 전망 -4

표 44. 중국 반도체 시장으로 고객 다변화를 시도한 한국 반도체 소부장 현황 및 전망

		A240810	A036930	A319660	A140860	A348210	A053610	A064290	A058470	A183300	A131290	A101160	A036810	A101490
		원익IPS	주성엔지니어링	피에스케이	파크시스템스	넥스틴	프로텍	인텍플러스	리노공업	코미코	티에스이	월덱스	에프에스티	에스앤에스텍
2022A	Market Cap	1,028	1,472	517	1,601	552	245	116	3,007	581	435	300	370	724
	Sales	1,011	438	461	125	115	199	119	322	288	339	256	220	124
	OP	98	124	92	33	57	60	19	137	55	57	51	6	16
	OPM%	10%	28%	20%	26%	49%	30%	16%	42%	19%	17%	20%	3%	13%
	NP	89	106	77	28	43	42	16	114	42	50	42	44	17
	PER	13.6	4.8	5.8	28.2	11.3	5.5	10.7	20.7	10.3	8.2	7.4	7.7	32.4
	PBR	1.4	1.1	1.3	6.6	4.9	0.7	2.5	4.8	1.7	1.4	1.7	1.3	2.9
	ROE	10.7	24.9	24.1	26.7	52.5	15.3	27.7	25.1	17.5	17.8	25.2	18.0	9.6
2023A	EV/EBITDA	7.0	2.8	2.5	21.5	7.7	2.4	9.2	12.6	4.9	3.8	5.1	7.5	20.5
	Sales	690	285	352	145	88	156	75	256	307	249	288	198	150
	OP	- 18	29	54	28	36	17	- 11	114	33	- 2	65	- 11	25
	OPM%	-3%	10%	15%	19%	41%	11%	-15%	45%	11%	-1%	23%	-5%	17%
	NP	- 14	34	53	25	31	21	- 11	111	32	0	54	- 14	26
	PER	- 123.4	48.5	11.6	49.2	22.7	24.4	- 35.8	27.8	21.0	4,523.9	7.9	- 39.6	37.6
	PBR	- 1.9	3.1	1.6	8.4	5.6	1.4	- 6.7	5.5	3.2	1.8	1.8	- 2.0	4.3
	ROE	- 1.6	6.8	14.1	18.7	27.3	5.5	- 17.5	21.1	16.7	- 0.6	25.3	- 7.5	12.6
2024P	EV/EBITDA	77.3	24.0	6.8	37.8	17.4	14.4	- 38.6	19.1	8.0	22.7	4.5	337.8	24.0
	Sales	750	408	404	172	103	180	85	275	507	337	307	237	176
	OP	16	124	87	39	40	25	- 15	123	112	39	70	2	29
	OPM%	2%	30%	22%	23%	39%	14%	-17%	45%	22%	12%	23%	1%	17%
	NP	19	112	73	38	31	22	- 15	108	56	29	65	1	30
	PER	53.0	13.3	7.1	42.6	17.4	11.2	- 7.8	27.9	12.3	14.8	5.6	380.8	24.3
	PBR	1.2	2.3	1.2	8.9	3.6	0.7	- 2.6	4.9	2.5	1.3	1.2	2.1	2.9
	ROE	2.2	19.8	17.5	23.3	22.5	5.6	- 30.0	18.5	26.5	8.7	23.8	0.7	13.0
2025F	EV/EBITDA	21.3	9.9	4.2	34.3	12.8	4.7		21.9	3.0	6.7	1.8	26.7	10.6
	Sales	888	412	419	218	130	176	98	319	570	393	-	250	-
	OP	73	109	87	55	51	24	1	147	128	49	-	20	-
	OPM%	8%	27%	21%	25%	39%	14%	1%	46%	22%	12%	-	8%	-
	NP	66	103	78	53	41	21	1	128	66	43	-	-	-
	PER	15.7	14.3	6.6	30.5	13.5	11.5	166.0	23.5	8.8	10.2	-	-	-
	PBR	1.1	2.2	1.0	6.7	2.8	0.6	2.5	4.3	1.7	1.1	-	-	-
	ROE	7.2	17.1	15.5	24.8	26.4	6.1	1.6	19.3	25.0	10.3	-	-	-
2026F	EV/EBITDA	7.4	9.4	2.8	24.4	9.1	4.8	67.4	15.9	4.1	4.9	-	-	-
	Sales	975	507	445	262	190	193	115	355	647	430	-	-	-
	OP	93	144	94	70	81	35	7	166	151	61	-	-	-
	OPM%	10%	28%	21%	27%	43%	18%	6%	47%	23%	14%	-	-	-
	NP	83	129	85	65	65	28	8	146	81	52	-	-	-
	PER	12.5	11.4	6.1	24.7	8.5	8.9	14.7	20.7	7.2	8.4	-	-	-
	PBR	1.0	1.9	0.8	5.3	2.1	0.6	2.1	3.7	1.4	1.0	-	-	-
	ROE	8.4	18.4	14.6	23.8	30.8	7.5	16.4	19.2	24.3	11.7	-	-	-
	EV/EBITDA	5.6	6.7	1.9	18.7	5.4	3.0	15.7	13.7	3.3	4.0	-	-	-

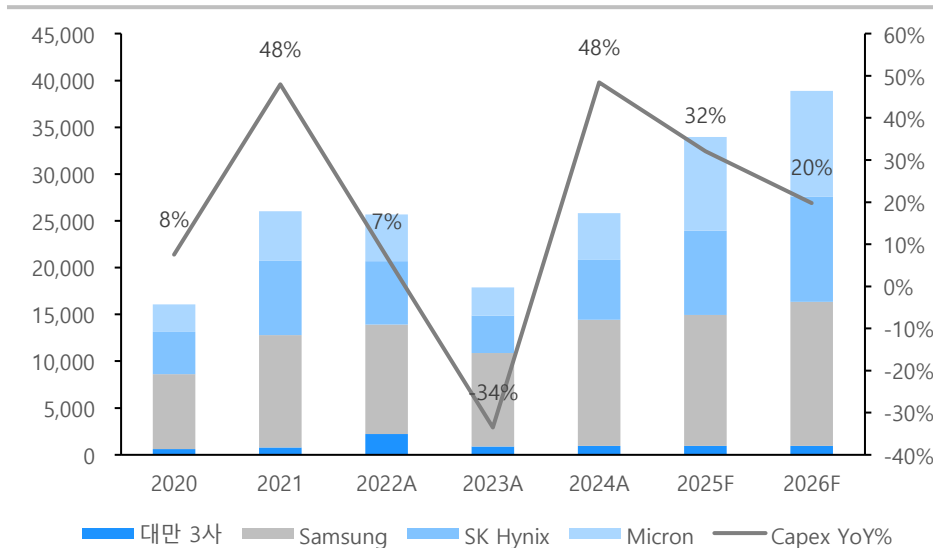
자료: Quantivise, 유안타증권 리서치센터

주1: 단위는 bilKRW, 배 적용, 주2: 주가는 5월 23일 금요일 종가 기준

2H25~2026년 글로벌 메모리반도체 Capex 전망

- 2025/2026년 글로벌 DRAM Capex 예상 증가율은 각각 +32%/+20%로, 1)Conventional DRAM의 경우, 수요 회복이 제한적인 상황에서 신규 캐파 증설보다는 기존 라인의 미세공정 전환을 통한 생산성 개선을 추가할 것으로 전망한다. IT 기기 수요 둔화와 관세 리스크 등 외부 변수로 수요 불확실성이 상존하지만, 온디바이스 AI 구현을 위한 메모리 Contents 증가 트렌드는 유효할 것이기 때문이다. 반면, 2)HBM는 AI 수요 확대에 따라 글로벌 업체들의 투자가 지속되고 공정 고도화와 패키징 기술 확보가 병행될 것으로 예상되지만 투자 증가율은 전년대비 다소 감소할 것으로 추정한다.
- 2025/2025년 글로벌 NAND NAND Capex 예상 증가율은 각각 +5%/+3%로, 200단 후반 수준으로의 Tech Migration이 지속될 것으로 예상된다. 특히 eSSD 수요가 견조하게 유지되는 가운데, 글로벌 기준으로 여전히 1/3 수준의 공급업체가 100단 초반대 기술에 머무르고 있는 점을 감안하면, 공급자 입장에서는 경쟁력 유지를 위한 일정 수준의 기술 전환은 불가피할 것으로 예상된다. 다만 중국 외 주요 공급업체들의 경우, 현재의 수급 균형과 원가 부담, 가격 사이클 등을 감안할 때 공격적인 생산 Bit 확대보다는 기존 캐파 내 수율 개선과 제품 고도화 중심의 보수적 투자 기조가 이어질 가능성이 높다. 특히 AI/서버용 고용량 SSD 대응을 위한 QLC/TLC 기반의 제품 Mix 전환이 병행될 것으로 예상된다.

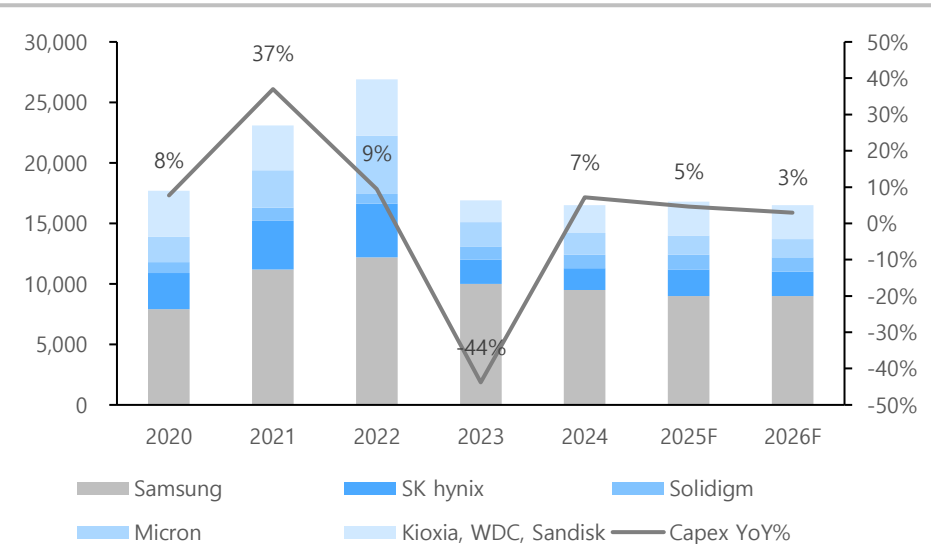
차트 50. 글로벌 DRAM Capex 추이 및 전망



자료: 업계 자료, 유안타증권 리서치센터,

주1: 단위는 mnUSD 기준, 주2: Capex YoY%는 글로벌 DRAM Capex 증감율 반영

차트 51. 글로벌 NAND Capex 추이 및 전망



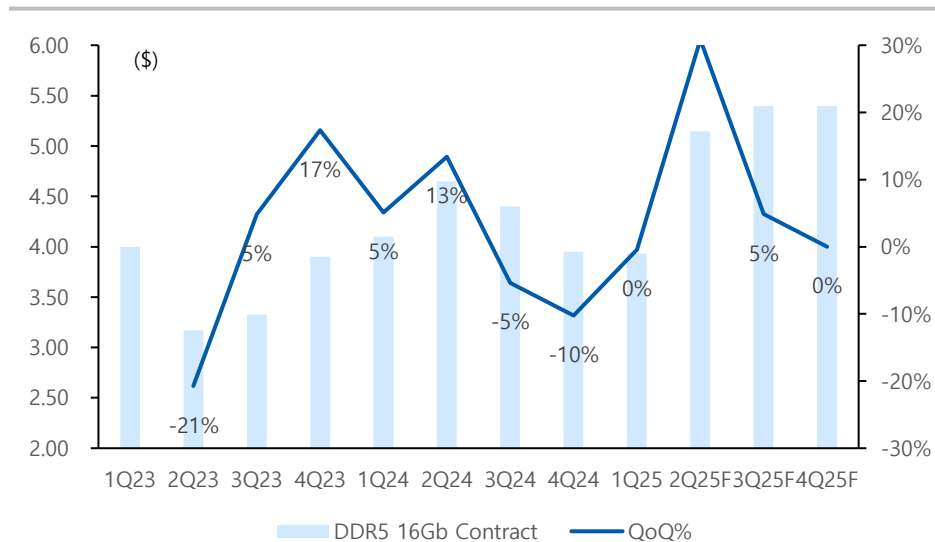
자료: 업계 자료, 유안타증권 리서치센터,

주1: 단위는 mnUSD 기준, 주2: Capex YoY%는 글로벌 NAND Capex 증감율 반영

메모리반도체 가격 전망 및 투자전략

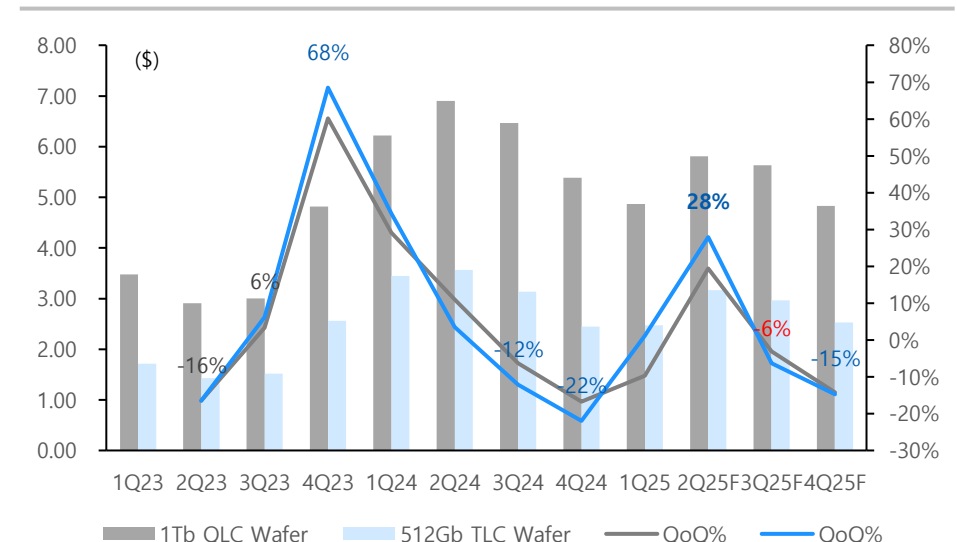
- 2H25 Conventional DRAM 가격은 완만한 상승세를 이어 나갈 것으로 기대한다. 1)상반기 동안 일부 고객사들의 전략적 Pull-in 구매가 진행된 바 있으나, 과거 공급망 쇼크 경험에 따라 과잉 재고 국면으로의 전환 가능성은 제한적이며, 2)선단공정 중심의 제한적인 공급이 이어지고 있고, 3) 중국 반도체 기업들의 Capex 확대 흐름과는 별개로 국내 DRAM 공급업체들이 기술 주도권을 안정적으로 유지하고 있는 점이 가격 방어 요인으로 작용할 것이기 때문이다. 특히 HBM과 DDR5 제품군의 강세는 SK하이닉스의 실적 모멘텀을 견인할 것으로 예상된다. 한편, NAND 가격의 회복 탄력성은 상대적으로 제한적일 전망이다. 주요 공급사들의 제한적 투자 기조 속에서도 Enterprise SSD 수요 외의 범용 제품 회복이 여전히 지연되고 있기 때문이다. 단기적으로는 공급 확대 여력이 크지 않지만, 수요 회복세가 불균형한 점에서 제품군 간 가격 차별화는 지속될 가능성을 배제할 수 없다.
- 미국 트럼프 정부의 관세 정책 리스크는 여전히 변수로 남아 있다. 다만 세트 수요 둔화에 대한 우려는 연초 대비 시장에서의 반영 강도가 약화되고 있으며, 이는 업종センチ먼트에 완만한 개선 압력으로 작용할 것으로 기대한다. 메모리 반도체 업종에 대한 비중 확대 의견을 유지하며, Top Pick으로는 SK하이닉스를 유지한다. 고부가 제품 중심의 시장 수요 변화에 가장 전략적으로 대응하고 있는 역량이 차별화 요인이라는 점을 지속 주목한다.

차트 52. DDR5 분기별 고정가격 변화 추이



자료: 업계 자료, 유안타증권 리서치센터

차트 53. NAND 분기별 고정가격 변화 추이



자료: 업계 자료, 유안타증권 리서치센터



PART 4

기업 보고서

SK하이닉스(000660 KS): AI 아키텍처 전환에 따른 구조적 수혜 집중

반도체



백길현, USCPA 반도체
gilhyun.baik@yuantakorea.com

투자의견	BUY (M)
목표주가	260,000원 (M)
현재주가 (5/26)	203,000원
상승여력	30%

시가총액	1,456,005억원
총발행주식수	728,002,365주
60일 평균 거래대금	6,517억원
60일 평균 거래량	3,424,502주
52주 고	241,000원
52주 저	152,800원
외인지분율	54.36%
주요주주	에스케이이스퀘어 외 7 인 20.07%
주가수익률(%)	1개월 3개월 12개월
절대	10.5 (4.5) (0.0)
상대	7.7 (2.2) 5.0
절대(달러환산)	14.1 (0.5) (1.0)

2025년 하반기 예상 영업이익 20.6조원

- 동사 2H25 예상 매출액과 영업이익은 각각 50.0조원(YoY +34%), 20.5조원(OPM 41%, YoY +36%)로, NAND 사업부문의 영업이익이 전년동기대비 약 1.6조원 감소함에도 불구하고 고부가 DRAM(HBM, 고용량 RDIMM) 중심의 성장세가 지속되며 이익 개선 트렌드가 이어질 것으로 전망하기 때문이다. 이중 HBM 12단 제품 비중 확대와 더불어 2H25 기준 동사 HBM 영업이익 기여도는 10조원에 육박할 것으로 추정한다.

투자의견 BUY, 목표주가 26만원 유지

- ‘AI 서비스 및 Physical AI’를 포함한 시장 성장 → AI 아키텍처 전환’에 따라 메모리반도체 중심의 구조적 수혜가 지속될 것으로 전망한다. 이 가운데 중장기적 관점에서 한국 반도체 산업은 선단공정 경쟁력을 바탕으로 글로벌 공급망 내 핵심 지위를 유지할 것이라는 판단이다.
- 2025년 연초부터 트럼프 정부의 관세 정책 리스크는 여전히 변수로 남아 있다. 다만 세트 수요 둔화에 대한 우려는 연초 대비 시장에서의 반영 강도가 약화되고 있는 것으로 추정한다. 동사에 대한 투자의견 BUY를 유지하고, 목표주가 26만원(2025년 예상 EPS * 12MF Target PBR 1.6배)를 유지한다. 2H25~2026년 AI Customized Chipset 시장 고도화가 본격화될 것으로 예상된다는 점을 고려하면 고부가 메모리 반도체 시장에서 가장 전략적으로 대응중인 동사의 역량이 재부각되며 추가적인 업사이드도 가능할 것으로 기대한다.

Forecasts and Valuation (K-IFRS 연결)

(십억원, 원, %, 배)

결산 (12월)	2022A	2023A	2024A	2025F	2026F
매출액	44,622	32,766	66,193	88,721	103,313
매출액증가율	3.8	-26.6	102.0	34.0	16.4
영업이익	6,809	-7,730	23,467	36,750	38,548
영업이익률	15.3	-23.6	35.5	41.4	37.3
지배주주귀속순이익	2,230	-9,112	19,789	35,985	37,465
지배주주 귀속 EPS	3,063	-12,517	27,182	49,430	51,462
증가율	-76.8	-508.7	-317.2	81.8	4.1
PER	33.3	-8.6	6.6	4.0	3.9
PBR	1.1	1.4	1.7	1.2	0.9
EV/EBITDA	4.4	17.5	4.0	2.8	2.2
ROA	2.2	-8.9	18.0	25.9	21.1
ROE	3.6	-15.6	31.1	38.8	28.6

자료: 유안타증권 리서치센터

SK하이닉스 Peer 실적 및 Valuation 추이 및 전망

	업체명	SK하이닉스	삼성전자	Micron	Western Digital	Sandisk	Nanya
	Ticker	A000660	A005930	MU US EQUITY	WDC US EQUITY	SNDK US EQUITY	2408 TT EQUITY
	시가총액	145,600	320,844	104,348	17,507	5,417	4,385
2023A	Sales	32,766	258,935	15,540	12,318	6,086	959
	OP	-7,730	6,567	-5,745	-1,285	-2,035	-464
	OPM%	-24%	3%	-37%	-10%	-33%	-48%
	NP	-9,112	14,473	-5,833	-1,684	-2,143	-239
	PER	-8.7	31.7	-	-	-	-
	PBR	1.4	1.3	1.7	1.1	-	1.4
	ROE	-15.7	4.3	-12.4	-14.8	-	-4.3
	EV/EBITDA	38.7	9.5	32.6	-	-	229.4
2024A	Sales	66,193	300,871	25,111	6,317	6,663	1,063
	OP	23,467	32,726	1,304	-403	-468	-329
	OPM%	35%	11%	5%	-6%	-7%	-31%
	NP	19,789	33,621	778	-798	-672	-158
	PER	6.6	14.5	134.3	-	-	-
	PBR	1.7	1.2	2.3	2.4	-	0.5
	ROE	31.1	9.0	1.7	-7.9	-	-3.1
	EV/EBITDA	3.7	3.4	12.3	-	-	10.5
2025F	Sales	84,632	321,260	35,444	9,738	7,261	1,303
	OP	36,128	32,368	9,002	2,255	567	-208
	OPM%	43%	10%	25%	23%	8%	-16%
	NP	29,846	32,242	7,915	1,860	-441	-95
	PER	4.9	11.3	13.5	9.7	14.2	-
	PBR	1.3	0.9	2.0	3.1	0.6	0.8
	ROE	33.9	8.0	15.3	25.3	-3.5	-1.6
	EV/EBITDA	2.8	3.4	6.5	7.3	7.8	11.1
2026F	Sales	95,003	337,678	44,567	10,202	8,180	1,798
	OP	39,369	40,996	14,594	2,646	989	124
	OPM%	41%	12%	33%	26%	12%	7%
	NP	30,622	38,186	12,068	1,989	682	231
	PER	4.8	9.6	8.6	8.9	7.2	25.3
	PBR	1.0	0.8	1.6	2.6	0.6	0.8
	ROE	26.2	8.9	19.0	43.1	6.3	3.8
	EV/EBITDA	2.2	2.8	5.0	7.0	4.7	5.6

자료: Bloomberg, Quantwise, 유안타증권 리서치센터, 주1: 2025/05/23 종가 기준, 주2: 단위는 bilKRW, mn USD, 배, %

SK하이닉스(000660) 추정재무제표 (K-IFRS 연결)

손익계산서						(단위: 억원)
결산 (12월)	2022A	2023A	2024A	2025F	2026F	
매출액	44,622	32,766	66,193	88,721	103,313	
매출원가	28,994	33,299	34,365	39,025	45,458	
매출총이익	15,628	-533	31,828	49,696	57,855	
판매비	8,818	7,197	8,361	12,946	19,307	
영업이익	6,809	-7,730	23,467	36,750	38,548	
EBITDA	20,961	5,943	36,049	48,042	50,001	
영업외손익	-2,807	-3,928	418	8,321	9,520	
외환관련손익	-405	-319	269	556	919	
이자손익	-444	-1,252	-1,000	-127	709	
관계기업관련손익	131	15	-38	3,508	3,508	
기타	-2,089	-2,372	1,188	4,383	4,383	
법인세비용차감전순손익	4,003	-11,658	23,885	45,070	48,068	
법인세비용	1,761	-2,520	4,088	9,058	10,575	
계속사업순손익	2,242	-9,138	19,797	36,012	37,493	
중단사업순손익	0	0	0	0	0	
당기순이익	2,242	-9,138	19,797	36,012	37,493	
지배지분순이익	2,230	-9,112	19,789	35,985	37,465	
포괄순이익	2,822	-9,037	21,044	39,194	40,675	
지배지분포괄이익	2,802	-9,015	21,033	39,165	40,645	

주:영업이익산출 기준은 기존 k-GAAP과 동일. 즉, 매출액에서 매출원가와 판매비만 차감

현금흐름표						(단위: 억원)
결산 (12월)	2022A	2023A	2024A	2025F	2026F	
영업활동 현금흐름	14,781	4,278	29,796	50,351	52,599	
당기순이익	2,242	-9,138	19,797	36,012	37,493	
감가상각비	13,372	13,121	11,985	10,714	10,980	
외환손익	1,057	332	352	-556	-919	
중속,관계기업관련손익	-131	0	0	-3,508	-3,508	
자산부채의 증감	-2,690	794	-5,600	5,734	5,852	
기타현금흐름	931	-831	3,261	1,955	2,701	
투자활동 현금흐름	-17,884	-7,335	-18,005	-23,276	-23,232	
투자자산	198	-19	-113	0	22	
유형자산 증가 (CAPEX)	-19,010	-8,325	-15,946	-26,000	-26,000	
유형자산 감소	324	1,540	47	0	0	
기타현금흐름	604	-531	-1,993	2,724	2,746	
재무활동 현금흐름	2,822	5,697	-8,704	-2,355	-1,540	
단기차입금	3,579	2,141	-2,643	-433	-19	
사채 및 장기차입금	2,063	7,043	-4,138	-400	0	
자본	2	36	115	0	0	
현금배당	-1,681	-826	-826	-1,522	-1,522	
기타현금흐름	-1,141	-2,698	-1,211	0	0	
연결범위변동 등 기타	200	-30	530	-1,321	-3,123	
현금의 증감	-81	2,610	3,618	23,399	24,704	
기초 현금	5,058	4,977	7,587	11,205	34,604	
기말 현금	4,977	7,587	11,205	34,604	59,308	
NOPLAT	6,809	-7,730	23,467	36,750	38,548	
FCF	-4,230	-4,047	13,850	24,351	26,599	

자료: 유안타증권 주:1. EPS, BPS 및 PER, PBR은 지배주주 기준임 2. PER등 valuation 지표의 경우, 확정치는 연평균 주가 기준, 전망치는 현재주가 기준임 3. ROE,ROA의경우, 자본,자산 항목은 연초,연말 평균을 기준으로 함

재무상태표						(단위: 십억원)
결산 (12월)	2022A	2023A	2024A	2025F	2026F	
유동자산	28,733	30,468	42,279	65,678	90,107	
현금및현금성자산	4,977	7,587	11,205	34,604	59,308	
매출채권 및 기타채권	5,444	6,942	13,299	13,299	13,179	
재고자산	15,665	13,481	13,314	13,314	13,194	
비유동자산	75,138	69,862	77,576	92,284	106,808	
유형자산	60,229	52,705	60,157	75,443	90,463	
관계기업등 지분관련자산	1,353	1,367	1,941	1,941	1,923	
기타투자자산	6,130	4,441	4,582	4,582	4,577	
자산총계	103,872	100,330	119,855	157,961	196,916	
유동부채	19,844	21,008	24,965	25,285	25,099	
매입채무 및 기타채무	10,807	7,026	13,386	15,280	15,142	
단기차입금	3,833	4,146	1,283	1,083	1,083	
유동성장기부채	3,590	5,712	3,969	3,569	3,569	
비유동부채	20,737	25,819	20,974	21,089	21,075	
장기차입금	9,074	10,121	5,022	5,022	5,022	
사채	6,498	9,490	12,409	12,409	12,409	
부채총계	40,581	46,826	45,940	46,374	46,175	
지배지분	63,266	53,504	73,903	111,549	150,673	
자본금	3,658	3,658	3,658	3,658	3,658	
자본잉여금	4,336	4,373	4,487	4,487	4,487	
이익잉여금	56,685	46,729	65,418	99,881	135,825	
비지배지분	24	-1	12	39	68	
자본총계	63,291	53,504	73,916	111,588	150,741	
순차입금	18,373	24,960	12,984	-11,247	-35,948	
총차입금	24,797	33,981	27,200	26,367	26,348	

Valuation 지표						(단위: 원, 배, %)
결산 (12월)	2022A	2023A	2024A	2025F	2026F	
EPS	3,063	-12,517	27,182	49,430	51,462	
BPS	92,004	77,752	107,256	161,584	218,258	
EBITDAPS	28,792	8,164	49,517	65,992	68,683	
SPS	61,293	45,008	90,924	121,870	141,913	
DPS	1,200	1,200	2,204	2,204	2,204	
PER	33.3	-8.6	6.6	4.0	3.9	
PBR	1.1	1.4	1.7	1.2	0.9	
EV/EBITDA	4.4	17.5	4.0	2.8	2.2	
PSR	1.7	2.4	2.0	1.6	1.4	

재무비율						(단위: 배, %)
결산 (12월)	2022A	2023A	2024A	2025F	2026F	
매출액 증가율 (%)	3.8	-26.6	102.0	34.0	16.4	
영업이익 증가율 (%)	-45.1	적전	흑전	56.6	4.9	
지배순이익 증가율 (%)	-76.8	적전	흑전	81.8	4.1	
매출총이익률 (%)	35.0	-1.6	48.1	56.0	56.0	
영업이익률 (%)	15.3	-23.6	35.5	41.4	37.3	
지배순이익률 (%)	5.0	-27.8	29.9	40.6	36.3	
EBITDA 마진 (%)	47.0	18.1	54.5	54.1	48.4	
ROIC	5.5	-8.5	27.1	36.1	31.4	
ROA	2.2	-8.9	18.0	25.9	21.1	
ROE	3.6	-15.6	31.1	38.8	28.6	
부채비율 (%)	64.1	87.5	62.2	41.6	30.6	
순차입금/자기자본 (%)	29.0	46.7	17.6	-10.1	-23.9	
영업이익/금융비용 (배)	12.8	-5.3	17.4	34.5	36.1	

삼성전자(005930): 반도체 업종 투자 심리 개선이 주가에 긍정적

반도체



백길현, USCPA 반도체
gilhyun.baik@yuantakorea.com

투자의견	BUY (M)
목표주가	70,000원 (M)
현재주가 (5/26)	54,700원
상승여력	29%

시가총액	3,574,816억원
총발행주식수	6,735,612,586주
60일 평균 거래대금	9,411억원
60일 평균 거래량	16,630,756주
52주 고	87,800원
52주 저	49,900원
외인지분율	49.66%
주요주주	삼성생명보험 외 15 인 20.15%
주가수익률(%)	1개월 3개월 12개월
절대	(2.7) (6.9) (30.8)
상대	(5.2) (4.6) (27.3)
절대(달러환산)	0.5 (2.9) (31.4)

2025년 하반기 예상 영업이익 14.2조원

- 동사 2H25 예상 매출액과 영업이익은 각각 188.5조원(YoY +22%), 14.2조원(OPM 8%, YoY -10%)으로 전년동기대비 수익성이 다소 약화될 것으로 전망한다. 1)DRAM 사업부문의 실적 개선 및 Foundry 적자폭 축소에도 불구하고 NAND 영업이익 기여도가 큰 폭으로 감소할 것으로 추정하며, 2)IT Set 수요 부진 및 부품 시장 내 경쟁 강도 심화에 따른 수익성 감소 영향이 불가피 할 것이기 때문이다. 참고로 2H25 반도체와 비반도체부문 예상 영업이익은 각각 6.8조원(OPM 11%, YoY Flat), 7.5조원(OPM 6%, YoY -15%)로 추정한다.

투자의견 BUY, 목표주가 7만원 유지

- 2H25 DRAM 가격은 완만한 상승세를 이어 나갈 것으로 기대한다. 1)최근 일부 고객사들의 전략적 Pull-in 구매가 진행된 바 있으나, 과거 공급망 쇼크 경험에 따라 과잉 재고 국면으로의 전환 가능성은 제한적이며, 2)선단공정 중심의 제한적인 공급이 이어지고 있고, 3)중국 반도체 기업들의 Capex 확대 흐름과는 별개로 국내 DRAM 공급업체들이 기술 주도권을 안정적으로 유지하고 있는 점이 가격 방어 요인으로 작용할 것이기 때문이다. 한편, NAND 가격의 회복 탄력성은 상대적으로 제한적일 전망이다. 주요 공급사들의 제한적 투자 기조 속에서도 Enterprise SSD 수요 외의 범용 제품 회복이 여전히 지연되고 있기 때문이다. 트럼프 정부의 관세 정책 리스크는 여전히 변수로 남아 있다. 다만 세트 수요 둔화에 대한 우려는 연초 대비 시장에서의 반영 강도가 약화되고 있으며, 이는 업종 및 동사 주가에 대한 완만한 개선 압력으로 작용할 것으로 기대한다.

Forecasts and Valuation (K-IFRS 연결)

(십억원, 원, %, 배)

결산 (12월)	2022A	2023A	2024A	2025F	2026F
매출액	302,231	258,935	300,871	359,205	389,630
매출액증가율	8.1	-14.3	16.2	19.4	8.5
영업이익	43,377	6,567	32,726	27,254	31,374
영업이익률	14.4	2.5	10.9	7.6	8.1
지배주주귀속순이익	54,730	14,473	33,621	27,257	28,985
지배주주 귀속 EPS	8,969	2,225	5,433	4,401	4,698
증가율	40.7	-75.2	144.2	-19.0	6.7
PER	7.1	30.3	13.2	12.3	11.5
PBR	1.3	1.3	1.2	0.9	0.8
EV/EBITDA	4.1	8.4	5.2	4.3	3.6
ROA	12.5	3.2	6.9	5.1	5.1
ROE	17.1	4.1	9.0	6.7	6.7

자료: 유안타증권 리서치센터

삼성전자 사업부별 Peer 실적 및 Valuation 추이 및 전망 (DS부문)

	업체명	삼성전자	SK하이닉스	Micron	Western Digital	Sandisk	Nanya	MediaTek	Qualcomm	TSMC	UMC	SMIC	Intel
	Ticker	A005930	A000660	MU US EQUITY	WDC US EQUITY	SNDK US EQUITY	2408 TT EQUITY	2454 TT EQUITY	QCOM US EQUITY	2330 TT EQUITY	2303 TT EQUITY	688981 CH Equity	INTC US EQUITY
	시가총액	320,844	145,600	104,348	17,507	5,417	4,385	69,574	159,627	848,336	20,251	55,015	87,458
2023A	Sales	258,935	32,766	15,540	12,318	6,086	959	13,907	35,820	69,358	7,140	6,322	54,228
	OP	6,567	-7,730	-5,745	-1,285	-2,035	-464	2,304	7,788	29,565	1,857	358	93
	OPM%	3%	-24%	-37%	-10%	-33%	-48%	17%	22%	43%	26%	6%	0%
	NP	14,473	-9,112	-5,833	-1,684	-2,143	-239	2,470	7,232	26,903	1,957	903	1,689
	PER	31.7	-8.7	-	-	-	-	20.9	14.5	18.3	10.7	23.2	143.3
	PBR	1.3	1.4	1.7	1.1	-	1.4	4.4	5.6	4.4	1.8	1.0	2.0
	ROE	4.3	-15.7	-12.4	-14.8	-	-4.3	19.0	36.5	26.2	17.6	4.6	1.6
	EV/EBITDA	9.5	38.7	32.6	-	-	229.4	16.2	11.5	10.1	6.1	14.7	24.4
2024A	Sales	300,871	66,193	25,111	6,317	6,663	1,063	16,518	38,962	69,358	7,140	8,030	54,228
	OP	32,726	23,467	1,304	-403	-468	-329	3,188	10,071	29,565	1,857	474	93
	OPM%	11%	35%	5%	-6%	-7%	-31%	19%	26%	43%	26%	6%	0%
	NP	33,621	19,789	778	-798	-672	-158	3,312	10,142	26,903	1,957	493	1,689
	PER	14.5	6.6	134.3	-	-	-	21.1	20.5	18.3	10.7	81.7	143.3
	PBR	1.2	1.7	2.3	2.4	-	0.5	5.7	7.2	4.4	1.8	1.6	2.0
	ROE	9.0	31.1	1.7	-7.9	-	-3.1	27.8	42.4	26.2	17.6	2.4	1.6
	EV/EBITDA	3.4	3.7	12.3	-	-	10.5	16.7	15.5	10.1	6.1	13.6	24.4
2025F	Sales	321,260	84,632	35,444	9,738	7,261	1,303	20,495	43,442	142,534	8,730	9,307	53,386
	OP	32,368	36,128	9,002	2,255	567	-208	3,939	15,053	67,098	1,777	1,026	5,134
	OPM%	10%	43%	25%	23%	8%	-16%	19%	35%	47%	20%	11%	10%
	NP	32,242	29,846	7,915	1,860	-441	-95	3,886	13,082	58,895	1,580	738	3,652
	PER	11.3	4.9	13.5	9.7	14.2	-	17.8	12.4	14.3	12.8	127.0	23.3
	PBR	0.9	1.3	2.0	3.1	0.6	0.8	4.9	5.7	3.8	1.5	4.3	0.8
	ROE	8.0	33.9	15.3	25.3	-3.5	-1.6	28.5	44.7	29.4	12.9	3.3	3.0
	EV/EBITDA	3.4	2.8	6.5	7.3	7.8	11.1	13.6	10.0	8.4	4.8	16.6	7.3
2026F	Sales	337,678	95,003	44,567	10,202	8,180	1,798	23,782	44,081	142,534	8,730	11,031	53,386
	OP	40,996	39,369	14,594	2,646	989	124	4,698	14,746	67,098	1,777	1,331	5,134
	OPM%	12%	41%	33%	26%	12%	7%	20%	33%	47%	20%	12%	10%
	NP	38,186	30,622	12,068	1,989	682	231	4,600	13,054	58,895	1,580	995	3,652
	PER	9.6	4.8	8.6	8.9	7.2	25.3	15.1	12.1	14.3	12.8	94.1	23.3
	PBR	0.8	1.0	1.6	2.6	0.6	0.8	4.5	5.3	3.8	1.5	4.1	0.8
	ROE	8.9	26.2	19.0	43.1	6.3	3.8	30.7	39.6	29.4	12.9	4.3	3.0
	EV/EBITDA	2.8	2.2	5.0	7.0	4.7	5.6	11.8	9.9	8.4	4.8	13.9	7.3

자료: Bloomberg, Quantwise, 유안타증권 리서치센터, 주1: 2025/05/23 종가 기준, 주2: 단위는 bilKRW, mn USD, 배, %

삼성전자 사업부별 Peer 실적 및 Valuation 추이 및 전망 (DX부문)

	업체명	삼성전자	Apple	Xiaomi	ZTE	LG전자	Whirlpool	HAIER
	Ticker	A005930	AAPL US Equity	1810 HK Equity	000063 CH Equity	A066570	WHR US Equity	600690 CH Equity
	시가총액	320,844	2,916,519	175,546	19,630	11,455	4,298	31,581
2023A	Sales	258,935	383,285	38,266	17,546	82,263	19,455	38,721
	OP	6,567	114,301	2,779	1,322	3,653	1,015	2,684
	OPM%	3%	30%	7%	8%	4%	5%	7%
	NP	14,473	96,995	2,468	1,317	713	481	2,344
	PER	31.7	27.9	20.3	8.1	27.5	11.6	11.7
	PBR	1.3	42.8	2.2	1.1	1.0	2.8	2.0
	ROE	4.3	171.9	11.4	14.7	5.0	20.5	17.0
	EV/EBITDA	9.5	20.5	12.8	7.7	4.4	7.6	6.5
2024A	Sales	300,871	391,035	50,823	16,848	87,728	16,607	39,722
	OP	32,726	123,216	3,409	1,245	3,420	142	3,052
	OPM%	11%	32%	7%	7%	4%	1%	8%
	NP	33,621	93,736	3,286	1,170	368	-323	2,603
	PER	14.5	33.8	34.1	13.0	48.0	11.3	14.1
	PBR	1.2	60.5	4.3	1.5	0.8	2.4	2.4
	ROE	9.0	157.4	13.4	12.0	2.4	-12.8	17.6
	EV/EBITDA	3.4	24.9	25.0	8.4	4.5	7.6	9.6
2025F	Sales	321,260	407,259	67,237	18,084	90,531	15,585	42,342
	OP	32,368	128,515	5,213	1,302	3,327	999	3,450
	OPM%	10%	32%	8%	7%	4%	6%	8%
	NP	32,242	107,815	5,299	1,232	1,234	504	2,897
	PER	11.3	27.2	32.4	16.8	10.3	8.7	11.5
	PBR	0.9	43.0	5.4	1.9	0.6	1.3	1.9
	ROE	8.0	178.9	16.6	11.2	5.7	15.3	17.1
	EV/EBITDA	3.4	20.5	26.7	11.7	2.7	8.0	7.8
2026F	Sales	337,678	425,159	83,201	19,598	94,049	15,780	44,634
	OP	40,996	134,873	7,055	1,404	3,873	1,105	3,815
	OPM%	12%	32%	8%	7%	4%	7%	9%
	NP	38,186	113,041	6,889	1,319	1,674	604	3,183
	PER	9.6	25.0	25.2	15.8	7.6	7.2	10.4
	PBR	0.8	34.2	4.5	1.7	0.5	1.4	1.8
	ROE	8.9	197.0	18.4	11.0	7.3	23.2	17.2
	EV/EBITDA	2.8	19.2	19.9	11.2	2.4	7.4	7.2

자료: Bloomberg, Quantwise, 유안타증권 리서치센터, 주1: 2025/05/23 종가 기준, 주2: 단위는 bilKRW, mn USD, 배, %

삼성전자 사업부별 Peer 실적 및 Valuation 추이 및 전망 (SDC/Harman)

	업체명	삼성전자	LG디스플레이	BOE	Continental
	Ticker	A005930	A034220	000725 CH Equity	CON GR Equity
	시가총액	320,844	4,040	19,903	16,868
2023A	Sales	258,935	21,331	24,648	44,797
	OP	6,567	-2,510	262	1,955
	OPM%	3%	-12%	1%	4%
	NP	14,473	-2,734	360	1,251
	PER	31.7	-1.9	38.5	13.3
	PBR	1.3	0.7	0.7	1.1
	ROE	4.3	-25.7	1.9	8.6
	EV/EBITDA	9.5	12.3	7.9	5.3
2024A	Sales	300,871	26,615	27,554	42,967
	OP	32,726	-561	930	2,439
	OPM%	11%	-2%	3%	6%
	NP	33,621	-2,563	739	1,264
	PER	14.5	-2.0	18.3	11.1
	PBR	1.2	0.8	0.7	0.9
	ROE	9.0	-28.6	4.1	8.3
	EV/EBITDA	3.4	4.6	5.4	3.7
2025F	Sales	321,260	25,929	30,976	44,800
	OP	32,368	679	1,539	2,919
	OPM%	10%	3%	5%	7%
	NP	32,242	-101	1,235	1,669
	PER	11.3	-39.9	16.2	9.5
	PBR	0.9	0.6	1.0	1.0
	ROE	8.0	-1.0	6.3	10.2
	EV/EBITDA	3.4	2.7	5.7	4.5
2026F	Sales	337,678	26,056	33,847	44,919
	OP	40,996	1,052	2,217	3,470
	OPM%	12%	4%	7%	8%
	NP	38,186	318	1,689	2,153
	PER	9.6	12.7	11.9	7.6
	PBR	0.8	0.5	1.0	0.9
	ROE	8.9	3.8	7.7	12.1
	EV/EBITDA	2.8	2.4	5.2	3.9

자료: Bloomberg, Quantwise, 유안타증권 리서치센터, 주1: 2025/05/23 종가 기준, 주2: 단위는 bilKRW, mn USD, 배, %

삼성전자(005930) 추정재무제표 (K-IFRS 연결)

손익계산서 (단위: 십억원)					
결산 (12월)	2022A	2023A	2024A	2025F	2026F
매출액	302,231	258,935	300,871	359,205	389,630
매출원가	190,042	180,389	186,562	227,931	237,674
매출총이익	112,190	78,547	114,309	131,274	151,956
판매비	68,813	71,980	81,583	104,020	120,582
영업이익	43,377	6,567	32,726	27,254	31,374
EBITDA	82,484	45,234	75,357	63,060	68,979
영업외손익	3,064	4,439	4,804	7,330	7,155
외환관련손익	-272	-102	-363	86	355
이자손익	1,957	3,428	3,915	4,331	4,950
관계기업관련손익	1,091	888	751	1,654	617
기타	288	226	501	1,259	1,233
법인세비용차감전순손익	46,440	11,006	37,530	34,584	38,529
법인세비용	-9,214	-4,481	3,078	6,686	8,862
계속사업순손익	55,654	15,487	34,451	27,898	29,667
중단사업순손익	0	0	0	0	0
당기순이익	55,654	15,487	34,451	27,898	29,667
지배지분순이익	54,730	14,473	33,621	27,257	28,985
포괄순이익	59,660	18,837	51,296	35,970	37,089
지배지분포괄이익	58,745	17,846	50,048	35,278	36,375

주: 영업이익 산출 기준은 기존 k-GAAP과 동일. 즉, 매출액에서 매출원가와 판매비만 차감

현금흐름표 (단위: 십억원)					
결산 (12월)	2022A	2023A	2024A	2025F	2026F
영업활동 현금흐름	62,181	44,137	72,983	45,439	63,425
당기순이익	55,654	15,487	34,451	27,898	29,667
감가상각비	35,952	35,532	39,650	33,065	35,317
외환손익	0	0	0	-86	-355
중속, 관계기업관련손익	-1,091	-888	-751	-1,654	-617
자산부채의 증감	-16,999	-5,459	-1,568	-20,778	-8,176
기타현금흐름	-11,335	-536	1,200	6,994	7,588
투자활동 현금흐름	-31,603	-16,923	-85,382	-46,687	-41,693
투자자산	2,634	6,092	1,075	-2,862	-377
유형자산 증가 (CAPEX)	-49,430	-57,611	-51,406	-45,000	-46,000
유형자산 감소	218	98	156	0	0
기타현금흐름	14,976	34,498	-35,207	1,174	4,684
재무활동 현금흐름	-19,390	-8,593	-7,797	-9,713	-9,667
단기차입금	-8,540	1,967	6,058	0	0
사채 및 장기차입금	482	385	586	-12	0
자본	0	0	0	0	0
현금배당	-9,814	-9,864	-10,889	-9,701	-9,667
기타현금흐름	-1,517	-1,081	-3,553	0	0
연결범위변동 등 기타	-539	779	4,821	9,347	10,618
현금의 증감	10,649	19,400	-15,375	-1,614	22,683
기초 현금	39,031	49,681	69,081	53,706	52,091
기말 현금	49,681	69,081	53,706	52,091	74,774
NOPLAT	51,982	9,241	32,726	27,254	31,374
FCF	12,751	-13,474	21,576	439	17,425

자료: 유안타증권 주: 1. EPS, BPS 및 PER, PBR은 지배주주 기준임 2. PER등 valuation 지표의 경우, 확정치는 연평균 주가 기준, 전망치는 현재주가 기준임 3. ROE, ROA의 경우, 자본, 자산 항목은 연초, 연말 평균을 기준으로 함

재무상태표 (단위: 십억원)					
결산 (12월)	2022A	2023A	2024A	2025F	2026F
유동자산	218,471	195,937	227,062	251,451	278,996
현금및현금성자산	49,681	69,081	53,706	52,091	74,774
매출채권 및 기타채권	41,871	43,281	53,246	60,717	62,198
재고자산	52,188	51,626	51,755	63,516	65,066
비유동자산	229,954	259,969	287,470	299,526	308,298
유형자산	168,045	187,256	205,945	217,880	228,563
관계기업등 지분관련자산	10,894	11,767	12,592	15,454	15,831
기타투자자산	12,802	8,913	11,757	11,757	11,757
자산총계	448,425	455,906	514,532	550,977	587,294
유동부채	78,345	75,719	93,326	100,469	108,120
매입채무 및 기타채무	58,747	53,550	61,523	67,844	75,075
단기차입금	5,147	7,115	13,173	13,173	13,173
유동성장기부채	1,089	1,309	2,207	2,207	2,207
비유동부채	15,330	16,509	19,014	19,891	21,136
장기차입금	34	0	7	3	3
사채	536	538	15	7	7
부채총계	93,675	92,228	112,340	120,360	129,257
지배지분	345,186	353,234	391,688	419,471	446,210
자본금	898	898	898	898	898
자본잉여금	4,404	4,404	4,404	4,404	4,404
이익잉여금	337,946	346,652	370,513	388,069	407,387
비지배지분	9,563	10,444	10,504	11,146	11,828
자본총계	354,750	363,678	402,192	430,617	458,038
순차입금	-104,894	-79,721	-93,322	-97,610	-121,874
총차입금	10,333	12,686	19,330	19,318	19,318

Valuation 지표 (단위: 원, 배, %)					
결산 (12월)	2022A	2023A	2024A	2025F	2026F
EPS	8,969	2,225	5,433	4,401	4,698
BPS	50,817	52,002	57,981	62,747	66,747
EBITDAPS	12,143	6,659	11,094	9,351	10,241
SPS	44,494	38,120	44,293	53,267	57,846
DPS	1,444	1,444	1,446	1,446	1,446
PER	7.1	30.3	13.2	12.3	11.5
PBR	1.3	1.3	1.2	0.9	0.8
EV/EBITDA	4.1	8.4	5.2	4.3	3.6
PSR	1.4	1.8	1.6	1.0	0.9

재무비율 (단위: 배, %)					
결산 (12월)	2022A	2023A	2024A	2025F	2026F
매출액 증가율 (%)	8.1	-14.3	16.2	19.4	8.5
영업이익 증가율 (%)	-16.0	-84.9	398.3	-16.7	15.1
지배순이익 증가율 (%)	39.5	-73.6	132.3	-18.9	6.3
매출총이익률 (%)	37.1	30.3	38.0	36.5	39.0
영업이익률 (%)	14.4	2.5	10.9	7.6	8.1
지배순이익률 (%)	18.1	5.6	11.2	7.6	7.4
EBITDA 마진 (%)	27.3	17.5	25.0	17.6	17.7
ROIC	25.3	4.0	11.7	7.9	8.3
ROA	12.5	3.2	6.9	5.1	5.1
ROE	17.1	4.1	9.0	6.7	6.7
부채비율 (%)	26.4	25.4	27.9	28.0	28.2
순차입금/자기자본 (%)	-30.4	-22.6	-23.8	-23.3	-27.3
영업이익/금융비용 (배)	56.8	7.1	36.2	28.9	33.2

코미코(183300 KQ): 중장기 성장에 대한 높은 가시성, PER 7배

반도체



백길현, USCPA 반도체
gilhyun.baik@yuantakorea.com

투자 의견	BUY (I)
목표주가	100,000원 (I)
현재주가 (5/26)	58,600원
상승여력	80%

시가총액	5,806억원		
총발행주식수	10,460,684주		
60일 평균 거래대금	95억원		
60일 평균 거래량	172,422주		
52주 고	93,700원		
52주 저	32,650원		
외인지분율	19.74%		
주요주주	미코 41.10%		
주가수익률(%)	1개월	3개월	12개월
절대	(10.9)	17.0	(40.8)
상대	(9.7)	26.5	(30.0)
절대(달러환산)	(8.0)	22.0	(41.3)

2025년 하반기 예상 영업이익 488억원

- 동사 2H25 예상 매출액과 영업이익은 각각 3,032억원(YoY +19%), 659억원(OPM +22%, YoY +38%)으로, 세정/코팅 본업과 자회사 미코세라믹스의 영업이익 전년동기대비 성장률은 각각 +66%, +27%로 추정한다. 아시아법인들의 세정/코팅 수요가 성장을 견인하고, 미코세라믹스의 중화권 고객의 고성장 트렌드가 지속될 것으로 예상하기 때문이다.

투자 의견 BUY, 목표주가 10만원으로 커버리지 재개시

- 아시아법인 중심의 성장과 자회사 미코세라믹스의 파츠 수요 고성장에 대한 가시성이 높다는 점이 긍정적이다. 1)동사는 일본/중국 법인 설립을 통해 아시아 내 입지를 지속 강화하고 있으며, 2)2025년 하반기 지나면서 중국 메모리 반도체 산업의 설비 투자 확대 사이클에 진입할 것으로 전망하기 때문이다. 중국 로컬 반도체 장비사의 향후 5년간 CAGR 성장률은 약 20%를 상회할 것으로 추정한다. 동사 현재 주가는 작년 고점 98,400원(2024년 5월 17일)대비 약 44% 하락했다. 미국 트럼프 정권의 관세 영향에 대한 우려로 반도체 업종의 투자 심리가 악화되었을 뿐만 아니라 동사의 자회사 미코세라믹스의 중복 상장에 대한 우려가 크게 반영되었을 것으로 추정한다. 다만 2025년 4월 30일 기업가치제고계획 공시를 통해 밝혔듯 자회사의 중복 상장 가능성은 제한적일 것으로 예상된다는 점과 동사의 중장기 성장에 대한 가시성이 높다는 점에 주목 해야한다는 판단이다. 동사에 대한 투자 의견 BUY, 목표주가는 10만원(2025~2026년 예상 EPS * 12MF Target PER 13배 적용)으로 커버리지를 재개시한다.

Forecasts and Valuation (K-IFRS 연결)

(억원, 원, %, 배)

결산 (12월)	2022A	2023A	2024A	2025F	2026F
매출액	2,884	3,073	5,071	5,786	6,612
매출액증가율	12.2	6.6	65.0	14.1	14.3
영업이익	554	330	1,125	1,257	1,487
영업이익률	19.2	10.7	22.2	21.7	22.5
지배주주귀속순이익	420	315	559	755	920
지배주주 귀속 EPS	4,188	3,070	5,340	7,218	8,792
증가율	-11.0	-26.7	73.9	35.2	21.8
PER	12.4	16.7	12.3	7.7	6.3
PBR	2.0	2.5	2.5	1.5	1.1
EV/EBITDA	5.9	9.5	5.9	4.9	3.7
ROA	11.0	6.4	8.0	8.6	8.7
ROE	17.5	13.5	23.4	23.1	20.3

자료: 유안타증권 리서치센터

코미코 Peer 실적 및 Valuation 추이 및 전망

	업체명	코미코	티씨케이	하나머티리얼즈	원익QnC	월덱스	한솔아이원스	케이엔제이	비씨엔씨
	Ticker	A183300	A064760	A166090	A074600	A101160	A114810	A272110	A146320
	시가총액	581	996	475	426	300	238	133	113
2023A	Sales	307	227	234	806	288	124	47	65
	OP	33	67	41	83	65	8	10	0
	OPM%	11%	29%	18%	10%	23%	7%	22%	0%
	NP	32	61	34	38	54	2	11	1
	PER	16.7	19.0	25.9	18.2	7.5	116.3	14.0	187.2
	PBR	2.5	2.5	2.2	1.7	1.7	1.5	2.3	3.1
	ROE	16.7	14.0	0.0	10.4	25.3	1.4	18.1	1.7
	EV/EBITDA	8.0	13.2	15.2	8.5	4.5	35.5	11.7	58.1
2024A	Sales	507	276	252	892	306.8	157	62	77
	OP	112	81	43	91	70.3	23	14	-2
	OPM%	22%	29%	17%	10%	23%	15%	23%	-3%
	NP	56	72	32	51	5.6	31	11	-2
	PER	12.3	16.9	27.3	14.9	1.2	9.4	13.0	-96.0
	PBR	2.5	2.4	2.4	1.6	23.8	1.5	1.9	3.0
	ROE	26.5	14.8	8.4	11.4	1.8	18.6	15.8	-3.1
	EV/EBITDA	3.0	5.6	7.5	6.9	-	3.4	6.4	26.2
2025F	Sales	570	316	257	948	-	192	75	94
	OP	128	95	47	90	-	36	23	7
	OPM%	22%	30%	18%	10%	-	19%	31%	8%
	NP	66	81	34	48	-	31	-	5
	PER	8.8	12.2	13.8	8.9	-	7.6	-	21.8
	PBR	1.7	1.7	1.2	0.8	-	1.1	-	1.4
	ROE	25.0	14.8	9.1	9.6	-	15.7	-	6.8
	EV/EBITDA	4.1	6.0	7.4	6.3	-	4.2	-	8.5
2026F	Sales	647	365	291	1,040	-	222	-	123
	OP	151	111	62	114	-	45	-	13
	OPM%	23%	30%	21%	11%	-	20%	-	11%
	NP	81	97	47	57	-	38	-	9
	PER	7.2	10.3	10.2	7.5	-	6.2	-	12.0
	PBR	1.4	1.5	1.1	0.8	-	0.9	-	1.4
	ROE	24.3	15.6	11.0	11.2	-	16.4	-	11.4
	EV/EBITDA	3.3	4.6	5.9	5.1	-	3.1	-	5.4

자료: Bloomberg, Quantwise, 유안타증권 리서치센터, 주1: 2025/05/23 종가 기준, 주2: 단위는 bilKRW, mn USD, 배, %

코미코(183300) 추정재무제표 (K-IFRS 연결)

손익계산서 (단위: 억원)					
결산 (12월)	2022A	2023A	2024A	2025F	2026F
매출액	2,884	3,073	5,071	5,786	6,612
매출원가	1,619	1,906	2,723	2,986	3,313
매출총이익	1,265	1,167	2,348	2,799	3,299
판매비	711	837	1,223	1,543	1,812
영업이익	554	330	1,125	1,257	1,487
EBITDA	836	710	1,549	1,678	1,967
영업외손익	-23	193	7	73	129
외환관련손익	-15	-9	58	0	0
이자손익	-18	-25	-51	-82	-64
관계기업관련손익	0	0	-6	-18	20
기타	10	227	6	174	174
법인세비용차감전순손익	531	524	1,132	1,330	1,617
법인세비용	111	69	253	401	485
계속사업순손익	420	455	878	929	1,132
중단사업순손익	0	0	0	0	0
당기순이익	420	455	878	929	1,132
지배지분순이익	420	315	559	755	920
포괄순이익	431	465	1,043	1,449	1,651
지배지분포괄이익	431	329	724	1,266	1,443

주:영업이익산출 기준은 기존 k-GAAP과 동일. 즉, 매출액에서 매출원가와 판매비만 차감

현금흐름표 (단위: 억원)					
결산 (12월)	2022A	2023A	2024A	2025F	2026F
영업활동 현금흐름	787	652	1,156	969	1,462
당기순이익	420	455	878	929	1,132
감가상각비	280	376	419	413	472
외환손익	12	10	-26	0	0
중속,관계기업관련손익	0	0	0	18	-20
자산부채의 증감	-18	15	-443	-537	-285
기타현금흐름	93	-205	327	145	162
투자활동 현금흐름	-569	-1,053	-1,485	-844	-335
투자자산	-150	11	10	-13	-11
유형자산 증가 (CAPEX)	-290	-329	-1,534	-1,300	-800
유형자산 감소	1	14	4	0	0
기타현금흐름	-130	-749	34	469	476
재무활동 현금흐름	-498	1,065	610	-46	-55
단기차입금	115	489	650	56	46
사채 및 장기차입금	-338	1,052	234	0	0
자본	0	-590	-50	0	0
현금배당	-55	-99	-70	-102	-101
기타현금흐름	-220	213	-153	0	0
연결범위변동 등 기타	14	4	38	1	80
현금의 증감	-267	667	319	79	1,151
기초 현금	864	597	1,265	1,584	1,663
기말 현금	597	1,265	1,584	1,663	2,814
NOPLAT	554	330	1,125	1,257	1,487
FCF	496	323	-377	-331	662

자료: 유안타증권 주:1. EPS, BPS 및 PER, PBR은 지배주주 기준임 2. PER등 valuation 지표의 경우, 확정치는 연평균 주가 기준, 전망치는 현재주가 기준임 3. ROE,ROA의경우, 자본,자산 항목은 연초,연말 평균을 기준으로 함

재무상태표 (단위: 억원)					
결산 (12월)	2022A	2023A	2024A	2025F	2026F
유동자산	1,419	2,362	3,193	3,924	5,369
현금및현금성자산	597	1,265	1,584	1,663	2,814
매출채권 및 기타채권	381	469	746	1,245	1,413
재고자산	85	347	447	535	607
비유동자산	2,458	3,577	4,810	5,702	6,033
유형자산	2,134	2,768	4,029	4,916	5,244
관계기업등 지분관련자산	0	0	48	58	65
기타투자자산	203	644	491	495	498
자산총계	3,878	5,939	8,003	9,626	11,402
유동부채	859	1,510	2,761	2,975	3,151
매입채무 및 기타채무	253	371	346	415	471
단기차입금	377	827	1,269	1,269	1,269
유동성장기부채	65	77	44	44	44
비유동부채	442	1,549	1,486	1,546	1,596
장기차입금	190	1,233	1,127	1,127	1,127
사채	0	0	0	0	0
부채총계	1,301	3,059	4,246	4,522	4,747
지배지분	2,577	2,099	2,682	3,855	5,194
자본금	50	52	52	52	52
자본잉여금	715	123	73	73	73
이익잉여금	1,758	1,970	2,492	3,146	3,964
비지배지분	0	781	1,075	1,249	1,461
자본총계	2,577	2,880	3,757	5,104	6,654
순차입금	-233	723	1,265	1,202	65
총차입금	710	2,251	3,135	3,191	3,236

Valuation 지표 (단위: 원, 배, %)					
결산 (12월)	2022A	2023A	2024A	2025F	2026F
EPS	4,188	3,070	5,340	7,218	8,792
BPS	25,921	20,223	26,373	38,241	51,517
EBITDAPS	8,347	6,915	14,811	16,043	18,806
SPS	28,779	29,922	48,480	55,307	63,210
DPS	1,000	400	1,000	1,000	1,000
PER	12.4	16.7	12.3	7.7	6.3
PBR	2.0	2.5	2.5	1.5	1.1
EV/EBITDA	5.9	9.5	5.9	4.9	3.7
PSR	1.8	1.7	1.4	1.0	0.9

재무비율 (단위: 배, %)					
결산 (12월)	2022A	2023A	2024A	2025F	2026F
매출액 증가율 (%)	12.2	6.6	65.0	14.1	14.3
영업이익 증가율 (%)	-5.8	-40.4	240.5	11.7	18.3
지배순이익 증가율 (%)	-11.0	-24.9	77.2	35.2	21.8
매출총이익률 (%)	43.9	38.0	46.3	48.4	49.9
영업이익률 (%)	19.2	10.7	22.2	21.7	22.5
지배순이익률 (%)	14.6	10.3	11.0	13.1	13.9
EBITDA 마진 (%)	29.0	23.1	30.6	29.0	29.8
ROIC	19.5	10.6	22.4	16.9	17.0
ROA	11.0	6.4	8.0	8.6	8.7
ROE	17.5	13.5	23.4	23.1	20.3
부채비율 (%)	50.5	106.2	113.0	88.6	71.3
순차입금/자기자본 (%)	-9.0	34.5	47.2	31.2	1.2
영업이익/금융비용 (배)	16.1	4.8	10.8	8.6	10.2

티씨케이(064760 KQ): 중화 고객 수요가 외형 성장을 견인할 전망

반도체



백길현, USCPA 반도체
gilhyun.baik@yuantakorea.com

투자의견	BUY (M)
목표주가	120,000원 (M)
현재주가 (5/26)	86,300원
상승여력	41%

시가총액	9,959억원
총발행주식수	11,675,000주
60일 평균 거래대금	30억원
60일 평균 거래량	35,018주
52주 고	142,000원
52주 저	67,500원
외인지분율	65.81%
주요주주	TOKAI CARBON Co.,Ltd 50.39%
주가수익률(%)	1개월 3개월 12개월
절대	(4.0) (0.6) (25.1)
상대	(2.7) 7.6 (11.4)
절대(달러환산)	(0.9) 3.7 (25.8)

2025년 하반기 예상 영업이익 502억원

- 동사 2H25 예상 매출액과 영업이익은 각각 1,640억원(YoY +11%), 502억원(OPM 31%, YoY +16%)으로 점진적 실적 개선세가 이어질 것으로 기대한다. 1)미 정부의 관세 영향 등으로 글로벌 반도체 수요 불확실성은 여전히 높지만, 현재 2/3 이상의 고객이 100L NAND 기반 생산 비중이 높은 가운데 올해 하반기에도 256L 이상으로 Migration을 진행할 것으로 예상하고, 2)중국 주요 고객향 제품 다변화가 본격화되며 SiC Ring 수요 증가세가 이어지고 중국 내 고객 다변화 가능성을 배제할 수 없기 때문이다.

투자의견 BUY, 목표주가 12만원 유지

- 2H25 NAND 가격의 회복 탄력성은 상대적으로 제한적일 전망이다. 주요 공급사들의 제한적 투자 기조 속에서도 Enterprise SSD 수요 외의 범용 제품 회복이 여전히 지연되고 있기 때문이다. 그럼에도 불구하고, 1)향후 NAND Tech Migration에 따른 수혜가 가능할 것으로 예상된다는 점, 그리고 2)중화 고객의 국산화 흐름과 Multi-Patterning 스텝 증가에 따른 부품 고도화 트렌드가 동사의 중장기 실적에 긍정적인 것이라는 점을 주목해야 한다는 판단이다. 당사 리서치센터는 2025년 하반기 지나면서 중국 메모리 반도체 산업은 또 한 번의 설비 투자 확대 사이클에 진입할 것으로 전망한다. 동시에 ‘초기 Fab 설계 단계에서부터 국산화 가능성’과 ‘투자 효율성까지 고려한 전략적 전환’이라는 점으로 중국 설비의 내재화 흐름이 강해질 것이다. 동사에 대한 투자의견 BUY, 목표주가 12만원(2025년 EPS * 12MF Target PER 18.4배 적용)을 유지하는 바이다.

Forecasts and Valuation (K-IFRS 연결)

(억원, 원, %, 배)

결산 (12월)	2022A	2023A	2024A	2025F	2026F
매출액	3,196	2,267	2,757	3,171	3,751
매출액증가율	18.0	-29.1	21.6	15.0	18.3
영업이익	1,270	667	807	956	1,144
영업이익률	39.7	29.4	29.3	30.1	30.5
지배주주귀속이익	941	612	720	781	918
지배주주 귀속 EPS	8,056	5,246	6,167	6,690	7,860
증가율	14.9	-34.9	17.6	8.5	17.5
PER	14.6	19.0	16.9	12.7	10.9
PBR	3.3	2.5	2.4	1.7	1.5
EV/EBITDA	8.0	11.5	9.7	6.0	4.6
ROA	21.6	12.5	13.6	13.2	13.9
ROE	24.9	14.0	14.8	14.4	15.2

자료: 유안타증권 리서치센터

티씨케이 Peer 실적 및 Valuation 추이 및 전망

	업체명	티씨케이	코미코	하나머티리얼즈	원익QnC	월덱스	한솔아이원스	케이엔제이	비씨엔씨
	Ticker	A064760	A183300	A166090	A074600	A101160	A114810	A272110	A146320
	시가총액	996	581	475	426	300	238	133	113
2023A	Sales	227	307	234	806	288	124	47	65
	OP	67	33	41	83	65	8	10	0
	OPM%	29%	11%	18%	10%	23%	7%	22%	0%
	NP	61	32	34	38	54	2	11	1
	PER	19.0	16.7	25.9	18.2	7.5	116.3	14.0	187.2
	PBR	2.5	2.5	2.2	1.7	1.7	1.5	2.3	3.1
	ROE	14.0	16.7	0.0	10.4	25.3	1.4	18.1	1.7
	EV/EBITDA	13.2	8.0	15.2	8.5	4.5	35.5	11.7	58.1
2024A	Sales	276	507	252	892	306.8	157	62	77
	OP	81	112	43	91	70.3	23	14	-2
	OPM%	29%	22%	17%	10%	23%	15%	23%	-3%
	NP	72	56	32	51	5.6	31	11	-2
	PER	16.9	12.3	27.3	14.9	1.2	9.4	13.0	-96.0
	PBR	2.4	2.5	2.4	1.6	23.8	1.5	1.9	3.0
	ROE	14.8	26.5	8.4	11.4	1.8	18.6	15.8	-3.1
	EV/EBITDA	5.6	3.0	7.5	6.9	-	3.4	6.4	26.2
2025F	Sales	316	570	257	948	-	192	75	94
	OP	95	128	47	90	-	36	23	7
	OPM%	30%	22%	18%	10%	-	19%	31%	8%
	NP	81	66	34	48	-	31	-	5
	PER	12.2	8.8	13.8	8.9	-	7.6	-	21.8
	PBR	1.7	1.7	1.2	0.8	-	1.1	-	1.4
	ROE	14.8	25.0	9.1	9.6	-	15.7	-	6.8
	EV/EBITDA	6.0	4.1	7.4	6.3	-	4.2	-	8.5
2026F	Sales	365	647	291	1,040	-	222	-	123
	OP	111	151	62	114	-	45	-	13
	OPM%	30%	23%	21%	11%	-	20%	-	11%
	NP	97	81	47	57	-	38	-	9
	PER	10.3	7.2	10.2	7.5	-	6.2	-	12.0
	PBR	1.5	1.4	1.1	0.8	-	0.9	-	1.4
	ROE	15.6	24.3	11.0	11.2	-	16.4	-	11.4
	EV/EBITDA	4.6	3.3	5.9	5.1	-	3.1	-	5.4

자료: Bloomberg, Quantwise, 유안타증권 리서치센터, 주1: 2025/05/23 종가 기준, 주2: 단위는 bilKRW, mn USD, 배, %

티씨케이(064760) 추정재무제표 (K-IFRS 연결)

손익계산서 (단위: 억원)					
결산 (12월)	2022A	2023A	2024A	2025F	2026F
매출액	3,196	2,267	2,757	3,171	3,751
매출원가	1,687	1,347	1,716	1,942	2,278
매출총이익	1,509	919	1,041	1,229	1,473
판매비	239	252	234	273	329
영업이익	1,270	667	807	956	1,144
EBITDA	1,411	818	958	1,103	1,294
영업외손익	9	85	100	79	79
외환관련손익	22	3	38	0	0
이자손익	46	89	92	0	0
관계기업관련손익	0	0	0	0	0
기타	-59	-6	-31	79	79
법인세비용차감전순손익	1,279	753	907	1,036	1,224
법인세비용	339	140	187	255	306
계속사업순손익	941	612	720	781	918
중단사업순손익	0	0	0	0	0
당기순이익	941	612	720	781	918
지배지분순이익	941	612	720	781	918
포괄순이익	941	612	720	781	918
지배지분포괄이익	941	612	720	781	918

주:영업이익 산출 기준은 기존 k-GAAP과 동일. 즉, 매출액에서 매출원가와 판매비만 차감

현금흐름표 (단위: 억원)					
결산 (12월)	2022A	2023A	2024A	2025F	2026F
영업활동 현금흐름	873	210	744	1,161	1,135
당기순이익	941	612	720	781	918
감가상각비	138	147	147	143	147
외환손익	16	6	-13	-4	0
중속,관계기업관련손익	0	0	0	0	0
자산부채의 증감	-176	-366	-108	228	59
기타현금흐름	-45	-189	-2	12	12
투자활동 현금흐름	-960	-336	-720	-562	-737
투자자산	0	0	0	-5	-9
유형자산 증가 (CAPEX)	-355	-474	-76	-242	-200
유형자산 감소	0	0	1	0	0
기타현금흐름	-606	139	-646	-315	-529
재무활동 현금흐름	-3	-3	-3	-105	-176
단기차입금	-1	0	9	1	2
사채 및 장기차입금	-1	3	-1	-1	0
자본	0	0	0	0	0
현금배당	0	0	0	0	-179
기타현금흐름	-1	-6	-11	-106	0
연결범위변동 등 기타	0	0	0	-256	-180
현금의 증감	-91	-129	21	237	42
기초 현금	537	447	318	339	576
기말 현금	447	318	339	576	617
NOPLAT	1,270	667	807	956	1,144
FCF	518	-265	669	919	935

자료: 유안타증권 주:1. EPS, BPS 및 PER, PBR은 지배주주 기준임 2. PER등 valuation 지표의 경우, 확정치는 연평균 주가 기준, 전망치는 현재주가 기준임 3. ROE,ROA의경우, 자본,자산 항목은 연초,연말 평균을 기준으로 함

재무상태표 (단위: 억원)					
결산 (12월)	2022A	2023A	2024A	2025F	2026F
유동자산	3,432	3,345	4,058	4,519	5,297
현금및현금성자산	447	318	339	576	617
매출채권 및 기타채권	404	427	501	551	654
재고자산	501	659	688	551	653
비유동자산	1,373	1,610	1,578	1,679	1,738
유형자산	1,289	1,572	1,500	1,600	1,654
관계기업등 지분관련자산	0	0	0	0	0
기타투자자산	35	8	41	47	55
자산총계	4,805	4,955	5,635	6,197	7,035
유동부채	623	352	446	501	594
매입채무 및 기타채무	396	224	275	309	367
단기차입금	0	0	0	0	0
유동성장기부채	0	0	0	0	0
비유동부채	14	21	27	29	34
장기차입금	0	0	0	0	0
사채	0	0	0	0	0
부채총계	637	372	473	530	628
지배지분	4,169	4,583	5,163	5,667	6,406
자본금	58	58	58	58	58
자본잉여금	63	63	63	63	63
이익잉여금	4,048	4,462	5,041	5,658	6,397
비지배지분	0	0	0	0	0
자본총계	4,169	4,583	5,163	5,667	6,406
순차입금	-2,503	-2,246	-2,843	-3,390	-3,958
총차입금	4	7	15	16	18

Valuation 지표 (단위: 원, 배, %)					
결산 (12월)	2022A	2023A	2024A	2025F	2026F
EPS	8,056	5,246	6,167	6,690	7,860
BPS	35,707	39,252	44,219	49,527	55,986
EBITDAPS	12,088	7,005	8,207	9,445	11,080
SPS	27,372	19,414	23,617	27,162	32,128
DPS	1,700	1,200	1,410	1,561	1,834
PER	14.6	19.0	16.9	12.7	10.9
PBR	3.3	2.5	2.4	1.7	1.5
EV/EBITDA	8.0	11.5	9.7	6.0	4.6
PSR	4.3	5.1	4.4	3.1	2.7

재무비율 (단위: 배, %)					
결산 (12월)	2022A	2023A	2024A	2025F	2026F
매출액 증가율 (%)	18.0	-29.1	21.7	15.0	18.3
영업이익 증가율 (%)	22.8	-47.5	21.1	18.4	19.6
지배순이익 증가율 (%)	14.9	-34.9	17.6	8.5	17.5
매출총이익률 (%)	47.2	40.6	37.8	38.8	39.3
영업이익률 (%)	39.8	29.4	29.3	30.2	30.5
지배순이익률 (%)	29.4	27.0	26.1	24.6	24.5
EBITDA 마진 (%)	44.2	36.1	34.8	34.8	34.5
ROIC	63.5	27.5	27.7	31.8	36.8
ROA	21.6	12.5	13.6	13.2	13.9
ROE	24.9	14.0	14.8	14.4	15.2
부채비율 (%)	15.3	8.1	9.2	9.4	9.8
순차입금/자기자본 (%)	-60.0	-49.0	-55.1	-59.8	-61.8
영업이익/금융비용 (배)	6,516.9	2,417.3	2,525.7	0.0	0.0

원익QnC(074600 KQ): 2H25 실적 Bottom out 기대

반도체



백길현, USCPA 반도체
gilhyun.baik@yuantakorea.com

투자의견	BUY (I)
목표주가	32,000원 (I)
현재주가 (5/26)	16,390원
상승여력	98%

시가총액	4,256억원
총발행주식수	26,288,000주
60일 평균 거래대금	40억원
60일 평균 거래량	217,861주
52주 고	40,950원
52주 저	15,420원
외인지분율	4.10%
주요주주	원익홀딩스 외 6 인 40.62%
주가수익률(%)	1개월 3개월 12개월
절대	(6.8) (24.5) (52.4)
상대	(5.5) (18.3) (43.7)
절대(달러환산)	(3.8) (21.3) (52.8)

2025년 하반기 예상 영업이익 510억원

- 동사 2H25 예상 매출액과 영업이익은 각각 4,735억원(YoY +7%), 510억원(OPM 11%, YoY +146%)으로 전년동기대비 이익 개선이 두드러질 것으로 전망한다. 이 중 퀵츠 본업과 자회사 모멘티브의 예상 영업이익은 각각 360억원(OPM 14%, YoY +71%), 151억원(OPM 4%, YoY 흑자전환)으로 추정한다. 1)미국 L사 중심의 물량 증가세가 두드러지는 가운데 한국/대만 중심의 실적 개선세가 이어질 것으로 예상하며, 2)연초부터 시작된 모멘티브의 세라믹 수요 정상화가 이어질 것으로 기대하기 때문이다.

투자의견 BUY, 목표주가 32,000원으로 커버리지 재개시

- 2025~2026년 모멘티브 중심의 실적 추정치를 하향 조정하고, 동사에 대한 목표주가를 32,000원(2025/2026년 평균 예상 EPS * 12MF Target PER 14.6배를 적용)으로 커버리지를 재개시한다. 동사 주가는 작년 고점 41,000원(2024년 6월 7일) 이후 약 60% 하락했다. 자회사 모멘티브의 실적 악화에 더해 트럼프 정부의 관세 정책 리스크를 반영했을 것으로 추정한다. 1)다만 자회사 모멘티브의 실적이 1H25 지나면서 Bottom out할 것으로 예상한다는 점, 2)관세 정책에 따른 세트 수요 둔화에 대한 우려는 연초 대비 시장에서의 반영 강도가 약화되고 있으며 이는 업종 및 동사 주가에 대한 완만한 개선 압력으로 작용할 것으로 기대된다는 점, 그리고 3)본업 중심의 점진적 실적 개선세가 예상된다는 점을 주목한다. 동사 퀵츠 사업을 영위중인 대만 법인의 추가 증설 가능성을 배제할 수 없다는 판단이며, 올해 하반기부터는 HBM 관련 고부가 세팅 매출이 발생할 것으로 예상된다는 점도 긍정적이다.

Forecasts and Valuation (K-IFRS 연결)

(억원, 원, %, 배)

결산 (12월)	2022A	2023A	2024A	2025F	2026F
매출액	7,832	8,059	8,915	9,547	10,231
매출액증가율	25.5	2.9	10.6	7.1	7.2
영업이익	1,151	830	906	932	1,326
영업이익률	14.7	10.3	10.2	9.8	13.0
지배주주귀속순이익	538	381	508	345	576
지배주주 귀속 EPS	2,048	1,451	1,934	1,311	2,190
증가율	-8.4	-29.2	33.3	-32.2	67.0
PER	13.0	18.2	14.9	12.4	7.4
PBR	1.9	1.7	1.6	0.8	0.7
EV/EBITDA	7.5	9.3	10.0	7.4	5.7
ROA	5.2	2.9	3.5	2.2	3.4
ROE	15.8	9.7	11.7	6.9	9.8

자료: 유안타증권 리서치센터

원익QnC Peer 실적 및 Valuation 추이 및 전망

	업체명	원익QnC	티씨케이	코미코	하나머티리얼즈	월덱스	한솔아이원스	케이엔제이	비씨엔씨
	Ticker	A074600	A064760	A183300	A166090	A101160	A114810	A272110	A146320
	시가총액	426	996	581	475	300	238	133	113
2023A	Sales	806	227	307	234	288	124	47	65
	OP	83	67	33	41	65	8	10	0
	OPM%	10%	29%	11%	18%	23%	7%	22%	0%
	NP	38	61	32	34	54	2	11	1
	PER	18.2	19.0	16.7	25.9	7.5	116.3	14.0	187.2
	PBR	1.7	2.5	2.5	2.2	1.7	1.5	2.3	3.1
	ROE	10.4	14.0	16.7	0.0	25.3	1.4	18.1	1.7
	EV/EBITDA	8.5	13.2	8.0	15.2	4.5	35.5	11.7	58.1
2024A	Sales	892	276	507	252	306.8	157	62	77
	OP	91	81	112	43	70.3	23	14	-2
	OPM%	10%	29%	22%	17%	23%	15%	23%	-3%
	NP	51	72	56	32	5.6	31	11	-2
	PER	14.9	16.9	12.3	27.3	1.2	9.4	13.0	-96.0
	PBR	1.6	2.4	2.5	2.4	23.8	1.5	1.9	3.0
	ROE	11.4	14.8	26.5	8.4	1.8	18.6	15.8	-3.1
	EV/EBITDA	6.9	5.6	3.0	7.5	-	3.4	6.4	26.2
2025F	Sales	948	316	570	257	-	192	75	94
	OP	90	95	128	47	-	36	23	7
	OPM%	10%	30%	22%	18%	-	19%	31%	8%
	NP	48	81	66	34	-	31	-	5
	PER	8.9	12.2	8.8	13.8	-	7.6	-	21.8
	PBR	0.8	1.7	1.7	1.2	-	1.1	-	1.4
	ROE	9.6	14.8	25.0	9.1	-	15.7	-	6.8
	EV/EBITDA	6.3	6.0	4.1	7.4	-	4.2	-	8.5
2026F	Sales	1,040	365	647	291	-	222	-	123
	OP	114	111	151	62	-	45	-	13
	OPM%	11%	30%	23%	21%	-	20%	-	11%
	NP	57	97	81	47	-	38	-	9
	PER	7.5	10.3	7.2	10.2	-	6.2	-	12.0
	PBR	0.8	1.5	1.4	1.1	-	0.9	-	1.4
	ROE	11.2	15.6	24.3	11.0	-	16.4	-	11.4
	EV/EBITDA	5.1	4.6	3.3	5.9	-	3.1	-	5.4

자료: Bloomberg, Quantwise, 유안타증권 리서치센터, 주1: 2025/05/23 종가 기준, 주2: 단위는 bilKRW, mn USD, 배, %

원익QnC(074600) 추정재무제표 (K-IFRS 연결)

손익계산서

	2022A	2023A	2024A	2025F	2026F
결산 (12월)					
매출액	7,832	8,059	8,915	9,547	10,231
매출원가	5,472	5,759	6,288	6,753	6,859
매출총이익	2,360	2,300	2,628	2,794	3,372
판매비	1,209	1,470	1,721	1,862	2,046
영업이익	1,151	830	906	932	1,326
EBITDA	1,710	1,510	1,603	1,643	2,004
영업외손익	-377	-223	-209	-384	-403
외환관련손익	-147	16	53	0	0
이자손익	-255	-309	-336	-259	-231
관계기업관련손익	0	0	0	48	0
기타	25	69	74	-172	-172
법인세비용차감전순손익	774	606	697	548	923
법인세비용	192	96	82	123	212
계속사업순손익	582	510	615	425	711
중단사업순손익	0	0	0	0	0
당기순이익	582	510	615	425	711
지배지분순이익	538	381	508	345	576
포괄순이익	952	436	706	771	1,056
지배지분포괄이익	732	360	566	699	958

주:영업이익산출 기준은 기존 k-GAAP과 동일. 즉, 매출액에서 매출원가와 판매비만 차감

현금흐름표

	2022A	2023A	2024A	2025F	2026F
결산 (12월)					
영업활동 현금흐름	646	799	799	509	695
당기순이익	582	510	615	425	711
감가상각비	490	508	563	580	558
외환손익	-258	-34	-64	0	0
중속,관계기업관련손익	0	0	0	-48	0
자산부채의 증감	-232	-198	-438	-892	-1,030
기타현금흐름	63	13	123	444	457
투자활동 현금흐름	-3,001	-1,935	-1,293	-1,007	-909
투자자산	0	0	0	-29	-31
유형자산 증가 (CAPEX)	-899	-1,806	-1,233	-800	-700
유형자산 감소	5	0	20	0	0
기타현금흐름	-2,107	-130	-80	-178	-178
재무활동 현금흐름	2,399	937	361	-23	-22
단기차입금	430	751	595	4	4
사채 및 장기차입금	2,417	201	549	0	0
자본	0	0	0	0	0
현금배당	-39	-39	-15	-26	-26
기타현금흐름	-408	24	-768	0	0
연결범위변동 등 기타	24	36	-12	1,127	1,079
현금의 증감	68	-163	-145	606	843
기초 현금	681	749	585	440	1,047
기말 현금	749	585	440	1,047	1,890
NOPLAT	1,151	830	906	932	1,326
FCF	-253	-1,006	-435	-291	-5

자료: 유안타증권 주:1. EPS, BPS 및 PER, PBR은 지배주주 기준임 2. PER등 valuation 지표의 경우, 확정치는 연평균 주가 기준, 전망치는 현재주가 기준임 3. ROE,ROA의 경우, 자본,자산 항목은 연초,연말 평균을 기준으로 함

재무상태표

	2022A	2023A	2024A	2025F	2026F
결산 (12월)					
유동자산	3,519	3,679	4,059	4,931	6,058
현금및현금성자산	749	585	440	1,047	1,890
매출채권 및 기타채권	855	894	1,114	1,196	1,283
재고자산	1,773	2,016	2,356	2,529	2,714
비유동자산	8,838	10,086	11,288	11,406	11,459
유형자산	4,837	6,252	7,222	7,442	7,584
관계기업등 지분관련자산	0	0	0	0	0
기타투자자산	366	382	443	472	502
자산총계	12,358	13,765	15,347	16,338	17,517
유동부채	2,420	3,357	4,020	4,133	4,253
매입채무 및 기타채무	1,214	1,256	1,248	1,340	1,438
단기차입금	932	1,651	2,228	2,228	2,228
유동성장기부채	42	97	261	261	261
비유동부채	5,239	5,312	5,634	5,662	5,691
장기차입금	4,605	4,815	5,108	5,108	5,108
사채	0	0	0	0	0
부채총계	7,658	8,669	9,654	9,794	9,944
지배지분	3,756	4,076	4,636	5,405	6,300
자본금	131	131	131	131	131
자본잉여금	97	97	97	97	97
이익잉여금	3,357	3,720	4,176	4,494	5,043
비지배지분	943	1,020	1,057	1,138	1,273
자본총계	4,699	5,096	5,693	6,543	7,573
순차입금	4,946	6,065	7,351	6,749	5,909
총차입금	5,699	6,651	7,796	7,800	7,804

Valuation 지표

	2022A	2023A	2024A	2025F	2026F
결산 (12월)					
EPS	2,048	1,451	1,934	1,311	2,190
BPS	14,286	15,504	17,636	20,562	23,966
EBITDAPS	6,504	5,746	6,098	6,250	7,625
SPS	29,792	30,658	33,914	36,316	38,920
DPS	150	57	100	100	100
PER	13.0	18.2	14.9	12.4	7.4
PBR	1.9	1.7	1.6	0.8	0.7
EV/EBITDA	7.5	9.3	10.0	7.4	5.7
PSR	0.9	0.9	0.8	0.4	0.4

재무비율

	2022A	2023A	2024A	2025F	2026F
결산 (12월)					
매출액 증가율 (%)	25.5	2.9	10.6	7.1	7.2
영업이익 증가율 (%)	32.7	-27.9	9.2	2.8	42.3
지배순이익 증가율 (%)	-8.4	-29.1	33.3	-32.2	67.1
매출총이익률 (%)	30.1	28.5	29.5	29.3	33.0
영업이익률 (%)	14.7	10.3	10.2	9.8	13.0
지배순이익률 (%)	6.9	4.7	5.7	3.6	5.6
EBITDA 마진 (%)	21.8	18.7	18.0	17.2	19.6
ROIC	11.2	6.8	6.8	5.8	8.0
ROA	5.2	2.9	3.5	2.2	3.4
ROE	15.8	9.7	11.7	6.9	9.8
부채비율 (%)	163.0	170.1	169.6	149.7	131.3
순차입금/자기자본 (%)	131.7	148.8	158.6	124.8	93.8
영업이익/금융비용 (배)	4.3	2.5	2.5	3.0	4.2

하나머티리얼즈(166090 KQ): 아산 2공장으로 설비 이전 완료

반도체



백길현, USCPA 반도체
gilhyun.baik@yuantakorea.com

투자의견	BUY (I)
목표주가	33,000원 (I)
현재주가 (5/26)	24,400원
상승여력	38%

시가총액	4,747억원
총발행주식수	19,777,674주
60일 평균 거래대금	63억원
60일 평균 거래량	207,285주
52주 고	65,700원
52주 저	21,900원
외인지분율	20.03%
주요주주	하나마이크론 외 5 인 44.60%
주가수익률(%)	1개월 3개월 12개월
절대	(14.3) (29.4) (55.7)
상대	(13.1) (23.6) (47.6)
절대(달러환산)	(11.5) (26.4) (56.1)

2025년 하반기 예상 영업이익 297억원

- 1Q25 매출액과 영업이익은 각각 586억원(YoY +3%, QoQ -15%), 87억원(OPM 15%, YoY +41%, QoQ -43%)을 기록했다. 전분기 일회성 Si Ring 수요 감소 효과에 더해, 주력 고객사향 단기 조정 영향이 불가피 했기 때문이다. 동사 2H25 예상 매출액과 영업이익은 각각 1,390억원(YoY +5%), 297억원(OPM 21%, YoY +8%)으로 점진적인 실적 개선세를 기대한다. 1)주력 고객사는 국내/중국 팹내 Double stack 기반의 NAND 280L(기존 128L) 중심으로 Tech Migration을 진행중이며, 2)극저온 식각 장비향 수요는 전년동기대비 증가할 것으로 예상하기 때문이다.

투자의견 BUY, 목표주가 33,000원으로 커버리지 재개시

- 2025/2026년 예상 영업이익은 502억원(OPM 19%, YoY +16%), 594억원(OPM 21%, YoY +18%)으로 하향 조정한다. 1)Enterprise SSD를 제외한 NAND 수요 회복이 제한적인 가운데, Migration 위주의 보수적인 투자 기조가 유지되겠지만, 2)국내 주요 IDM 고객사의 NAND Migration이 마무리되고 Si Ring 수요는 점진적으로 회복될 것으로 예상하기 때문이다. 또한, 3)극저온 식각 장비 활용 확대 및 T사외의 고객 수요 증가 가능성을 배제할 수 없다는 판단이다.
- 한편 동사는 최근 아산 2공장으로 설비 이전을 마무리했다는 점이 긍정적이라는 판단이다. 전반적인 비용 Slim화를 진행하는 가운데, 아산 1공장 대비 향후 Silicon Parts의 Capa 확장성이 보다 높다는 점을 고려한 움직임이었을 것으로 추정하기 때문이다. 동사에 대한 투자의견은 BUY, 목표주가는 33,000원(2025/2025년 평균 EPS에 12MF Target PER 17.5배 적용)으로 커버리지를 재개시한다.

Forecasts and Valuation (K-IFRS 연결)

(억원, 원, %, 배)

결산 (12월)	2022A	2023A	2024A	2025F	2026F
매출액	3,073	2,332	2,504	2,606	2,799
매출액증가율	13.4	-24.1	7.4	4.1	7.4
영업이익	937	418	433	499	596
영업이익률	30.5	17.9	17.3	19.1	21.3
지배주주귀속순이익	801	342	318	336	399
지배주주 귀속 EPS	4,057	1,731	1,606	1,701	2,020
증가율	19.8	-57.3	-7.2	5.9	18.8
PER	11.4	25.9	27.3	14.1	11.9
PBR	3.0	2.2	2.4	1.4	1.5
EV/EBITDA	7.8	14.1	13.4	8.2	7.8
ROA	17.4	5.9	5.1	6.0	7.3
ROE	28.9	9.8	8.4	9.8	12.3

자료: 유안타증권 리서치센터

하나머티리얼즈 Peer 실적 및 Valuation 추이 및 전망

	업체명	하나머티리얼즈	티씨케이	코미코	원익QnC	월덱스	한솔아이원스	케이엔제이	비씨엔씨
	Ticker	A166090	A064760	A183300	A074600	A101160	A114810	A272110	A146320
	시가총액	475	996	581	426	300	238	133	113
2023A	Sales	234	227	307	806	288	124	47	65
	OP	41	67	33	83	65	8	10	0
	OPM%	18%	29%	11%	10%	23%	7%	22%	0%
	NP	34	61	32	38	54	2	11	1
	PER	25.9	19.0	16.7	18.2	7.5	116.3	14.0	187.2
	PBR	2.2	2.5	2.5	1.7	1.7	1.5	2.3	3.1
	ROE	0.0	14.0	16.7	10.4	25.3	1.4	18.1	1.7
	EV/EBITDA	15.2	13.2	8.0	8.5	4.5	35.5	11.7	58.1
2024A	Sales	252	276	507	892	306.8	157	62	77
	OP	43	81	112	91	70.3	23	14	-2
	OPM%	17%	29%	22%	10%	23%	15%	23%	-3%
	NP	32	72	56	51	5.6	31	11	-2
	PER	27.3	16.9	12.3	14.9	1.2	9.4	13.0	-96.0
	PBR	2.4	2.4	2.5	1.6	23.8	1.5	1.9	3.0
	ROE	8.4	14.8	26.5	11.4	1.8	18.6	15.8	-3.1
	EV/EBITDA	7.5	5.6	3.0	6.9	-	3.4	6.4	26.2
2025F	Sales	257	316	570	948	-	192	75	94
	OP	47	95	128	90	-	36	23	7
	OPM%	18%	30%	22%	10%	-	19%	31%	8%
	NP	34	81	66	48	-	31	-	5
	PER	13.8	12.2	8.8	8.9	-	7.6	-	21.8
	PBR	1.2	1.7	1.7	0.8	-	1.1	-	1.4
	ROE	9.1	14.8	25.0	9.6	-	15.7	-	6.8
	EV/EBITDA	7.4	6.0	4.1	6.3	-	4.2	-	8.5
2026F	Sales	291	365	647	1,040	-	222	-	123
	OP	62	111	151	114	-	45	-	13
	OPM%	21%	30%	23%	11%	-	20%	-	11%
	NP	47	97	81	57	-	38	-	9
	PER	10.2	10.3	7.2	7.5	-	6.2	-	12.0
	PBR	1.1	1.5	1.4	0.8	-	0.9	-	1.4
	ROE	11.0	15.6	24.3	11.2	-	16.4	-	11.4
	EV/EBITDA	5.9	4.6	3.3	5.1	-	3.1	-	5.4

자료: Bloomberg, Quantwise, 유안타증권 리서치센터, 주1: 2025/05/23 종가 기준, 주2: 단위는 bilKRW, mn USD, 배, %

하나머티리얼즈(166090) 추정재무제표 (K-IFRS 연결)

손익계산서						(단위: 억원)
결산 (12월)	2022A	2023A	2024A	2025F	2026F	
매출액	3,073	2,332	2,504	2,606	2,799	
매출원가	1,864	1,675	1,772	1,750	1,822	
매출총이익	1,210	657	732	856	977	
판매비	272	239	299	357	381	
영업이익	937	418	433	499	596	
EBITDA	1,271	759	753	763	812	
영업외손익	3	-14	-24	-48	-63	
외환관련손익	4	0	17	0	0	
이자손익	-27	-26	-59	-70	-71	
관계기업관련손익	11	-6	-1	14	0	
기타	14	18	19	8	8	
법인세비용차감전순손익	940	405	409	451	533	
법인세비용	139	63	91	114	133	
계속사업순손익	801	342	318	336	399	
중단사업순손익	0	0	0	0	0	
당기순이익	801	342	318	336	399	
지배지분순이익	801	342	318	336	399	
포괄순이익	535	1,071	-404	-138	-75	
지배지분포괄이익	535	1,071	-404	-138	-75	

주:영업이익산출 기준은 기존 k-GAAP과 동일. 즉, 매출액에서 매출원가와 판매비만 차감

현금흐름표						(단위: 억원)
결산 (12월)	2022A	2023A	2024A	2025F	2026F	
영업활동 현금흐름	826	448	753	641	638	
당기순이익	801	342	318	336	399	
감가상각비	324	333	312	257	210	
외환손익	7	1	-5	0	0	
중속,관계기업관련손익	-11	7	1	-14	0	
자산부채의 증감	-307	-260	21	-25	-58	
기타현금흐름	12	25	107	86	86	
투자활동 현금흐름	-924	-1,297	-264	-119	-128	
투자자산	0	-99	-201	-11	-17	
유형자산 증가 (CAPEX)	-925	-1,206	-422	-100	-100	
유형자산 감소	2	1	2	0	0	
기타현금흐름	-2	7	356	-8	-11	
재무활동 현금흐름	-53	818	-456	-47	-46	
단기차입금	68	433	-314	2	3	
사채 및 장기차입금	43	425	-69	0	0	
자본	-11	7	-6	0	0	
현금배당	-117	-59	-39	-49	-49	
기타현금흐름	-36	11	-29	0	0	
연결범위변동 등 기타	-4	-1	3	-591	-544	
현금의 증감	-155	-33	36	-117	-80	
기초 현금	464	308	276	311	195	
기말 현금	308	276	311	195	115	
NOPLAT	937	418	433	499	596	
FCF	-99	-758	332	541	538	

자료: 유안타증권 주:1. EPS, BPS 및 PER, PBR은 지배주주 기준임 2. PER등 valuation 지표의 경우, 확정치는 연평균 주가 기준, 전망치는 현재주가 기준임 3. ROE,ROA의경우, 자본,자산 항목은 연초,연말 평균을 기준으로 함

재무상태표						(단위: 억원)
결산 (12월)	2022A	2023A	2024A	2025F	2026F	
유동자산	1,478	1,376	1,323	1,266	1,282	
현금및현금성자산	308	276	311	195	115	
매출채권 및 기타채권	166	155	285	302	329	
재고자산	729	757	636	673	734	
비유동자산	3,318	5,348	4,413	4,259	4,160	
유형자산	2,646	3,530	3,479	3,322	3,213	
관계기업등 지분관련자산	58	99	179	189	206	
기타투자자산	529	1,621	662	663	663	
자산총계	4,796	6,724	5,736	5,525	5,442	
유동부채	1,030	1,358	1,208	1,227	1,258	
매입채무 및 기타채무	269	197	217	230	251	
단기차입금	470	930	610	610	610	
유동성장기부채	156	176	275	275	275	
비유동부채	790	1,369	990	996	1,006	
장기차입금	634	1,043	880	880	880	
사채	0	0	0	0	0	
부채총계	1,821	2,727	2,198	2,223	2,264	
지배지분	2,976	3,997	3,538	3,302	3,178	
자본금	99	99	99	99	99	
자본잉여금	364	372	366	366	366	
이익잉여금	2,614	2,891	3,156	3,443	3,794	
비지배지분	0	0	0	0	0	
자본총계	2,976	3,997	3,538	3,302	3,178	
순차입금	785	1,814	1,419	1,533	1,609	
총차입금	1,324	2,182	1,799	1,801	1,803	

Valuation 지표						(단위: 원, 배, %)
결산 (12월)	2022A	2023A	2024A	2025F	2026F	
EPS	4,057	1,731	1,606	1,701	2,020	
BPS	15,244	20,476	18,165	17,008	16,373	
EBITDAPS	6,435	3,841	3,809	3,859	4,108	
SPS	15,559	11,807	12,663	13,176	14,152	
DPS	600	200	250	250	250	
PER	11.4	25.9	27.3	14.1	11.9	
PBR	3.0	2.2	2.4	1.4	1.5	
EV/EBITDA	7.8	14.1	13.4	8.2	7.8	
PSR	3.0	3.8	3.5	1.8	1.7	

재무비율						(단위: 배, %)
결산 (12월)	2022A	2023A	2024A	2025F	2026F	
매출액 증가율 (%)	13.4	-24.1	7.4	4.1	7.4	
영업이익 증가율 (%)	13.9	-55.4	3.4	15.3	19.4	
지배순이익 증가율 (%)	20.2	-57.3	-7.1	6.0	18.7	
매출총이익률 (%)	39.4	28.2	29.2	32.8	34.9	
영업이익률 (%)	30.5	17.9	17.3	19.1	21.3	
지배순이익률 (%)	26.1	14.7	12.7	12.9	14.3	
EBITDA 마진 (%)	41.4	32.5	30.1	29.3	29.0	
ROIC	28.2	9.2	7.9	9.0	11.1	
ROA	17.4	5.9	5.1	6.0	7.3	
ROE	28.9	9.8	8.4	9.8	12.3	
부채비율 (%)	61.2	68.2	62.1	67.3	71.2	
순차입금/자기자본 (%)	26.4	45.4	40.1	46.4	50.6	
영업이익/금융비용 (배)	25.7	10.4	6.1	6.8	8.1	

SK하이닉스 실적 추정 변경 내역

(단위: 십억원)

	변경 전			변경 후			변경 전 대비		
	2Q25	2H25	2025F	2Q25	2H25	2025F	2Q25	2H25	2025F
매출액	21,217	38,856	88,721	21,217	38,856	88,721	0%	0%	0%
영업이익	8,857	16,298	36,750	8,857	16,298	36,750	0%	0%	0%
OPM(%)	42%	42%	41%	42%	42%	41%	0%	0%	0%
지배순이익	8,451	16,575	35,985	8,451	16,575	35,985	0%	0%	0%

삼성전자 실적 추정 변경 내역

(단위: 십억원)

	변경 전			변경 후			변경 전 대비		
	2Q25	2H25	2025F	2Q25	2H25	2025F	2Q25	2H25	2025F
매출액	91,646	170,746	359,205	91,646	170,746	359,205	0%	0%	0%
영업이익	6,368	13,068	27,254	6,368	13,068	27,254	0%	0%	0%
OPM(%)	7%	8%	8%	7%	8%	8%	0%	0%	0%
지배순이익	5,955	14,145	27,257	5,955	14,145	27,257	0%	0%	0%

코미코 실적 추정 변경 내역

(단위: 억원)

	변경 전			변경 후			변경 전 대비		
	2Q25	2H25	2025F	2Q25	2H25	2025F	2Q25	2H25	2025F
매출액	-	-	6,680	1,404	2,754	5,786	-	-	-13%
영업이익	-	-	1,872	288	598	1,257	-	-	-33%
OPM(%)	-	-	28%	20%	22%	22%	-	-	-6%
지배순이익	-	-	857	179	347	755	-	-	-12%

자료: 유안타증권 리서치센터

티씨케이 실적 추정 변경 내역

(단위: 억원)

	변경 전			변경 후			변경 전 대비		
	2Q25	2H25	2025F	2Q25	2H25	2025F	2Q25	2H25	2025F
매출액	758	1,542	3,182	747	1,531	3,171	-1%	-1%	0%
영업이익	223	458	960	220	454	956	-1%	-1%	0%
OPM(%)	29%	30%	30%	29%	30%	30%	0%	0%	0%
지배순이익	187	382	812	180	375	781	-4%	-2%	-4%

원익QnC 실적 추정 변경 내역

(단위: 억원)

	변경 전			변경 후			변경 전 대비		
	2Q25	2H25	2025F	2Q25	2H25	2025F	2Q25	2H25	2025F
매출액	-	-	10,195	2,498	4,812	9,547	-	-	-6%
영업이익	-	-	1,950	231	422	932	-	-	-52%
OPM(%)	-	-	19%	9%	9%	10%	-	-	-9%
지배순이익	-	-	1,331	77	158	345	-	-	-74%

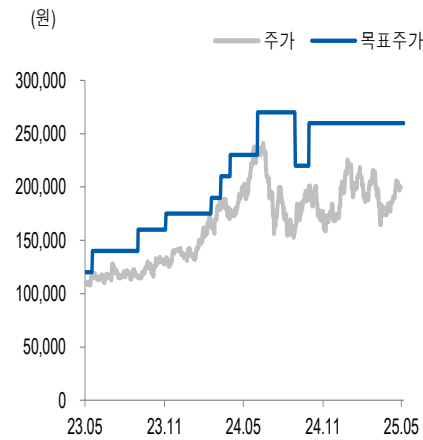
하나머티리얼즈 실적 추정 변경 내역

(단위: 억원)

	변경 전			변경 후			변경 전 대비		
	2Q25	2H25	2025F	2Q25	2H25	2025F	2Q25	2H25	2025F
매출액	760	1,470	3,140	630	1,216	2,606	-17%	-17%	-17%
영업이익	228	427	957	100	186	499	-56%	-56%	-48%
OPM(%)	30%	29%	30%	16%	15%	19%	-14%	-14%	-11%
지배순이익	192	359	803	63	124	336	-67%	-65%	-58%

자료: 유안타증권 리서치센터

SK하이닉스 (000660) 투자등급 및 목표주가 추이



일자	투자 의견	목표가 (원)	목표가격 대상시점	과리율	
				평균주가 대비	최고(최저) 주가 대비
2025-05-27	BUY	260,000	1년		
2024-10-25	BUY	260,000	1년		
2024-09-23	BUY	220,000	1년	-16.54	-9.91
2024-06-28	BUY	270,000	1년	-28.97	-10.74
2024-04-26	BUY	230,000	1년	-12.14	3.26
2024-04-04	BUY	210,000	1년	-14.38	-10.29
2024-03-13	BUY	190,000	1년	-9.36	-1.95
2023-11-29	BUY	175,000	1년	-18.68	-1.77
2023-09-26	BUY	160,000	1년	-21.23	-16.19

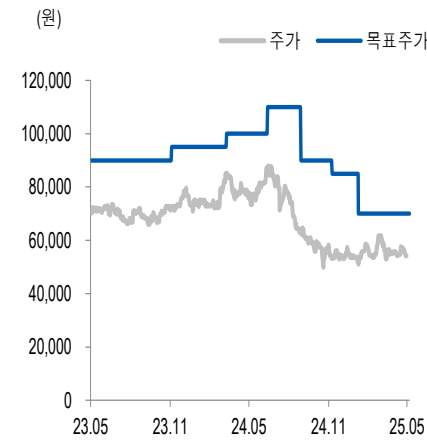
자료: 유안타증권

주: 과리율 = (실제주가* - 목표주가) / 목표주가 X 100

* 1) 목표주가 제시 대상시점까지의 "평균주가"

2) 목표주가 제시 대상시점까지의 "최고(또는 최저) 주가"

삼성전자 (005930) 투자등급 및 목표주가 추이



일자	투자 의견	목표가 (원)	목표가격 대상시점	과리율	
				평균주가 대비	최고(최저) 주가 대비
2025-05-27	BUY	70,000	1년		
2025-02-03	BUY	70,000	1년		
2024-12-04	BUY	85,000	1년	-36.17	-32.59
2024-09-23	BUY	90,000	1년	-35.64	-28.11
2024-07-08	BUY	110,000	1년	-29.95	-20.18
2024-04-04	BUY	100,000	1년	-20.88	-12.90
2023-11-29	BUY	95,000	1년	-21.31	-10.53
2023-09-20	1년 경과 이후		1년	-22.73	-19.11
2022-09-20		90,000	1년	-28.86	-18.44

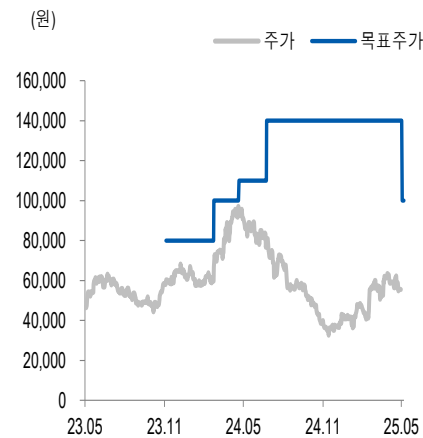
자료: 유안타증권

주: 과리율 = (실제주가* - 목표주가) / 목표주가 X 100

* 1) 목표주가 제시 대상시점까지의 "평균주가"

2) 목표주가 제시 대상시점까지의 "최고(또는 최저) 주가"

코미코 (183300) 투자등급 및 목표주가 추이



일자	투자 의견	목표가 (원)	목표가격 대상시점	과리율	
				평균주가 대비	최고(최저) 주가 대비
2025-05-27	BUY	100,000	1년		
2024-07-19	BUY	140,000	1년	-62.93	-43.43
2024-05-16	BUY	110,000	1년	-22.26	-13.09
2024-03-19	BUY	100,000	1년	-18.00	-3.00
2023-11-29	BUY	80,000	1년	-23.20	-14.75
2023-10-21	1년 경과 이후		1년		
2022-10-21		-	1년		

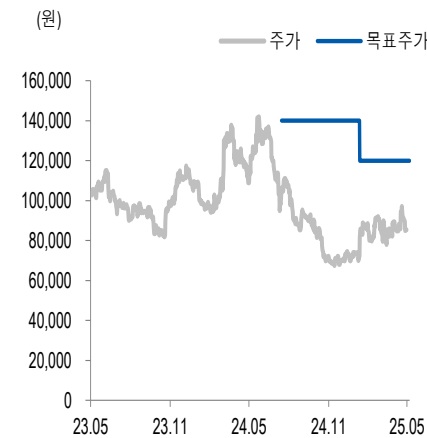
자료: 유안타증권

주: 과리율 = (실제주가* - 목표주가) / 목표주가 X 100

* 1) 목표주가 제시 대상시점까지의 "평균주가"

2) 목표주가 제시 대상시점까지의 "최고(또는 최저) 주가"

티씨케이 (064760) 투자등급 및 목표주가 추이



일자	투자 의견	목표가 (원)	목표가격 대상시점	과리율	
				평균주가 대비	최고(최저) 주가 대비
2025-05-27	BUY	120,000	1년		
2025-02-06	BUY	120,000	1년		
2024-08-09	BUY	140,000	1년	-41.15	-20.71

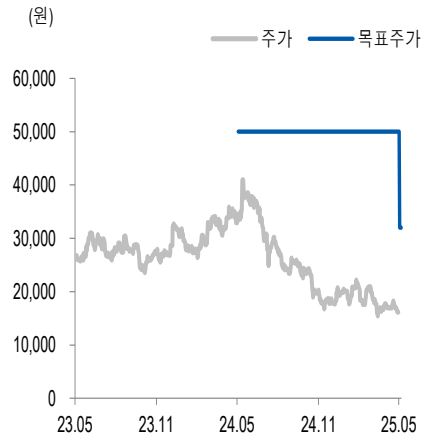
자료: 유안타증권

주: 과리율 = (실제주가* - 목표주가) / 목표주가 X 100

* 1) 목표주가 제시 대상시점까지의 "평균주가"

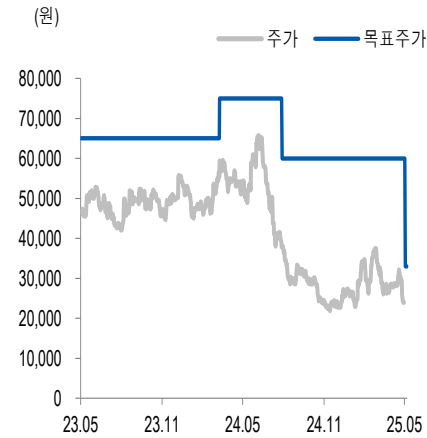
2) 목표주가 제시 대상시점까지의 "최고(또는 최저) 주가"

원익QnC (074600) 투자등급 및 목표주가 추이



일자	투자 의견	목표가 (원)	목표가격 대상시점	과리율	
				평균주가 대비	최고(최저) 주가 대비
2025-05-27	BUY	32,000	1년		
2024-05-29	BUY	50,000	1년	-52.53	-18.10
2023-10-21	1년 경과 이후		1년		
2022-10-21	Not Rated	-	1년		

하나머티리얼즈 (166090) 투자등급 및 목표주가 추이



일자	투자 의견	목표가 (원)	목표가격 대상시점	과리율	
				평균주가 대비	최고(최저) 주가 대비
2025-05-27	BUY	33,000	1년		
2024-08-23	BUY	60,000	1년	-52.40	-37.67
2024-04-04	BUY	75,000	1년	-28.78	-12.40
2023-04-20	BUY	65,000	1년	-25.61	-12.92

자료: 유안타증권

주: 과리율 = (실제주가* - 목표주가) / 목표주가 X 100

* 1) 목표주가 제시 대상시점까지의 "평균주가"

2) 목표주가 제시 대상시점까지의 "최고(또는 최저) 주가"

자료: 유안타증권

주: 과리율 = (실제주가* - 목표주가) / 목표주가 X 100

* 1) 목표주가 제시 대상시점까지의 "평균주가"

2) 목표주가 제시 대상시점까지의 "최고(또는 최저) 주가"

구분	투자의견 비율(%)
Strong Buy(매수)	0
Buy(매수)	93.7
Hold(중립)	6.3
Sell(비중 축소)	0
합계	100.0

주: 기준일 2025-05-26

※해의 계열회사 등이 작성하거나 공표한 리포트는 투자등급 비율 산정시 제외

- 이 자료에 게재된 내용들은 본인의 의견을 정확하게 반영하고 있으며 타인의 부당한 압력이나 간섭 없이 작성되었음을 확인함. (작성자: 백길현)
- 당사는 자료공표일 현재 동 종목 발행주식을 1%이상 보유하고 있지 않습니다.
- 당사는 자료공표일 현재 해당 기업과 관련하여 특별한 이해관계가 없습니다.
- 당사는 동 자료를 전문투자자 및 제 3자에게 사전 제공한 사실이 없습니다.
- 동 자료의 금융투자분석사와 배우자는 자료공표일 현재 대상법인의 주식관련 금융투자상품 및 권리를 보유하고 있지 않습니다.
- 종목 투자등급 (Guide Line): 투자기간 6~12개월, 절대수익률 기준 투자등급 4단계(Strong Buy, Buy, Hold, Sell)로 구분한다
- Strong Buy: +30%이상 Buy: 15%이상, Hold: -15% 미만 ~ +15% 미만, Sell: -15%이하로 구분
- 업종 투자등급 Guide Line: 투자기간 6~12개월, 시가총액 대비 업종 비중 기준의 투자등급 3단계(Overweight, Neutral, Underweight)로 구분
- 2014년 2월21일부터 당사 투자등급이 기존 3단계 + 2단계에서 4단계로 변경

본 자료는 투자자의 투자를 권유할 목적으로 작성된 것이 아니라, 투자자의 투자판단에 참고가 되는 정보제공을 목적으로 작성된 참고 자료입니다. 본 자료는 금융투자분석사가 신뢰할만 하다고 판단되는 자료와 정보에 의거하여 만들어진 것이지만, 당사와 금융투자분석사가 그 정확성이나 완전성을 보장할 수는 없습니다. 따라서, 본 자료를 참고한 투자자의 투자의사결정은 전적으로 투자자 자신의 판단과 책임하에 이루어져야 하며, 당사는 본 자료의 내용에 의거하여 행해진 일체의 투자행위 결과에 대하여 어떠한 책임도 지지 않습니다. 또한, 본 자료는 당사 투자자에게만 제공되는 자료로 당사의 동의 없이 본 자료를 무단으로 복제 전송 인용 배포하는 행위는 법으로 금지되어 있습니다.



투자전략

팀장 Global Strategist	만병규	3770-3635	byungkyu.min@yuantakorea.com
Derivatives Analyst	정인지	3528	inji.jung@yuantakorea.com
Fund Analyst	김후정	3605	hujung.kim@yuantakorea.com
Strategist	김용구	3521	yg.kim@yuantakorea.com
Passive/ETF Analyst	고경범	3625	gyeongbeom.ko@yuantakorea.com
Economist/ESG	김호정	3630	hojung.kim@yuantakorea.com
US Market Analyst	황병준	3523	byeongjun.hwang@yuantakorea.com
Quant/ETF Analyst	신현용	3634	hyunyong.shin@yuantakorea.com
Research Assistant	박성철	3632	seongcheol.park@yuantakorea.com
Research Assistant	임지윤	3527	jiyoon.lim@yuantakorea.com
Research Assistant	김혜원	3526	hyewon.kim@yuantakorea.com
Research Assistant	김세빈	3646	sebin2.kim@yuantakorea.com

채권분석

팀장 Credit Analyst	유태인	3770-5571	taein.yoo@yuantakorea.com
Fixed Income Strategist	이재형	5579	jaehyung.lee@yuantakorea.com
Credit Analyst	김현수	5582	hyunsoo.kim@yuantakorea.com
Credit Analyst	산연화	5721	yeonhwa.shin@yuantakorea.com
Credit Analyst	공문주	5586	moonju.kong@yuantakorea.com
Credit Analyst	이소윤	5572	soyoon.lee@yuantakorea.com
Credit Analyst	황태웅	5578	taewoong.hwang@yuantakorea.com

리서치지원

팀장	조병준	3770-5581	byungjun.cho@yuantakorea.com
----	-----	-----------	------------------------------

기업분석

팀장 2차전지	이안나	3770-5599	anna.lee@yuantakorea.com
인터넷/SW	이창영	5596	changyoung.lee@yuantakorea.com
화학/정유	황규원	5607	kyuwon.hwang@yuantakorea.com
스물캡	권명준	5587	myoungchun.kwon@yuantakorea.com
철강/금속	이현수	5718	hyunsoo.yi@yuantakorea.com
화장품/유통	이승은	5588	seungeun.lee@yuantakorea.com
제약/바이오	하현수	2688	hyunsoo.ha@yuantakorea.com
통신/지주/방산/우주	이승웅	5597	seungwoong.lee@yuantakorea.com
조선/자동차	김용민	5606	yongmin.kim@yuantakorea.com
미디어/엔터	이환욱	5590	hwanwook.lee@yuantakorea.com
음식료/전력기기	손현정	5595	hyunjeong.son@yuantakorea.com
반도체	백길현	5635	gilhyun.baik@yuantakorea.com
건설/기계	장윤석	5583	yoonseok.chang@yuantakorea.com
금융	우도형	5589	dohyeong.woo@yuantakorea.com
전기전자	고선영	3525	sunyoung.kou@yuantakorea.com
스물캡	백종민	5598	jongmin.baik@yuantakorea.com
Research Assistant	최지운	3640	jiyun.choi@yuantakorea.com
Research Assistant	박현주	2672	hyunjoo.park@yuantakorea.com
Research Assistant	김도엽	5580	doyub.kim@yuantakorea.com
Research Assistant	서석준	5585	seokjun.seo@yuantakorea.com
Research Assistant	조혜빈	5594	hevin.cho@yuantakorea.com
Research Assistant	한동우	3647	dongwoo.han@yuantakorea.com
Research Assistant	임석민	3648	seokmin.lim@yuantakorea.com
Research Assistant	김고은	3649	koeun2.kim@yuantakorea.com
Research Assistant	배종성	3643	jongsung.bae@yuantakorea.com

